

# 第 1 部分 数字电路基本实验

## 1.0 数字电路实验基本知识

### 1.0.1 数字集成电路器件简介

中、小规模数字集成电路

54) 为前缀, 称为 74/54 系列, 如 74LS00、74F181、54S86 等。中、小规模 CMOS 数字集成电路主要是 4XXX/45XX (X 代表 0~9 的数字) 系列, 高速 CMOS 电路 HC (74HC) 系列, 与 TTL 兼容的高速 CMOS 电路 HCT (74HCT) 系列。TTL 电路与 CMOS 电路各有优缺点, TTL 速度快, CMOS 电路功耗小、电源范围大、抗干扰能力强。由于 TTL 在世界范围内应用极广, 在数字电路教学实验中, 我们主要使用 TTL74 系列电路作为实验用器件, 采用 +5 V 作为供电电源。

数字集成电路 (IC) 器件有多种封装形式, 包括双列直插和 PLCC 封装等。双列直插式封装如图 1.1 所示, PLCC 封装如图 1.2 所示。为了教学实验方便, 实验中所用的 74 系列器件封装选用双列直插式。

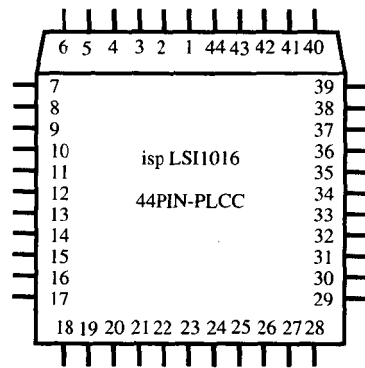
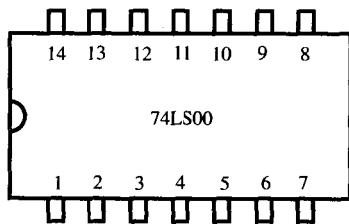


图 1.1 双列直插式封装正面示意图 图 1.2 PLCC封装正面示意图

双列直插式封装有以下特点:

从正面看, 器件左端有一个半圆形的缺口, 这是正方向的标志, 左下角第 1 个引脚号为 1, 引脚号按反时针方向增加, 图 1.1 中的数字表示引脚号。双列直插封装 IC 引脚数有 14、16、20、24、28 等类型。

双列直插器件有两列引脚, 两列引脚之间的距离有宽 (15.24 mm)、窄 (7.62 mm) 两种, 引脚之间的间距是 2.54 mm。两列引脚之间的距离能够稍微改变, 引脚间距不能改变。将器件插入实验台上的插座中去, 或者从插座中拔出时要小心, 不要将器件引脚弄弯曲或

折断。

③ 74 系列器件一般右下角的最后一个引脚是 GND(地)左上角的引脚是  $V_{CC}$ (电源)例如, 14 引脚器件引脚 7 是 GND, 引脚 14 是  $V_{CC}$ 。20 引脚器件引脚 10 是 GND, 引脚 20 是  $V_{CC}$ 。但也有一些例外 例如 16 引脚的 JK 触发器 74LS76 引脚 13(不是引脚 8)是 GND, 引脚 5(不是引脚 16)是  $V_{CC}$ 。所以使用集成电路器件时, 首先要看清它的引脚排列图, 找对电源和地, 避免因接线错误造成器件损坏。

根据 TTL 集成电路的外部特性以及封装特点, 使用时应注意下列规则:

接插集成块时, 要认清定位标记, 不能反插。

电源电压使用范围为 +4.5 V~+5.5 V 之间, 实验中要求使用  $V_{CC}=+5$  V, 电源极性绝对不允许接错。

除集电极开路门(OC)和三态输出电路(3S)外, 输出端不允许并联使用, 否则不仅会使电路逻辑功能混乱, 还会导致器件损坏。

输出端不允许直接接地或直接接 +5 V 电源, 否则将损坏器件。有时为了使后级电路获得较高的输出电平, 允许输出端通过电阻 R 接至  $V_{CC}$ , 一般取 R 的阻值在 3 k $\Omega$ ~5.1 k $\Omega$  范围。

不能带电插、拔器件, 只能在关掉电源的情况下才能插、拔器件。

在实验中, TTL 集成电路的多余输入端要正确处理。不同器件的多余输入端的处理方法不同, 例如 TTL 与门或者与非门多余输入端的处理方法有:

将多余输入端悬空。根据 TTL 的特性, 悬空相当于接正逻辑“1”, 对于一般小规模 TTL 集成电路的数据输入端, 实验时允许悬空处理。但输入端悬空容易受外界干扰, 导致电路的逻辑功能不正常。因此, 对于接有长线的输入端, 中规模以上的集成电路和使用集成电路较多的复杂电路, 它们的所有控制输入端必须按逻辑要求接入电路, 不允许悬空。

接于逻辑高电平。直接接电源电压  $V_{CC}$ , 或者串入一只 1 k $\Omega$ ~10 k $\Omega$  的固定电阻, 或者接于某一固定正电压 (+2.4 V $\leq V \leq$ 4.5 V) 上, 都相当于接逻辑高电平。

若前级驱动能力允许, 多余输入端可以与使用的输入端并联。

多余输入端通过大电阻接地。根据 TTL 集成电路的输入负载特性, 输入端的接地电阻  $R_1$  的阻值大小将直接影响电路的工作状态。当  $R_1 \leq R_{OFF}$  ( $R_{OFF}$  是关门电阻, 阻值在 700  $\Omega$  左右) 时, 输入端相当于接逻辑“0”; 当  $R_1 \geq R_{ON}$  ( $R_{ON}$  是开门电阻, 阻值在 2.5 k $\Omega$  左右) 时, 输入端相当于接逻辑“1”。对于不同系列的器件,  $R_{ON}$  和  $R_{OFF}$  的阻值不同。

## 1.0.2 数字电路测试、故障查找及排除

数字电路设计工作完成后, 要对其进行测试, 验证设计是否正确。测试过程中, 发现问题时要分析原因, 找出故障所在, 并解决它。

### 1. 数字电路测试

数字电路测试大体上分为静态测试和动态测试两部分。静态测试指给定数字电路若干组静态输入值, 测试数字电路的输出值是否正确。数字电路设计好后, 在实验台上连接成一个完整的线路, 把线路的输入端接电平开关, 线路的输出端接电平指示灯, 然后按照电路的功能表或状态表, 通过电平开关改变输入状态, 从电平指示灯观察输入和输出之间的

关系是否符合设计要求。静态测试是检查设计是否正确、接线是否无误的重要步骤。

动态测试是在静态测试基础上，按设计要求在输入端加动态脉冲信号，观察输出端波形是否符合设计要求。有些数字电路只需进行静态测试，有些数字电路则必须进行动态测试，一般地说，时序电路应进行动态测试。

## 2. 数字电路的故障查找和排除

在数字电路实验中，出现问题是难免的，重要的是分析问题，找出出现问题的原因，从而解决它。一般地说，产生问题（故障）的原因有四个方面：器件故障、接线错误、设计错误和测试方法不正确。在查找故障过程中，首先要熟悉经常发生的典型故障。

### （1）器件故障

器件故障是器件失效或器件接插问题引起的故障，表现为器件工作不正常。不言而喻，器件失效肯定会引起工作不正常，这需要更换一个好器件。器件接插问题，如管脚折断或者器件的某个（或某些）引脚没插到插座中等，也会使器件工作不正常。由于器件接插错误有时不易发现，需仔细检查。判断器件失效的方法是用集成电路测试仪测试器件。需要指出的是，一般的集成电路测试仪只能检测器件的某些静态特性，而对负载能力等静态特性和上升沿、下降沿、延迟时间等动态特性不能测试。测试器件的这些参数，须使用专门的集成电路测试仪。

### （2）接线错误

接线错误是最常见的错误。据统计，在教学实验中，大约 70% 以上的故障是由接线错误引起的。常见的接线错误包括：忘记接器件的电源和地；连线与插孔接触不良；连线经多次使用后有可能外面塑料包皮完好，但内部断线；连线多接、漏接、错接；连线过长、过乱，造成干扰。接线错误造成的现象多种多样，例如器件的某个功能块不工作或工作不正常，器件不工作或发热，电路中一部分工作状态不稳定等。解决方法主要有：熟悉所用器件的功能及其引脚号，知道器件每个引脚的功能；器件的电源和地一定要接对，接好；检查连线和插孔接触是否良好；检查连线有无错接、多接、漏接；检查连线中是否有断线。最重要的是接线前要画出接线图，按图接线，不要凭记忆随便连接，接线要规范、整齐，尽量使用直线、短线，以免引起干扰。

### （3）设计错误

设计错误自然会造成与预想的结果不一致。原因是对实验要求没有深入理解，或者是对所用器件的原理没有掌握。因此实验前一定要理解实验要求，掌握实验线路原理，精心设计。初始设计完成后，一般应对设计进行优化，最后画好逻辑图及接线图。

### （4）测试方法不正确

如果不发生上述三种错误，实验一般会成功。但有时测试方法不正确也会引起观测错误。例如，一个稳定的波形，如果用示波器观测，而示波器没有同步，则造成波形不稳的假象。因此，要学会正确使用所用仪器、仪表。在数字电路实验中，尤其要学会正确使用示波器。在对数字电路测试过程中，由于测试仪器、仪表加到被测电路上后，对被测电路相当于一个负载，因此测试过程中也有可能引起电路本身工作状态的改变，这点应引起足够注意。不过，在数字电路实验中，这种现象很少发生。

当实验中发现结果与预期不一致时，也不要慌乱。应仔细观测现象，冷静思考问题所

在。首先检查仪器、仪表的使用是否正确。在正确使用仪器、仪表的前提下，按逻辑图和接线图逐级查找问题出现在何处。通常从发现问题的地方，一级一级向前测试，直到找出故障的初始发生位置。在故障的初始位置处，首先检查连线是否正确。前面已说过，实验故障绝大部分是由接线错误引起的，因此检查一定要认真、仔细。确认接线无误后，检查器件引脚是否全部正确插进插座中，有无引脚折断、弯曲、错插问题。确认无上述问题后，取下器件测试，以检查器件好坏，或者更换器件。如果器件和接线都正确，则需考虑设计问题。

## 1.1 【实验 1】TTL 集成逻辑门的功能与参数测试

### 1.1.1 实验目的

掌握 TTL 集成与非门的逻辑功能和主要参数的测试方法。

掌握 TTL 器件的使用规则。

熟悉数字电路实验装置的结构，基本功能和使用方法。

### 1.1.2 实验原理

本实验采用四输入双与非门 74LS20，即在一块集成块内含有两个互相独立的与非门，每个与非门有四个输入端。芯片的引脚排列如图 1.3 所示。

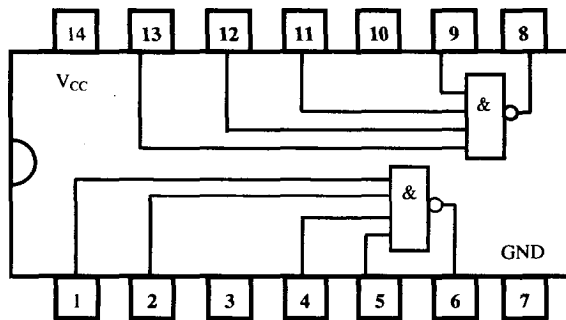


图 1.3 74LS20 芯片引脚排列图

#### 1. 与非门的逻辑功能

与非门的逻辑功能为：当输入端中有一个或一个以上是低电平时，输出端为高电平；只有当输入端全部为高电平时，输出端才是低电平。4 输入端与非门的逻辑表达式为

$$Y = \overline{ABCD} \quad (1.1)$$

#### 2. TTL 与非门的主要参数

##### (1) 低电平输出电源电流 $I_{CCL}$ 和高电平输出电源电流 $I_{CCH}$

与非门处于不同的工作状态，电源提供的电流是不同的。 $I_{CCL}$ 是指所有输入端悬空，输出端空载时，电源提供器件的电流。 $I_{CCH}$ 是指输出端空载，每个门各有一个以上的输入端接地，其余输入端悬空，电源提供给器件的电流。 $I_{CCL}$ 和  $I_{CCH}$ 的大小标志着器件静态功耗的大

小,通常  $I_{CCL} > I_{CCH}$ 。器件的最大功耗为  $P_{CCL} = V_{CC} \times I_{CCL}$ ,手册中提供的电源电流和功耗值是指整个器件总的电源电流和总的功耗。 $I_{CCL}$  测试电路如图 1.4 (a)所示, $I_{CCH}$  测试电路如图 1.4 (b)所示。

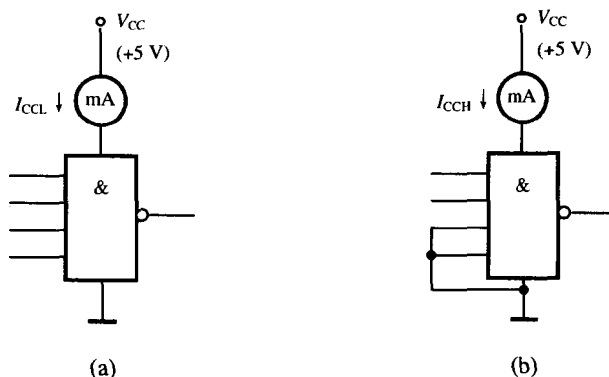


图 1.4 TTL 与非门输出电源电流静态参数测试电路

注意:TTL 电路对电源电压要求较严,电源电压  $V_{CC}$  只允许在  $+5\text{ V} \pm 10\%$  的范围内工作,超过  $5.5\text{ V}$  将损坏器件;低于  $4.5\text{ V}$  器件的逻辑功能将不正常。

(2) 低电平输入电流  $I_{IL}$  和高电平输入电流  $I_{IH}$

低电平输入电流  $I_{IL}$  的测试电路如图 1.5 (a)所示,高电平输入电流  $I_{IH}$  的测试电路如图 1.5 (b)所示。

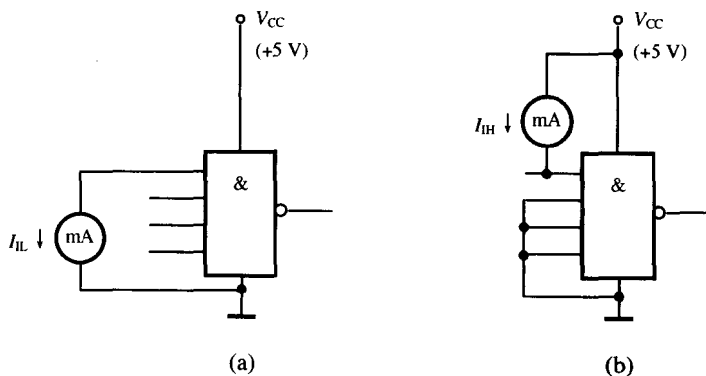


图 1.5 TTL 与非门输入电流静态参数测试电路

$I_{IL}$  是指被测输入端接地,其余输入端悬空,输出端空载时,由被测输入端流出的电流值。在由多级门构成的电路中, $I_{IL}$  相当于前级门输出低电平时,后级向前级门灌入的电流。因此, $I_{IL}$  关系到前级门的灌电流负载能力, $I_{IL}$  越小,前级门电路带负载的个数就越多。

$I_{IH}$  是指被测输入端接高电平,其余输入端接地,输出端空载时,流入被测输入端的电流值。在由多级门构成的电路中,它相当于前级门输出高电平时,前级门的拉电流负载。 $I_{IH}$  的大小关系到前级门的拉电流负载能力, $I_{IH}$  越小,前级门电路带负载的个数就越多。实际上,因  $I_{IH}$  较小,难以测量,一般免测试此项。

### (3) 扇出系数 $N_O$

扇出系数  $N_O$  是指门电路能驱动同类门的个数，它是衡量门电路负载能力的一个参数，TTL 与非门有两种不同性质的负载，即灌电流负载和拉电流负载，因此有两种扇出系数，即低电平扇出系数  $N_{OL}$  和高电平扇出系数  $N_{OH}$ 。通常  $I_{IH} < I_{IL}$ ，则  $N_{OH} > N_{OL}$ ，故常以  $N_{OL}$  作为门的扇出系数。

$N_{OL}$  的测试电路如图 1.6 所示，与非门的输入端全部悬空，输出端接灌电流负载  $R_L$ 。调节  $R_L$  使  $I_{OL}$  增大， $V_{OL}$  随之增高，当  $V_{OL}$  达到额定输出低电平  $V_{OLmax}$ （手册中规定  $V_{OLmax}$  规范值为 0.4 V）时的  $I_{OL}$  就是允许灌入的最大负载电流  $I_{OLmax}$ ，则

$$N_{OL} = \frac{I_{OLmax}}{I_{IL}} \quad (1.2)$$

普通 TTL 与非门的  $N_{OL} \geq 8$ 。

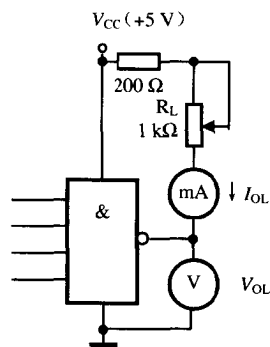


图 1.6 TTL 与非门扇出系数测试电路

### (4) 电压传输特性

门的输出电压  $V_O$  随输入电压  $V_I$  而变化的曲线  $V_O = f(V_I)$  称为门的电压传输特性。通过它可测试门电路的一些重要参数，如输出高电平  $V_{OH}$ ；输出低电平  $V_{OL}$ 、关门电平  $V_{OFF}$ 、开门电平  $V_{ON}$ 、阈值电平  $V_T$ 、抗干扰容限  $V_{NL}$ 、 $V_{NH}$  等。

电压传输特性测试电路如图 1.7 所示。电压传输特性采用逐点测试法，即调节  $R_w$ ，逐点测得  $V_I$  及  $V_O$ ，然后绘成曲线。

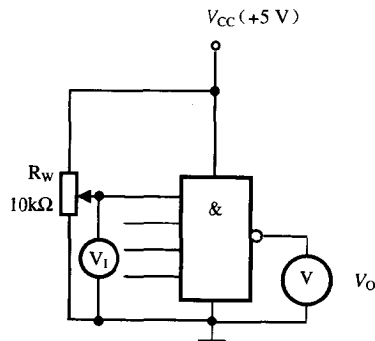


图 1.7 TTL 与非门电压传输特性测试电路

### (5) 平均传输延迟时间 $t_{pd}$

$t_{pd}$  是衡量门电路开关速度的参数, 它是指输出波形边沿的  $0.5V_m$  至输入波形对应边沿  $0.5V_m$  所对应的时间间隔, 如图 1.8 所示。

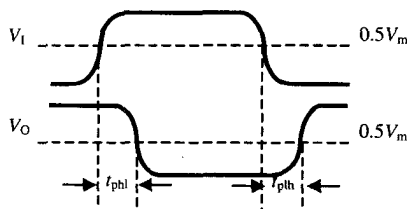


图 1.8 平均传输延迟时间特性示意图

图中的  $t_{phl}$  为导通延迟时间,  $t_{plh}$  为截止延迟时间, 平均传输延迟时间为

$$t_{pd} = \frac{1}{2}(t_{phl} + t_{plh}) \quad (1.3)$$

由于 TTL 门电路的延迟时间较小, 测量时对信号发生器和示波器的性能要求较高。TTL 电路的  $t_{pd}$  一般为  $10\text{ ns} \sim 40\text{ ns}$ 。

74LS20 主要电气参数如表 1.1 所示。

表 1.1 74LS20 主要电气参数表

参数名称和符号		规范值	单位	测试条件	
直流参数	低电平输出电源电流	$I_{CCL}$	<14	mA	$V_{CC}=5\text{ V}$ , 输入端悬空, 输出端空载
	高电平输出电源电流	$I_{CCH}$	<7	mA	$V_{CC}=5\text{ V}$ , 输入端接地, 输出端空载
	低电平输入电流	$I_{IL}$	$\leq 1.4$	mA	$V_{CC}=5\text{ V}$ , 被测输入端接地, 其他输入端悬空, 输出端空载
	高电平输入电流	$I_{IH}$	<50	$\mu\text{A}$	$V_{CC}=5\text{ V}$ , 被测输入端 $V_i=2.4\text{ V}$ , 其他输入端接地, 输出端空载
			<1	mA	$V_{CC}=5\text{ V}$ , 被测输入端 $V_i=5\text{ V}$ , 其他输入端接地, 输出端空载
	输出高电平	$V_{OH}$	$\geq 3.4$	V	$V_{CC}=5\text{ V}$ , 被测输入端 $V_i=0.8\text{ V}$ , 其他输入端悬空, $I_{OH}=400\text{ }\mu\text{A}$
	输出低电平	$V_{OL}$	<0.3	V	$V_{CC}=5\text{ V}$ , 输入端 $V_i=2.0\text{ V}$ , $I_{OL}=12.8\text{ mA}$
扇出系数	$N_O$	4~8		同 $V_{OH}$ 和 $V_{OL}$	
交流参数	平均传输延迟时间	$t_{pd}$	$\leq 20$	ns	$V_{CC}=5\text{ V}$ , 被测输入端输入信号: $V_{IH}=3.0\text{ V}$ , $f=2\text{ MHz}$

### 1.1.3 实验设备与器件

数字电路实验台一台。

数字三用表一只。

③ 74LS20 芯片一片, 电位器两只, 电阻若干。

## 1.1.4 实验内容

### 1. 验证 TTL 集成与非门 74LS20 的逻辑功能

要求画出测试电路图，列出真值表，写出逻辑表达式。

### 2. 测试 74LS20 主要参数

分别按图 1.4、图 1.5、图 1.6 所示电路进行各项测试，并将结果记录在表 1.2 中。

表 1.2

$I_{CC1}/\text{mA}$	$I_{CCH}/\text{mA}$	$I_{IL}/\text{mA}$	$I_{OL}/\text{mA}$	$N_O$	$t_{pd}/\text{ns}$

参照图 1.7 所示电路逐点测试电压传输特性，并将结果记录在表 1.3 中。

表 1.3

$V_I/\text{V}$	0	0.2	0.4	0.6	0.8	1.0	1.5	2.0	2.5	...
$V_O/\text{V}$										

## 1.1.5 实验报告

记录、整理实验数据，并对结果进行分析。

画出实测的电压传输特性曲线，并从中读出各有关参数值。

## 1.2 【实验 2】组合逻辑电路的设计与测试

### 1.2.1 实验目的

掌握组合逻辑电路的设计与测试方法。

### 1.2.2 实验原理

使用中、小规模集成电路来设计组合电路的一般步骤如图 1.9 所示。

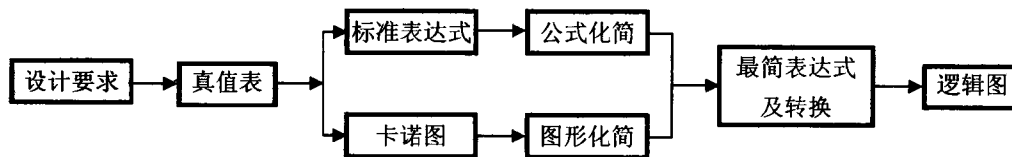


图 1.9 组合逻辑电路的设计过程

首先根据设计任务的要求建立输入、输出变量，并列出真值表，然后用逻辑代数或卡诺图化简法求出简化的逻辑表达式，并按实际选用逻辑门的类型变换逻辑表达式。根据简化后的逻辑表达式，画出逻辑图，用标准器件构成逻辑电路。电路设计完成后，还应该用实验来验证设计的正确性。

### 1.2.3 实验设备与器件

数字电路实验台一台。

数字三用表一只。

③ 74LS00 芯片两片，74LS20、74LS86、74LS08、74LS02 集成电路芯片各一片。

### 1.2.4 实验内容

#### 1. 用 2 输入异或门和与非门设计一个路灯控制电路

设计要求：当总电源开关闭合时，安装在三个不同地方的三个开关都能独立地控制灯的亮或灭；当总电源开关断开时，路灯不亮。

#### 2. 用与非门设计一个十字路口交通信号灯控制电路

设计要求：南北方向为主通道，东西方向为次通道，只有当南北方向无车辆时，东西方向的车辆才允许通行，但在任何方向出现特殊情况时（如警车等），应优先通行。

#### 3. 用与非门设计一个 4 位代码的数字锁

设计要求：设 A、B、C、D 是 4 位代码输入端，E 是钥匙用的插孔输入端。当开锁 E=1 时，如果输入的代码（例如 ABCD=1010）与设定的代码相同，则锁被打开（绿灯亮）。否则，发出报警信号（红灯亮）。

#### 4. 设计一个对两个两位无符号的二进制数进行比较的电路

设计要求：用与门、与非门及或非门设计一个对两个两位无符号的二进制数进行比较的电路，根据第一个数是否大于、等于、小于第二个数，使相应的三个输出端中的一个输出为“1”。

### 1.2.5 实验预习要求

熟悉所用器件引脚排列图。

根据实验任务要求写出设计步骤，画出逻辑电路图。

搭接电路，进行逻辑功能测试并记录实验结果。

### 1.2.6 实验报告

写出实验任务的设计过程，画出设计的电路图。

对所设计的电路进行实验测试，记录测试结果。

总结组合电路设计体会。

## 1.3 【实验 3】数据选择器及其应用

### 1.3.1 实验目的

掌握中规模集成数据选择器的逻辑功能及使用方法。

学习用数据选择器构成组合逻辑电路的方法。

学会用示波器测量波形的时序关系。

### 1.3.2 实验原理

数据选择器又叫“多路开关”。数据选择器在地址码（也称为选择控制）电位的控制下，从几路输入数据中选择一路并将其送到公共的输出端。4选1数据选择器的逻辑符号如图1.10所示，其等效电路如图1.11所示。电路有4路数据输入端  $D_0 \sim D_3$ ，通过地址控制信号  $A_1$ 、 $A_0$ ，从4路数据中选中某1路数据送至输出端  $Y$ 。



图 1.10 4 选 1 数据选择器的逻辑符号图 1.11 4 选 1 数据选择器等效电路图

数据选择器为目前逻辑设计中应用十分广泛的逻辑部件，集成电路产品有 2 选 1、4 选 1、8 选 1、16 选 1 等数据选择器类型。

#### 1. 双 4 选 1 数据选择器 74LS153

双 4 选 1 数据选择器就是在一块集成芯片上有两个 4 选 1 数据选择器，74LS153 的引脚排列如图 1.12 所示， $1S$ 、 $2S$  分别是两个选择器独立的使能端（ $\overline{EN}$ ）； $A_1$ 、 $A_0$  为公用的地址输入端； $1D_0 \sim 1D_3$  和  $2D_0 \sim 2D_3$  分别为两个 4 选 1 数据选择器的数据输入端； $1Y$ 、 $2Y$  为两个输出端。

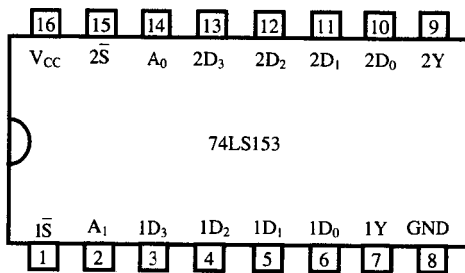


图 1.12 74LS153 的引脚排列图

表 1.4

输入		输出
$\bar{S}$	$A_1 A_0$	$Y$
1	$\times \times$	0
0	0 0	$D_0$
0	0 1	$D_1$
0	1 0	$D_2$
0	1 1	$D_3$

74LS153 的功能如表 1.4 所示，当使能端  $1\bar{S}$  ( $2\bar{S}$ ) = 1 时，多路开关被禁止，无输出， $Y=0$  当使能端  $1S$  ( $2S$ ) = 0 时，多路开关正常工作，根据地址码  $A_1$ 、 $A_0$  的状态，将相应的数据  $D_0 \sim D_3$  送到输出端  $Y$ 。例如  $A_1 A_0 = 00$  则选择  $D_0$  数据到输出端 即  $Y = D_0$ 。  $A_1 A_0 = 01$  则选择  $D_1$  数据到输出端，即  $Y = D_1$ 。依次类推，可以得到其他地址状态的电路输出。

双 4 选 1 数据选择器的输出逻辑表达式方程为

$$Y = A_1 A_0 D_0 + A_1 \bar{A}_0 D_1 + \bar{A}_1 A_0 D_2 + \bar{A}_1 \bar{A}_0 D_3 \quad (1.4)$$

## 2. 8选1数据选择器 74LS151

74LS151 为有互补输出的 8 选 1 数据选择器。74LS151 的引脚排列如图 1.13 所示, 其功能如表 1.5 所示。A<sub>2</sub>~A<sub>0</sub> 是地址端, 按二进制译码方式, 从八个数据输入端 D<sub>0</sub>~D<sub>7</sub> 中, 选择一个需要的数据送到输出端 Y;  $\bar{S}$  为使能端 低电平有效。当使能端 S = 1 时, 不论 A<sub>2</sub>~A<sub>0</sub> 状态如何, 均无输出 (Y = 0,  $\bar{Y}$  = 1), 多路开关处于禁止状态。当 S = 0 时, 多路开关正常工作, 根据地址码 A<sub>2</sub>、A<sub>1</sub>、A<sub>0</sub> 的状态选择 D<sub>0</sub>~D<sub>7</sub> 中某一个通道的数据输送到输出端 Y。例如, A<sub>2</sub>A<sub>1</sub>A<sub>0</sub> = 000, 则选择 D<sub>0</sub> 数据到输出端, 即 Y = D<sub>0</sub>; A<sub>2</sub>A<sub>1</sub>A<sub>0</sub> = 001, 则选择 D<sub>1</sub> 数据到输出端, 即 Y = D<sub>1</sub>。依次类推, 可以得到其他地址状态的电路输出。

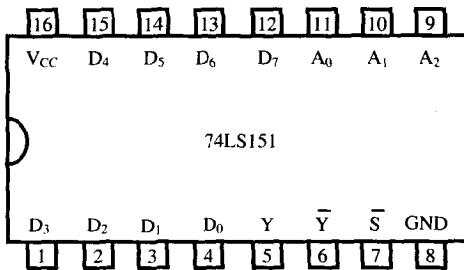


图 1.13 74LS151 的引脚排列图

表 1.5

输入			输出	
$\bar{S}$	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	Y
1	×	×	×	0
0	0	0	0	D <sub>0</sub>
0	0	0	1	D <sub>1</sub>
0	0	1	0	D <sub>2</sub>
0	0	1	1	D <sub>3</sub>
0	1	0	0	D <sub>4</sub>
0	1	0	1	D <sub>5</sub>
0	1	1	0	D <sub>6</sub>
0	1	1	1	D <sub>7</sub>

8 选 1 数据选择器的输出表达式为

$$Y = \bar{A}_2 \bar{A}_1 \bar{A}_0 D_0 + \bar{A}_2 \bar{A}_1 A_0 D_1 + \bar{A}_2 A_1 \bar{A}_0 D_2 + \bar{A}_2 A_1 A_0 D_3 + A_2 \bar{A}_1 \bar{A}_0 D_4 + A_2 \bar{A}_1 A_0 D_5 + A_2 A_1 \bar{A}_0 D_6 + A_2 A_1 A_0 D_7 \quad (1.5)$$

数据选择器的用途很多, 例如多通道传输, 数码比较, 并行码变串行码, 以及实现逻辑函数等。

### 1.3.3 实验设备与器件

数字电路实验台一台。

② 74LS151、74LS153 集成电路芯片各一片。

### 1.3.4 实验内容

#### 1. 测试数据选择器 74LS153 的逻辑功能

将地址端 A<sub>1</sub>A<sub>0</sub> 使能端 S 分别接逻辑开关, 数据端 D<sub>0</sub>~D<sub>3</sub> 分别输入不同频率的连续脉冲, 用示波器观察输出端 Y 的波形, 并描绘之。

#### 2. 用 8 选 1 数据选择器 74LS151 设计 4 位奇偶校验电路

要求: 当输入 4 位数据中 “1” 的个数为偶数时, 输出 Y = 1, 否则为 Y = 0。写出设计过程, 画出逻辑电路图, 验证逻辑功能。

### 3. 用双 4 选 1 数据选择器 74LS153 实现全加器

要求：写出设计过程，画出逻辑电路图，验证逻辑功能。

### 4. 用双 4 选 1 数据选择器 74LS153 产生 1011 序列信号

要求：写出设计过程，画出逻辑电路图，描绘  $A_0$ 、 $A_1$  及输出端  $Y$  的波形。

提示：地址端应为连续脉冲信号。

#### 1.3.5 实验预习要求

复习数据选择器的工作原理。

用数据选择器对实验内容进行预设计。

#### 1.3.6 实验报告

用数据选择器对实验内容进行设计，写出设计全过程，画出接线图，进行逻辑功能测试；总结实验收获和体会。

## 1.4 【实验 4】译码器及其应用

### 1.4.1 实验目的

掌握中规模集成译码器的逻辑功能和使用方法。

熟悉数码管的使用。

进一步掌握用示波器测量数字电路输入输出信号的方法。

### 1.4.2 实验原理

译码器是一个多输入、多输出的组合逻辑电路。它的作用是对输入代码进行“翻译”，使输出通道中相应的一路或多路有信号输出。译码器在数字系统中有广泛的用途，可以用于代码的转换、终端数字显示、数据分配、产生存储器寻址信号以及组合控制信号等。

译码器可分为通用译码器和显示译码器两大类。通用译码器（又称  $M$  进制译码器）用来表示输入变量的状态。例如，2 线-4 线、3 线-8 线和 4 线-16 线译码器等属于通用译码器。对于有  $n$  个输入变量的通用译码器，有  $2^n$  个不同的组合状态，就有  $2^n$  个输出端供其使用，而每一个输出所代表的函数都对应于一个  $n$  变量的最小项。

#### 1. 2 线-4 线译码器 74LS139

74LS139 是双 2 线-4 线译码器，引脚排列如图 1.14 所示，其功能如表 1.6 所示。 $A_0$ 、 $A_1$  是地址输入端， $\bar{Y}_0$ 、 $\bar{Y}_1$ 、 $\bar{Y}_2$ 、 $\bar{Y}_3$  是输出端， $\bar{S}$  是使能控制端（又称选通端）。当  $S=1$  时，译码器禁止工作，4 个输出端全为“1”；当  $S=0$  时允许译码，译码输出如表 1.6 所示。

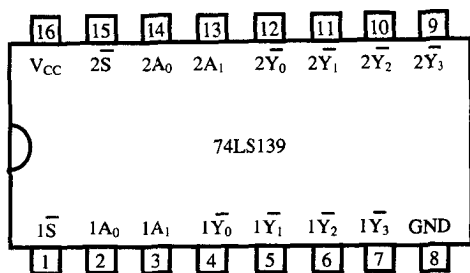


图 1.14 74LS139 的引脚排列图

表 1.6

输入		输出			
S	A <sub>1</sub> A <sub>0</sub>	Y <sub>3</sub>	Y <sub>2</sub>	Y <sub>1</sub>	Y <sub>0</sub>
1	× ×	1	1	1	1
0	0 0	1	1	1	0
0	0 1	1	1	0	1
0	1 0	1	0	1	1
0	1 1	0	1	1	1

## 2. 3线-8线译码器 74LS138

74LS138 是 3 线-8 线译码器，引脚排列如图 1.15 所示，其功能如表 1.7 所示。A<sub>0</sub>、A<sub>1</sub>、A<sub>2</sub> 为地址输入端， $\bar{Y}_0 \sim \bar{Y}_7$  是译码输出端，S<sub>1</sub>、 $\bar{S}_2$ 、 $\bar{S}_3$  是使能端。当 S<sub>1</sub>=1， $\bar{S}_2 + \bar{S}_3 = 0$  时，译码器工作，由地址码指定的输出端为有效信号（为 0），其他输出端为无效信号（为 1）。当 S<sub>1</sub>=0，或者  $\bar{S}_2 + \bar{S}_3 = 1$  时，译码器被禁止，全部输出均为 1（无效信号）。

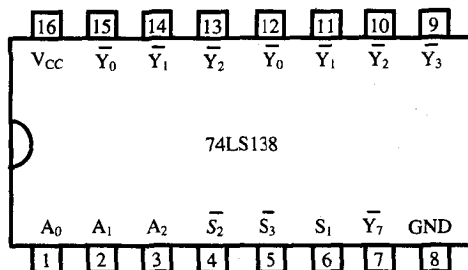


图 1.15 74LS138 的引脚排列图

表 1.7

S <sub>1</sub>	$\bar{S}_2 + \bar{S}_3$	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>	$\bar{Y}_7$	$\bar{Y}_6$	$\bar{Y}_5$	$\bar{Y}_4$	$\bar{Y}_3$	$\bar{Y}_2$	$\bar{Y}_1$	$\bar{Y}_0$
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	1	0
1	0	0	0	1	1	1	1	1	1	1	0	1
1	0	0	1	0	1	1	1	1	1	0	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	0	1	1	1	1
1	0	1	0	1	1	1	0	1	1	1	1	1
1	0	1	1	0	1	0	1	1	1	1	1	1
1	0	1	1	1	0	1	1	1	1	1	1	1

二进制译码器实际上也是负脉冲输出的脉冲分配器。利用某个使能端输入数据信息，器件就能成为一个数据分配器（又称多路分配器）。若数据信息是时钟脉冲，则数据分配器便成为时钟脉冲分配器。根据输入的不同组合，翻译出惟一地址，故可用做地址译码器。接成多路分配器，可将一个信号源的数据信息传输到不同的地点。

### 3. 数码显示译码器

在一些数字系统中，不仅需要译码，而且需要把译码的结果显示出来。例如，在计数系统中，需要显示计数结果；在测量仪表中，需要显示测量结果。用显示译码器驱动显示器件，就可以达到数据显示的目的，目前广泛使用的显示器件是七段数码显示器。七段数码显示器由 a~g 等七段可发光的线段拼合而成，控制各段的亮或灭，即可以显示不同的字符或数字。七段数码显示器有半导体数码显示器和液晶显示器两种。

#### (1) 七段半导体数码管 (LED) 数码管

图 1.16 是七段数码管 BS201A 的外形图和等效电路，这种数码管的每个段都是一个发光二极管 (Light Emitting Diode)。二极管 LED 的正极称为阳极，负极称为阴极。当 LED 加上正向电压时，可以发出橙红色的光。有的数码管在右下角还增设了一个小数点，形成八段显示。由 BS201A 的等效电路可见，构成数码管的七只 LED 的阴极是连接在一起的，属于共阴结构。如果把七只 LED 的阳极连接在一起，则属于共阳结构，如图 1.17 所示。

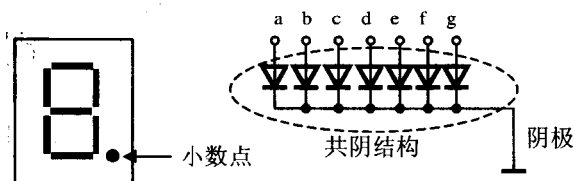


图 1.16 半导体数码显示器外形图及等效电路

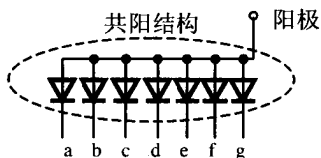


图 1.17 共阳结构的数码显示器

LED 数码管可用来显示一位 0~9 十进制数和一个小数点。每段发光二极管的正向压降，通常约为 2 V~2.5 V，每个发光二极管的点亮电流在 5 mA~10 mA。LED 数码管要显示 BCD 码所表示的十进制数字就需要有一个专门的译码器，该译码器不但要完成译码功能，还要有相当的驱动能力。

#### (2) BCD 码七段译码驱动器

BCD 码七段译码驱动器器型号有 74LS47 (共阳结构)，74LS48 (共阴结构)，CC4511 (共阴结构)等。本实验采用 74LS48 BCD 七段译码/驱动器，驱动共阴极 LED 数码管。74LS48 的引脚排列如图 1.18 所示，功能如表 1.8 所示。 $A_3 \sim A_0$  是 8421 码输入端， $Y_a \sim Y_g$  是输出端，为七段显示器件提供驱动信号。显示器件根据输入的数据，可以分别显示数字 0~9。

74LS48 除了完成译码驱动的功能外，还附加了灯测试输入  $\overline{LT}$ 、消隐输入  $\overline{BI}$ 、灭零输入  $\overline{RBI}$  和灭零输出  $\overline{RBO}$  等控制信号。由功能表可见，当灯测试输入  $\overline{LT} = 0$  时，无论输入  $A_3 \sim A_0$  的状态如何，输出  $Y_a \sim Y_g$  全部为高电平，使被驱动的数码管七段全部点亮。因此， $\overline{LT} = 0$  信号可以检查数码管各段能否正常发光。

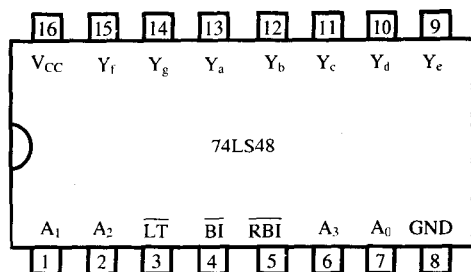


图 1.18 74LS48 的引脚排列图

表 1.8 74LS48的功能表

数字	输入		输出				字形
	LT	RBI	A <sub>3</sub> A <sub>2</sub> A <sub>1</sub> A <sub>0</sub>	BI/RBO	Y <sub>a</sub> Y <sub>b</sub>	Y <sub>c</sub> Y <sub>d</sub>	
0	1	1	0 0 0 0	1	1 1 1 1	1 1 1 1	0
1	1	×	0 0 0 1	1	1 1 0 0	0 0 0 0	1
2	1	×	0 0 1 0	1	1 1 0 1	1 1 0 1	2
3	1	×	0 0 1 1	1	1 1 1 1	0 0 0 1	3
4	1	×	0 1 0 0	1	0 1 1 0	0 0 1 1	4
5	1	×	0 1 0 1	1	1 0 1 1	0 0 1 1	5
6	1	×	0 1 1 0	1	1 0 1 1	1 1 1 1	6
7	1	×	0 1 1 1	1	1 1 1 0	0 0 0 0	7
8	1	×	1 0 0 0	1	1 1 1 1	1 1 1 1	8
9	1	×	1 0 0 1	1	1 1 1 1	1 0 1 1	9
消隐	×	×	×	0	0 0 0 0	0 0 0 0	
脉冲消隐	1	0	0 0 0 0	0	0 0 0 0	0 0 0 0	
灯测试	0	×	×	1	1 1 1 1	1 1 1 1	8

当消隐输入  $\overline{BI}=0$  时，无论输入  $A_3 \sim A_0$  的状态如何，输出  $Y_a \sim Y_g$  全部为低电平，使被驱动的数码管七段全部熄灭。

当  $A_3A_2A_1A_0=0000$  时，本应显示数码 0，如果此时灭零输入  $\overline{RBI}=0$ ，则使显示的 0 熄灭。设置灭零输入信号的目的是为了能将不希望显示的 0 熄灭。例如，对于十进制数来说，整数部分不代表数值的高位 0 和小数部分不代表数值的低位 0，都是不希望显示的，可以用灭零输入信号将它们熄灭掉。将灭零输出  $\overline{RBO}$  与灭零输入  $\overline{RBI}$  配合使用，可以实现多位数码显示的灭零控制。

### 1.4.3 实验设备与器件

- ① 数字电路实验台一台。
- ② 74LS138 集成电路芯片两片，74LS00、74LS157、74LS139、74LS48、74LS20 芯片各一片。

### 1.4.4 实验内容

#### 1. 74LS138 译码器逻辑功能测试

将译码器使能端  $S_1$ 、 $\overline{S}_2$ 、 $\overline{S}_3$  及地址端  $A_2$ 、 $A_1$ 、 $A_0$  分别接至逻辑开关，八个输出端  $\overline{Y}_0 \sim$

$\overline{Y}_7$  依次连接在逻辑电平显示器，参照表 1.7 所示的译码器的功能，扳动逻辑电平开关，逐项测试 74LS138 的逻辑功能。

## 2. 用 74LS138 设计判决电路

判决电路由一名主裁判和三名副裁判来决定比赛成绩，在主裁判同意或者三名副裁判中多数同意的条件下，比赛成绩才被承认。

## 3. 用 74LS139 构成脉冲分配器

二进制译码器实际上也是负脉冲输出的脉冲分配器，利用某个使能端输入数据信息，器件就能成为一个数据分配器（又称多路分配器）。若数据信息是时钟脉冲，则数据分配器便成为时钟脉冲分配器。设计实验电路，确定测试方案，记录实验结果。

提示：S 作为脉冲信号输入端， $A_1$ 、 $A_0$  作为控制端。

## 4. 动态译码电路

用一片 2 选 1 数据选择器 74LS157 和一片译码器 74LS48 组成的动态译码电路如图 1.19 所示，试分析电路的工作原理，设置相应的 A~H 数据，使数码管显示为 36。

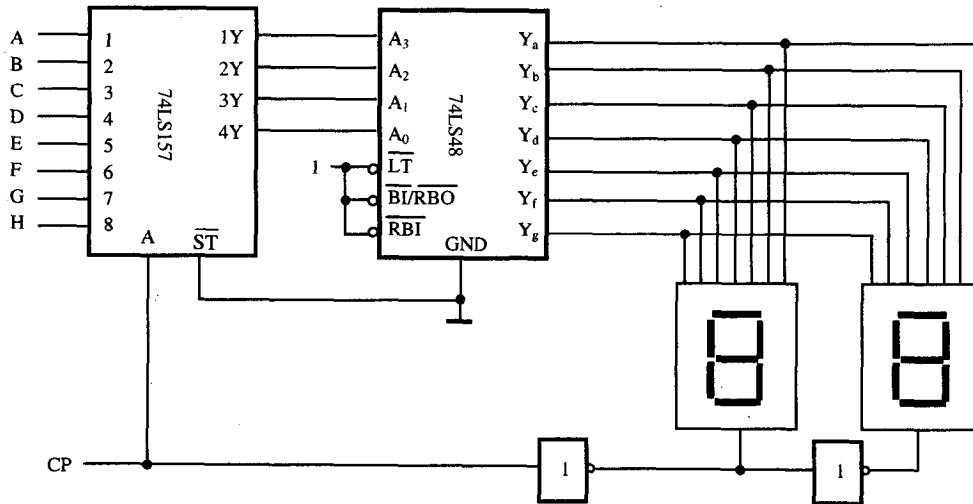


图 1.19 动态译码实验电路

## 5. 74LS138 的扩展实验

用两片 74LS138 扩展成为一个 4 线-16 线译码器，验证扩展后的电路功能。

### 1.4.5 实验预习要求

复习有关译码器和分配器的原理。

根据实验任务，画出所需的实验线路及记录表格。

### 1.4.6 实验报告

画出实验线路，描绘观察到的波形，并标上对应的地址码。

对实验结果进行分析、讨论。

## 1.5 【实验 5】触发器及其应用

### 1.5.1 实验目的

掌握基本 RS、D、JK 触发器的逻辑功能。  
掌握集成触发器的逻辑功能及使用方法。  
熟悉触发器的应用。

### 1.5.2 实验原理

在数字系统中，不仅需要二进制信号进行各种算术运算、逻辑运算和逻辑操作，还需要具有记忆功能的部件把参与运算和操作的数据以及结果保存起来，触发器是构成记忆功能部件的基本器件。

触发器 (Flip-Flop, 简称 FF) 有两个稳定的状态, 即 0 态和 1 态。当触发器的输出  $Q = 0$ 、 $Q = 1$  时, 称触发器处于 0 态; 当  $Q = 1$ 、 $Q = 0$  时, 称触发器处于 1 态。一般的触发器都具有保持、置 0 和置 1 功能。根据电路结构和功能的不同, 触发器有 RS 触发器、D 触发器、JK 触发器、T 触发器等类型。

#### 1. 基本 RS 触发器

基本 RS 触发器可以用与非门和或非门构成。由与非门构成的基本 RS 触发器的电路结构如图 1.20 所示。

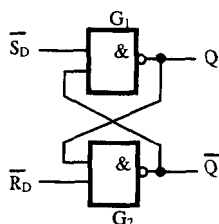


图 1.20 基本 RS 触发器的电路结构

表 1.9 基本 RS 触发器的特性表

$\bar{S}_D$	$\bar{R}_D$	$Q^{n+1}$
0	0	×
0	1	1
1	0	0
1	1	$Q^n$

它有两个输出端  $Q$  和  $\bar{Q}$ , 和两个输入端  $R_D$  和  $S_D$ ,  $R_D$  是置 0 端, 低电平有效, 信号名称的下标 “D”, 表示输入信号直接 (Direct) 控制触发器的输出。 $S_D$  是置 1 端, 低电平有效。基本 RS 触发器的特性表如表 1.9 所示, 它有置 0、置 1 和保持功能, 其特性方程为

$$\left. \begin{aligned} Q^{n+1} &= S_D + \bar{R}_D Q^n \\ \bar{S}_D + \bar{R}_D &= 1 \quad (\text{约束条件}) \end{aligned} \right\} \quad (1.6)$$

式中,  $\bar{S}_D + \bar{R}_D = 1$  是约束条件, 它表示两个输入端不允许同时为 0 (至少有一个为 1)。

#### 2. 集成 D 触发器

TTL 集成 D 触发器一般采用维持-阻塞结构, 74LS74 是维持-阻塞结构的双 D 型触发器, 其逻辑符号如图 1.21 所示, 芯片的引脚排列如图 1.22 所示。