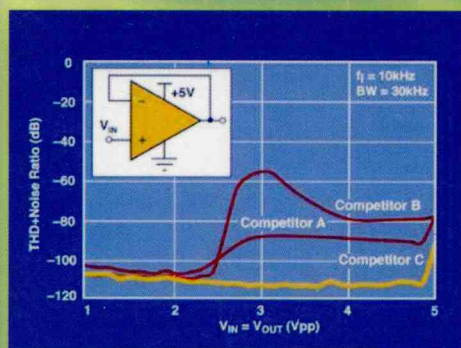
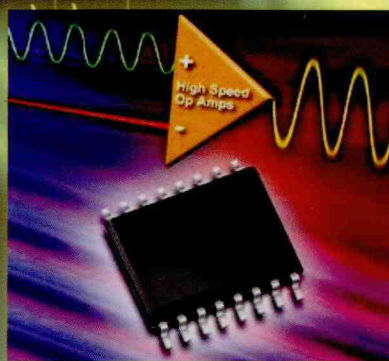


陈永真 王亚君 宁 武 孟丽因 编著

通用集成电路

应用、选型与代换



中国电力出版社
www.cepp.com.cn

通用集成电路

应用、选型与代换

陈永真 王亚君 宁武 孟丽因 编著



中国电力出版社
www.cepp.com.cn

内容提要

在电子线路设计中,通用集成电路是应用最广泛的器件。如何正确理解通用集成电路的特性,充分利用通用集成电路的特性,获得最佳的性能价格比,对于电子产品来说是至关重要的。

本书的第一章~第六章详尽地阐述了 CMOS 数字电路、集成运算放大器、集成功率放大器、电压基准、线性集成稳压器、非隔离 DC/DC 变换器用 IC 的特性、应用时需要注意的事项、应用实例与应用技巧。其中,集成运算放大器和线性集成稳压器的特殊应用是作者多年实践经验的部分总结,希望能起到抛砖引玉的作用。

本书的读者对象主要为电子工程师、科研人员、电子技术爱好者、电子技术初学者、电子类各专业学生和教师。

图书在版编目(CIP)数据

通用集成电路应用、选型与代换/陈永真等编著.
北京:中国电力出版社,2007

ISBN 978-7-5083-4628-1

I.通... II.陈... III.集成电路-基本知识
IV.TN4

中国版本图书馆 CIP 数据核字(2006)第 093005 号

中国电力出版社出版、发行

(北京三里河路 6 号 100044 <http://www.cepp.com.cn>)

北京丰源印刷厂印刷

各地新华书店经售

*

2007 年 1 月第一版 2007 年 1 月北京第一次印刷
787 毫米×1092 毫米 16 开本 17.5 印张 442 千字
印数 0001—3000 册 定价 29.00 元

版权专有 翻印必究

(本书如有印装质量问题,我社发行部负责退换)

前 言



通用集成电路是电子线路设计中应用最多的器件，如何选择、用好通用集成电路，特别是在特殊要求时能用通用集成电路解决问题非常重要。由通用集成电路构成的电子线路工作与调试时可能出现的问题及产生问题的原因，在电路原理上应如何理解产生问题的原因等方面的内容，在现有的文献中往往不大容易找到，在高校的电子技术基础教材中也很少介绍。为此，作者通过本书，将自己对通用集成电路的理解和应用经验与广大读者分享。

数字集成电路目前介绍最多的是 TTL，大学教材中对 TTL 逻辑电路也作了非常详尽的讲解，然而对于像功耗非常低的常规 CMOS、高速 HCMOS 数字电路的讲解却非常简单，相关的文献相对较少，介绍高速和先进的高速 CMOS 的文献就更少。这就使得大多数电子线路初学者只认识 TTL，而不清楚 CMOS。如果在 25 年前，这种思想还可以理解，在集成电路飞速发展的今天就显得落后了。因此，有必要了解甚至掌握 CMOS 数字集成电路的相关知识和应用技巧，以及典型的设计实例。在本书第一章中比较详尽地叙述了 4000 系列和 HCMOS 系列的原理、特性、应用技巧、应用实例和应用中需要注意的问题。

集成运算放大器是应用最多的集成电路。尽管也有很多论述集成运算放大器的文献，但是，相比之下，满幅运算放大器、低电压运算放大器、低功耗运算放大器、宽带运算放大器、高频运算放大器就显得陌生。不仅如此，在集成运算放大器的应用中，经常会遇到这样或那样的问题，产生这些问题的原因是什么，如何解决实际应用中出现的问题，如何正确选择、使用集成运算放大器，如何能够巧用等问题，都是需要研究和解决的。本书在第二章中详尽地叙述了各类集成运算放大器的特性，分析了应用集成运算放大器时可能出现的问题及其原因，提出解决问题的思路或方法，并列举了一些比较特殊的应用实例。

集成功率放大器通常只用来作音频功率放大器用。但是，怎样用好、用巧恐怕很少有人研究，读者是否想过：用集成功率放大器作为功率运算放大器或替代外加扩流电路的集成运算放大器电路可能会得到更好的应用效果；是不是还可以用集成功率放大器作为程控直流稳压电源；用集成功率放大器构成功率振荡器；如何提高集成功率放大器的输出电压和功率；用集成功率放大器实现电压电流变换器等问题。这就是本书第三章的内容。

在很多应用中都在用电压基准，选择什么样的电压基准，如何用好，什么型号的电压基准最便宜而且还能满足应用。电压基准除了用三电压基准外还可以用其他电压基准。这些

DC 变换器电路，用简单的方法实现构想中很复杂的功能，作者在这一章中不仅给出了一般应用实例，而且还给出了一些读者不易见到的应用实例。这就是本书第六章的内容。

在本书中，有很多新、奇、特的应用实例和设计思想，这些都是本书作者多年积累的设计经验与教训的结晶。

本书的第一章、第四章由王亚君执笔；第二章、第三章、第五章、第六章由陈永真编写；宁武完成本书中部分电路的设计与测试；孟丽因为本书前期准备和全书的文字校正与润色做了大量工作。同时对作者的研究生熊飞、闫晓金、李国、耿俊庆、潘艳、王春霞在本书的编写过程中所做的工作表示感谢。

编者

2006.6

目 录



前言

第一章 数字电路	1
第一节 简述.....	1
第二节 应用“标准”CMOS 数字电路需要注意的事项	1
第三节 高速 CMOS 系列数字集成电路的基本性能	10
第四节 小单门	16
第五节 数字电路的基本应用	18
第六节 模拟开关的基本应用	45
第七节 利用门电路的组合产生新的逻辑功能	50
第二章 集成运算放大器	57
第一节 集成运算放大器的基本性能	57
第二节 应用集成运算放大器需要注意的事项——输出电压的调零	81
第三节 集成运算放大器应用的注意事项——对电源的要求	85
第四节 应用集成运算放大器需要注意的事项——高共模抑制能力的差动 运算放大器	88
第五节 应用集成运算放大器需要注意的事项——自激振荡产生的原因及 消除方法	92
第六节 集成运算放大器的基本应用——反相放大器	101
第七节 集成运算放大器的应用——同相放大器	107
第八节 集成运算放大器的选型依据	110
第九节 集成运算放大器的代换	111
第三章 集成功率放大器的特殊应用形式	112
第一节 集成功率放大器的基本性能	112
第二节 集成功率放大器输出功率的扩展	119
第三节 集成功率放大器频带宽度的扩展	121
第四节 用集成功率放大器实现稳压电源	122
第五节 电压电流变换器	125
第六节 设计功率振荡器	128
第七节 大电容负载的解决方案	128
第八节 用作功率运算放大器	129
第九节 集成功率放大器应用时需要注意的问题	131
第十节 集成功率放大器的散热及结构	133
第十一节 集成功率放大器的选型依据	134
第十二节 集成功率放大器的代换原则	134
第四章 电压基准	135

第一节	1.2V 系列电压基准	136
第二节	2.5V 系列电压基准	147
第三节	7V 系列集成基准源	155
第四节	可编程序精密基准源——AD584	162
第五节	精密可调电压基准 TL431	164
第五章	集成稳压器	170
第一节	线性集成稳压器	170
第二节	通用集成电路命名方法	171
第三节	线性集成稳压器的基本原理	171
第四节	集成稳压器的基本特性与分析	178
第五节	集成稳压器的电参数分析	180
第六节	通用集成稳压器的一般应用	193
第七节	集成稳压器的一般应用方法	203
第八节	恒流源的其他应用	219
第九节	低压差集成稳压器及其应用	222
第十节	高精度线性稳压电路	223
第十一节	集成稳压控制电路 LM723	224
第十二节	集成稳压器的选型依据	234
第十三节	集成稳压器的代换原则与代换	234
第六章	集成 DC/DC 变换器	236
第一节	MC34063 系列与应用	236
第二节	LM2575/2576/2577 芯片的应用	248
第三节	L4960 构成的开关型变换器	266
第四节	集成 DC/DC 变换器的选型依据与代换原则	272
参考文献	273

第一章 数字电路

第一节 简 述

常用的数字电路有 TTL、标准 CMOS4000 系列、高速 CMOS、HC 系列。TTL 系列的原理与应用在高校教材和很多文献中有很深入的论述，因此，本书不再论述。本章主要研究低功耗的 CMOS 数字电路和高速 CMOS 数字电路。由于 CMOS 与 TTL 在性能和应用中有很大差异，因此，有必要对 CMOS 的基本性能、电路参数、应用与注意事项等进行详尽的叙述。

“标准” CMOS 数字电路的基本性能参见参考文献 [1]，这里不再赘述。

第二节 应用“标准”CMOS 数字电路需要注意的事项

CMOS 集成电路和双极型集成电路各有不同的特点。用“标准” CMOS 数字电路设计系统时要充分考虑到“标准” CMOS 数字电路的特点，用其优点，避其不足，方能保证所设计系统的稳定与可靠。一个成功的系统设计，既应该是逻辑的巧妙组合，也应该是系统内部各电路的协调搭配。如果不顾具体情况把双极型电路的系统设计原封不动地照搬到“标准” CMOS 数字电路中来，那么这样的设计往往是要遇到麻烦的。即使经过不懈努力，使电路能够工作，也必然潜伏着某些不稳定的因素。本章向数字电路和混合电路设计者介绍应用“标准” CMOS 数字电路进行系统设计时需要注意的 CMOS 自身的特殊性和可能遇到的问题及其解决方法。

一、“标准” CMOS 数字电路的锁定效应

“标准” CMOS 数字电路是基于 20 世纪 70 年代末、80 年代初的工艺水平，受当时的工艺水平和硅材料的性能限制，线条宽度为 $30\mu\text{m}$ 。与今天的亚微米、纳米水平的集成电路工艺相比，集成电路的性能必将“很差”，存在很多现在不可想象的不良特性，其中之一就是锁定效应。

“标准” CMOS 数字电路的锁定效应也可称为可控硅效应，它是“标准” CMOS 数字电路特有的失效模式。要使系统稳定，可靠，就必须采取适当的措施，以防止锁定效应产生。要做到这一点，显然需要了解锁定效应的工作机理，方能找到恰当的防护措施。

1. 锁定效应的产生

“标准” CMOS 数字电路在内部结构上存在着寄生的 PNP 晶体管和 NPN 晶体管，而它们之间又恰好构成了一个寄生的 PNPN 可控硅结构。一旦由于外部因素使这种互锁的正反馈结构产生触发，就会在 PNP（或 NPN 管）上流过电流，再通过 NPN 管（或 PNP 管）使电流增大。由于内部正反馈，电流就会越来越大。如果没有必要的预防措施，电路就会发热，乃至

烧毁。这就是“标准”CMOS数字电路的锁定效应。

为了进一步说明锁定效应，我们在图1-1中给出了CMOS反相器的剖面结构。由图1-1(a)可以看出，PMOS管的源极和漏极与N型衬底以及P构成了一个横向的PNP型晶体管，而NMOS管的源极和漏极与P以及N型衬底构成了一个纵向的NPN型晶体管，再加上N型衬底和P阱中的体电阻，就可以得到图1-1(b)所示的寄生可控硅等效电路。

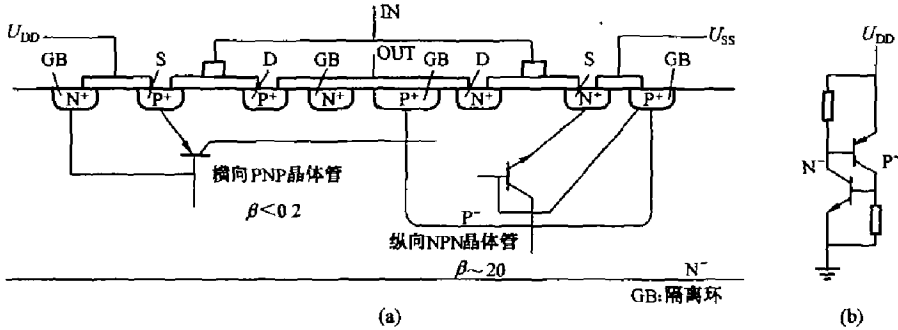


图1-1 CMOS反相器
(a)剖面图；(b)寄生可控硅等效电路

要使寄生可控硅电路产生锁定，则应同时满足下列三个条件：

- (1) $\beta_{NPN} \cdot \beta_{PNP} > 1$ 。
- (2) 横向PNP管和纵向NPN管的基极和发射极结构被正向偏置。
- (3) 电压能够提供足以使电路进入锁定状态的维持电流 I_{SUS} 。

在“标准”CMOS数字电路中，纵向的NPN管的电流放大系数 β_{NPN} 通常在20左右，而横向PNP管的电流放大系数 β_{PNP} 一般在0.2左右，所以电路内部 $\beta_{NPN} \cdot \beta_{PNP} > 1$ 的条件是得到满足的。具备了这个条件，电路才可能产生反馈。

PNP管和NPN管中的E-B结中，只要有一个被正向偏置，就可以引起可控硅锁定效应。特别是当电路输出端驱动长线或电容负载时（或输入信号与电路用两组电源时，以及电源电压较高而且易产生浪涌电流时），更容易使输入或输出端的电压高于电源电压，从而引起寄生晶体管E-B结正向偏置，就会通过正向反馈，引起寄生管电流连锁增大。

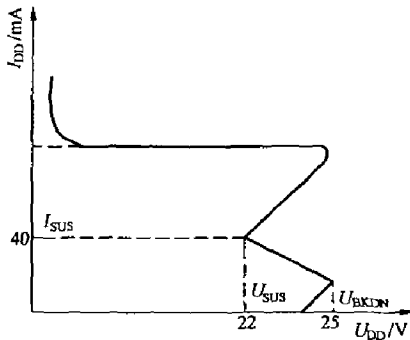


图1-2 “标准”CMOS数字电路锁定曲线

图1-2给出了“标准”CMOS数字电路产生锁定时的伏-安特性曲线。由图可见，产生锁定时的维持电流 I_{SUS} 一般在40mA左右，如果电路中寄生晶体管的E-B结被正向偏置，而电源又能够提供大于40mA的电流，则这时的电路就可能烧毁。如果电源电流被限制在维持电流以内，则尽管电路已经产生锁定，也不至于被烧毁。

2. 锁定效应的预防

“标准”CMOS数字电路的锁定效应是其结构所限，是固有特性，这种锁定效应虽然会引起电路的彻底失效，但如果我们在使用过程中采取必要的保护措施，也是完全可以防止的。表1-1列出了预防可控硅

锁定效应的一般措施。

表 1-1

“标准” CMOS 数字电路锁定效应产生的原因和预防措施

原因	产生的情况	预防措施
电源电压较高	1. 电源刚接通时的过电压超过器件的击穿电压 U_{BCKM} 2. 电网产生的浪涌电压叠加在电源上	1. 在 U_{DD} 与 U_{SS} 之间加上完善的去耦电路 2. 在电源 U_{DD} 端加上限流措施, 在不影响电路工作的前提下, 使之尽可能低于锁定维持电流 3. 在保证系统工作速度的条件下, 尽可能降低 U_{DD}
输入电压 U_i 大于 U_{DD} , 或小于 U_{SS}	1. RC 电路的影响 2. 使用两组电源, 并且电源通断时间有差异	输入端加上钳位措施
输出电压 U_o 大于 U_{DD} , 或小于 U_{SS}	1. 驱动长线 2. 地线阻抗大 3. 外来噪声影响	1. 使用双股绞线作长线 2. 加粗地线。印刷电路板越多, 越要采取措施减小地线电阻 3. 减小噪声的影响

二、“标准” CMOS 电源的设计

1. “标准” CMOS 数字电路系统消耗功率的计算

一个电路在系统中的总功耗 $P_{\text{总}}$ 应当是静态功耗 P_D 与动态功耗 P_a 之和, 整个系统的消耗功率也就等于所有电路静态功耗和动态功耗之和, 因此通常可分两步来计算:

(1) “标准” CMOS 数字电路的典型静态功耗等于静态电流乘以电源电压。所以, 只要把所有静态漏电流加起来乘以电源电压即可。

(2) 按照公式 $P_a = C_L U_{DD}^2 f$ 来计算电路的动态功耗, 并把所有电路的动态功耗加在一起。在一个系统中各部分的工作频率不会都相同。一般来说, 工作系统中最高频率只占少数, 因此要根据系统中各部分的工作频率来计算电路的动态功耗。

在速度较高的系统中, 电路的总功耗主要是动态功耗。相比之下静态功耗往往可以忽略不计。

动态功耗的计算实际上是估算值, 计算公式本身就不是很严格。另外, 公式中的负载电容和工作频率也不可能取的很准确。从实用性上看, 动态功耗是个估算值也就可以了。

负载电容 C_L 的取值要根据具体情况来定。如果要计算的电路部分是“标准” CMOS 数字电路, 那么就按“标准” CMOS 数字电路的输入电容来确定 C_L 的取值。通常, 每一个门电路的输入端电容可按 5pF 来考虑。假如一个电路的输出端要推动 N 个门电路的输入端, 则将 N 乘以门电路的输入电容, 就是该输入端的负载电容 C_L 。如果电路输出端要推动电阻电容网络, 这时 C_L 的取值就很难估算, 只好按照具体情况大致估算了。

工作频率 f 的取值也要根据具体情况来定。如果是门电路, 一般来说, 工作频率就是输入信号的频率; 如果是触发器结构的时序逻辑, 则工作频率往往用输出端的频率来计算。例如, 由 4 个 T 型触发器组成的十六进制计数器, 输入频率为 4MHz , 则计算动态功耗时, 4 个触发器的工作频率可分别取 2 、 1 、 0.5 、 0.25MHz 。

计算电路功耗, 是为整个系统电源设计提供依据。需要指出的是, 一般双极型电路系统通常稳定可靠, 为防止产生可控硅效应, 电源的电流量不宜留过大的余量。

这就是说使用不稳定的电源电压也能工作，但有两个条件必须满足：

(1) 电源的上限电压（即使是瞬时电压）不得超过电路允许的电压极限值。

(2) 电源的下限电压（即使是瞬态电压）不得低于保证系统速度所必须的电源电压最低值，更不得低于 U_{SS} 。

如果两个条件都不能满足，则不仅电路不能正常工作，还可能损害以致烧毁电路。

要确定需要的电压范围，系统设计者首先必须确定系统所要求的最高工作频率。通常，系统的最高工作频率受逻辑链中响应最慢的电路限制。由于频率 f 是电源电压 U_{DD} 和负载电容 C_L 的函数，则由此可以确定 U_{DD} 的最低值。当 U_{DD} 大于 U_{min} 时，系统的工作速度无疑是能满足要求的。电源电压的正常值 U_{DD} 一般可按下式来选择

$$U_{DD} = \frac{1}{2}(U_{max} + U_{min})$$

例如：7 位二进制串行计数器 CD4024，由数据的工作频率与电源电压的关系曲线中可以看出，计数器工作在 5MHz，负载电容 C_L 为 15pF 时，能可靠工作的最低电压 U_{min} 是 10V。同时从产品目录中给出的最高电压 U_{max} 为 18V。所以，从降低对电源电压稳定度要求的角度出发，电源电压按上式应选取为

$$U_{DD} = \frac{1}{2}(18 + 10) = 14 \text{ (V)}$$

这时电源电压的最大百分比稳定度要求为 50%。如果需要 U_{DD} 接近于 U_{min} ，这就要求电源电压有较高的稳定度，否则系统就不能正常工作。

3. 对系统电源的滤波要求

与上节同样的原因，“标准”CMOS 数字电路系统对电源的滤波要求也是很低的，只要满足下述两个条件即可：

(1) 电源纹波电压的峰值不得超过 U_{max} 。

(2) 电源纹波电压的峰值不得低于 U_{min} 。

4. 系统备用电源的设计考虑

在许多应用场所，常要求系统或系统中的某个部分具有停电记忆功能，还有许多场所不允许系统出现停电故障。这种功能利用双极型电路系统往往难以实现，而用低功耗“标准”CMOS 数字电路实现则是轻而易举的。

正是由于“标准”CMOS 数字电路的微功耗特点，所以应用 CMOS 的电路系统可以用电池来作备用电源。图 1-3 给出了常用备用电池的连接方法。

由图 1-3 不难看出，电池电压 U_b 和滞留电源电压 U_{DC} 具有如下关系

$$U_b = U_{min} + 0.7V \text{ (二极管正向压降)}, U_{max} > U_{DC} > U_{min} + 0.7V$$

其中 U_b 、 U_{max} 、 U_{min} 分别为电池电压、系统允许电源电压的最大值和最小值。

正常工作时，VD1 导通，VD2 截止，系统由 U_{DC} 供电。一旦直流电源 U_{DC} 发生意外，如电源开路或短路，而使 U_{DC} 降到 U_{min} 之下，则这时 VD2 导通，VD1 截止，这时 U_b 给系统供电，使系统继续工作。

5. 系统电源电压起伏变化很大时的措施

在机动设备中，供电电源电压往往起伏变化很大。“标准”CMOS 数字电路具有工作电压范围宽的特点，因而具有较好的适应能力。通常除了正常的电源措施外，至少还应该增加图 1-4 所示的一级稳压管稳压电路，方能保证系统的安全和稳定。

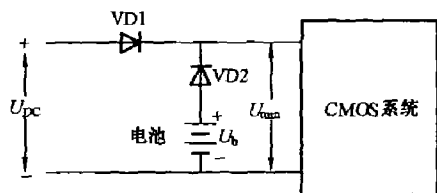


图 1-3 备用电源的连接方法

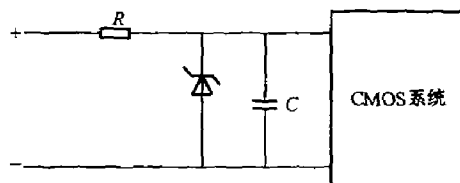


图 1-4 稳压管稳压电源

如前所述，允许电源电压的最小值 U_{min} 由系统的最高工作频率来决定。

了解了上述两个要求，就可以用下式来确定电容 C 的大小。

$$C(F) = Q_p(C) / U_{min}(V)$$

需要注意的是，以上介绍的仅仅是系统电源的一般问题和最起码的解决办法，绝不是问题的全部，也不是最佳的解决办法。在实际应用中，应根据具体情况和具体要求来进行实际系统的最佳设计。

三、“标准” CMOS 数字电路的动态性能与驱动能力

逻辑系统的工作速度是建立在“标准” CMOS 数字电路动态性能的基础上的，也就是说是由电路的传输延迟时间、输出上升时间和下降时间决定的。在“标准” CMOS 数字电路中，这些时间参数又是输出负载电容、电源电压以及温度的函数。

1. 负载电容的影响

“标准” CMOS 数字电路的传输延迟时间、输出上升和下降时间是随负载电容而变化的。负载电容越大，则传输延迟时间越长，上升时间和下降时间就越大。他们之间的关系基本上是线性关系，如图 1-5 所示。

“标准” CMOS 数字电路本身的输入电容是由外引线 and 内引线的寄生电容、输入保护网络的电容和栅极对衬底电容所构成的。输入电容随外加输入电压而改变，以反相器为例，图 1-6 给出了输入电容随输入电压而改变的曲线。产生这种变化的主要因素是栅极对衬底的电容。当输入电压处在 5 ~ 6V 区域

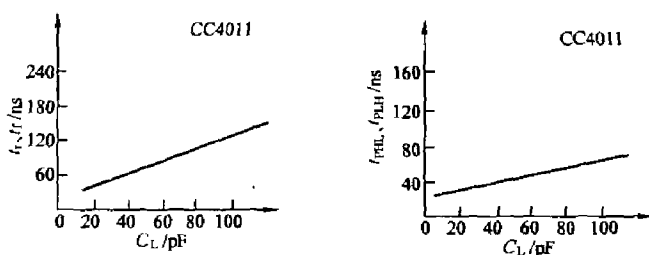


图 1-5 “标准” CMOS 数字电路动态参数与电容 C_L 的关系

时，输入电容最大。从使用情况看，“标准” CMOS 数字电路在大多数情况下，都是推动与自身同类型的电路，也就是说，后级的输入电容就是前一级的负载电容。

对于一个实际的“标准” CMOS 数字电路来说，它的动态参数，输出转换时间 t_{THL} 和 t_{TLH} 及传输延迟时间 t_{PHL} 、 t_{PLH} 的值都可以用下式来表征

$$T = K_0 C_L + K_1$$

式中， K_0 和 K_1 都是常数，它是电路集成度、内部电容、载流子迁移率等的函数。对于 t_{PHL} 、 t_{PLH} 、 t_{THL} 和 t_{TLH} 来说， K_0 和 K_1 是不同的。

电容负载的影响是系统设计人员必须考虑的问题。如果要驱动使用边沿触发器的时序电

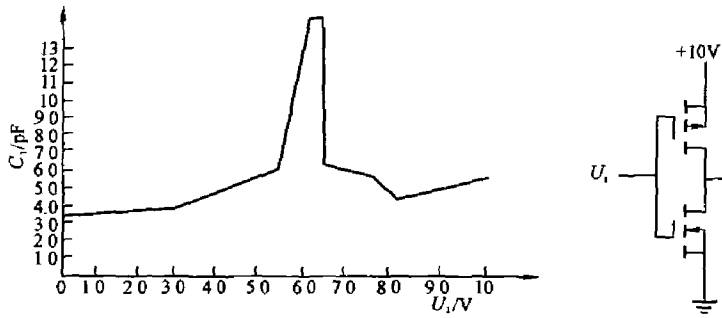


图 1-6 输入电容 C_i 与输入电压 U_i 的关系

路，则必须考虑电容负载对信号上升时间和下降时间的影响。假如电容负载使上升时间和下降时间增加很多，就可能使时序电路产生误动作。如果要驱动一组同步电路，则必须考虑电容负载对传输延迟时间的影响。

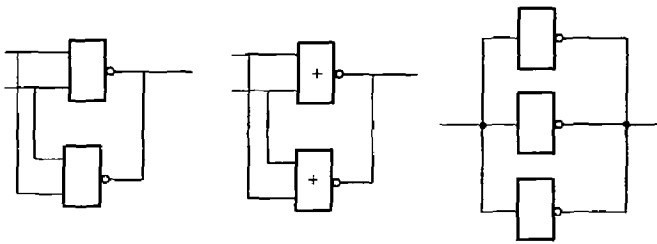


图 1-7 增大驱动能力的一种方法

“标准”CMOS 数字电路的扇出系数一般取在 10~20。

如果负载要求供给或吸收的电流比一般的 I_{DN} 、 I_{DP} 更大时，除了可以选用 I_{DN} 、 I_{DP} 较大的缓冲器外，还可以将同一芯片上的几个同类型电路的输入端和输出端分别接在一起，来提高输出驱动能力。图 1-7 是将同一芯片上的好几个门电路并接在一起使用的情况。这时电路输出端供给电流 I_{DP} 或吸收电流 I_{DN} 将增大几倍。

2. 驱动能力

随着“标准”CMOS 数字电路工作速度的提高，输出电容便成了主要负载。一个输入端电容通常是 5pF，而输出驱动电流 I_{DN} 、 I_{DP} 的实际值又比较小，这样负载的充放电速度将直接影响到信号的传输速度。因此，当工作速度较高时，

四、“标准”CMOS 数字电路的输入特性与系统的保护措施

与双极型电路相比，“标准”CMOS 数字电路的输入端有两个明显的特点，一是输入的栅极与漏极之间是通过很薄的二氧化硅层来隔离的，输入阻抗很高。以氧化层为介质的输入电容构成了良好的储能节点。如果输入端加上 100V 以上的电压，氧化层就会被击穿，使电路遭到永久性损坏。另一方面，为了防止氧化层击穿，在输入端上有二极管电阻保护网络（图 1-8）。由于这两个特点，电路的应用将受到一些限制。

1. 输入信号电压的范围

为了防止输入保护二极管因正向偏置二极管引起的大电流破坏，输入信号电压必须处在 U_{DD} 和 U_{SS} 之间，即 $U_{SS} \leq U_{IL} \leq 0.3U_{DD}$ ；输入高电平 U_{IH} 应在 U_{DD} 和 $0.7U_{DD}$ 之间，即 $0.7U_{DD} \leq U_{IH} \leq U_{DD}$ ，典型输入值应是 U_{DD} 或 U_{SS} 。

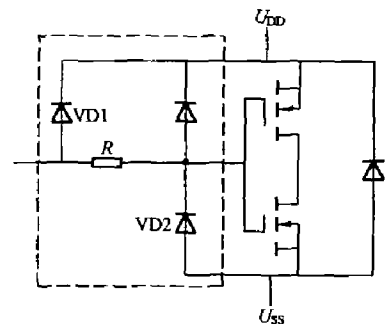


图 1-8 “标准”CMOS 数字电路的输入保护网络

U_i 的极限值是 $U_{DD} + 0.5V$ 、 $U_{SS} - 0.5V$ 。因此对通用的“标准”CMOS 数字电路来说，除非产品有特殊的说明，否则在任何情况下，输入低电平不得低于 $U_{SS} - 0.5V$ ，输入高电平不得高于 $U_{DD} + 0.5V$ 。如果超出极限值，则电路就可能遭到破坏。

2. 每个输入端输入电流的限制

从“标准”CMOS 数字电路的数据表中可以看出，“标准”CMOS 数字电路任何一输入端的典型输入电流值 I_i 是 $10pA$ 。这就是说，输入本身几乎不需要吸收电流。但是应当看到，有些电路中利用输入保护二极管对信号电平进行钳位，这时保护二极管上就会流过一定的电流。当然还有许多情况会使保护二极管流过电流。而保护二极管设计时允许流过电流是有限的，为了安全起见，国内、外都把每个输入端上的输入电流的绝对值限制在 $10mA$ 。通过每个输入端的电流都要汇流到 U_{DD} 或 U_{SS} 端。如果一个门电路有 4 个输入端，那么在每一个输入端上流过的电流应限制在 $10mA/4$ 以内。一般说来，输入电流以不超过 $1mA$ 为佳，假定加在输入端上的是一个低内阻的信号源，就有必要对输入信号采取必要的限流措施。

3. 多余输入端的处理办法

与双极型电路不同，“标准”CMOS 数字电路是由 PMOS 和 NMOS 管串并联而成的，因此输入端就不允许悬空。因为输入端一旦悬空，输入电位不定，从而破坏了电路的正常逻辑关系。此外，悬空时输入阻抗高，易受外界噪声干扰，使电路产生误动作；而且悬空时也极易使栅极感应静电，造成栅击穿。

对于多余的输入端要根据电路的功能分别处置。例如与门和非门的多余端应接至 U_{DD} 或高电平；而或门和或非门的多余端应与 U_{SS} 或低电平相连，如图 1-9 所示。

如果电路的工作速度不高，功耗也不需要特别考虑的话，也可将多余端与使用端并接。

需要强调指出的是电路装到印刷电路板上时出现的输入端悬空问题。印刷电路板不论大小，总是有输入端，如果不采取措施，印刷电路板在贮存期间，或由机

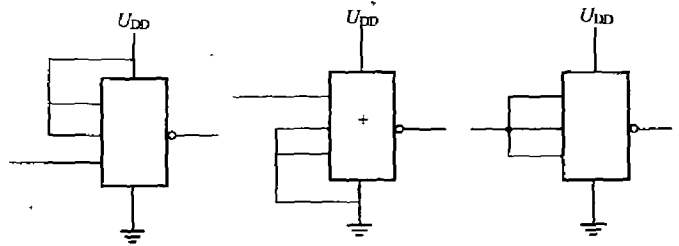


图 1-9 多余输入端的处置

器中拔出时，输入端就会悬空。这个问题可通过在各输入端接上限流电阻的办法予以解决。

4. 输入端接长线时的保护措施

在“标准”CMOS 数字电路系统与机械接点相连接时以及在其他特殊应用情况下，输入端往往需要连接长线。长输入线必然伴随着较大的分布电容和分布电感，很容易构成 LC 振荡，如图 1-10 (a) 所示。特别是在输入端一旦产生负振荡电压时，就有可能造成保护二

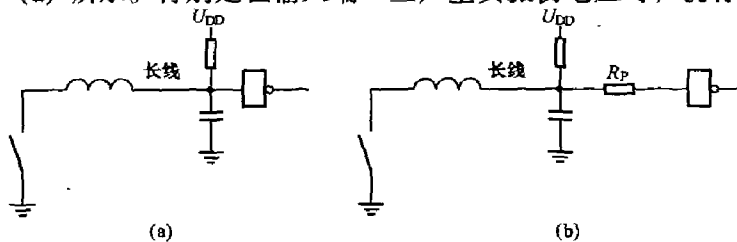


图 1-10 输入长线的保护办法
(a) 未加保护；(b) 加保护的方法

极管损坏，因此就有必要采取一定的保护措施。最实用而又最简单的保护办法如图1-10(b)所示，在输入端串接一个电阻，电阻的阻值可按照 $R_p = U_{DD}/1\text{mA}$ 的原则选取。例如 $U_{DD} = 10\text{V}$ ，则 $R_p = 10\text{ (k}\Omega\text{)}$ 。

5. 输入端接有大电容时的保护措施

在系统设计中有时需要用大电容来解决延迟和抗干扰之类的问题。这时如果不加保护，就有可能损害电路。如图1-11所示，在切断电源开关的瞬间，电容将通过输入保护二极管和电源内阻放电。假若电容容量较大，则瞬时放电电流就会很大，有可能烧坏输入保护二极管。保护的办同样是在输入端串接一个限流电阻 R_p ，使电流不超过 1mA 。

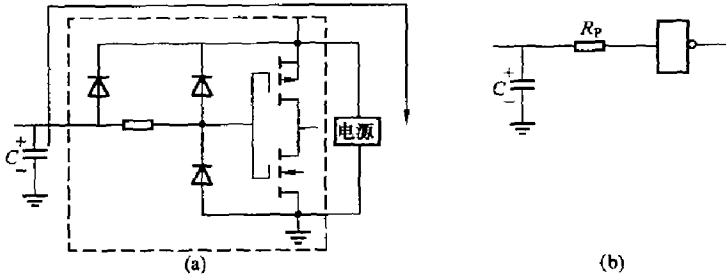


图1-11 输入端接有大电容时的保护措施
(a) 未加保护；(b) 加保护的连接

6. 静电击穿及其预防措施

在“标准”CMOS数字电路的输入端上，栅极与衬底之间以一个很薄的氧化层为介质，构成了良好的储能电容。由于输入阻抗很高，因而极易接收静电电荷。如果不加任何保护，则 100V 以上的静电电压就可能造成栅极与衬底击穿。因此为了防止产生静电击穿，通常在每一个输入端上都加如图1-8所示的标准保护网络。电路加上这种保护网络以后，在输入端与 U_{SS} 和 U_{DD} 之间就可以承受 $1\sim 2\text{kV}$ 的静电电压而不会损坏。当输入电压 U_i 大于 U_{DD} 时，输入二极管 VD_1 正向导通输入端被钳位。当 U_i 小于 U_{SS} 时，输入保护二极管正向导通，输入端电压被钳位到 $(U_{SS} - U_f)$ 。这就是“标准”CMOS数字电路输入电压极限值的产生根源。

有了保护网络，不等于电路绝对安全。事实上，这种保护网络只对 1kV 左右的静电和几伏的干扰脉冲尖峰有钳位保护作用，能起到防止栅极被静电击穿的作用。但由于保护二极管的几何尺寸有限，电阻值也只在 $2\text{k}\Omega$ 以内，因此所能承受的静电和干扰脉冲的能量就有一定的限度。实际上我们周围环境往往能产生相当高电位的静电。例如人们在急速穿脱人造纤维服装时，由于衣服之间的激烈摩擦，就可能在人体和工作服上产生高达几万伏的静电。这样高的电位如果加在MOS器件的栅极和衬底之间，则MOS器件仍然存在着被破坏的危险。

基于以上情况，就很有必要采取以下预防措施：

(1) 电路应在金属容器或其他导电的容器中存放和搬运，绝不能存放在易产生静电的泡沫塑料、塑料袋或其他容器中。

(2) 电路操作者的工作服、手套等应由无静电的材料制成。工作台上要铺上导电的金属板；椅子、工夹器具和测量仪器等均应接到地电位，特别是电烙铁的外壳必须有良好的接地线。

(3) 在调试“标准”CMOS数字电路板时，如果信号源和电路板是用两组电源，则开机

时应先接上电路板电源，后开信号电源。关机时，则应先关信号电源，后断电路板电源。

(4) 在机箱中插拔电路板时，应注意先断电源，以防止由于插头插座先后接触烧坏二极管。

(5) 在电路板上进行焊接时，必须将电路的电源切断。

五、“标准”CMOS 数字电路的接口方法

“标准”CMOS 数字电路尽管有许多优点，但在需要大电流、超高速和噪声环境比较恶劣的应用场所时，仍然需要配用分立器件和双极型电路。在实际使用中，“标准”CMOS 数字电路还会面临特定的输入和输出要求，这就需要考虑“标准”CMOS 数字电路和其他器件或电路及其装置的接口。

1. “标准”CMOS 数字电路与晶体管接口

“标准”CMOS 数字电路要控制继电器、步进电机等大电流负载，就不得不借助于大功率的晶体管。“标准”CMOS 数字电路晶体管接口电路有很多种，图 1-12 是较常用的一种。图中晶体管电源 U_{CC} 的值可按负载的需要来决定，并根据负载电流 I_L 的大小选定晶体管 VT1 和 VT2。晶体管一经选定，就可以按照管子的电参数来计算 VT1 所需的基极电流 I_B

$$I_B = \frac{I_L}{\beta_1 \times \beta_2}$$

其中， β_1 和 β_2 分别为晶体管 VT1 和 VT2 的电流放大系数。

有了基极电流 I_B ，就不难算出 R_1 的值

$$R_1 = \frac{U_{OH} - (U_{BE1} + U_{BE2})}{I_B + (U_{BE1} + U_{BE2})/R_2}$$

其中， U_{OH} 为“标准”CMOS 数字电路的输出高电平； U_{BE1} 、 U_{BE2} 分别为晶体管 VT1 和 VT2 的 B-E 结正向压降，通常取为 0.7V。

图中电阻 R_2 是为了改善电路的开关特性而引入的，其值常取为 4~10k Ω 。

2. “标准”CMOS 数字电路与运算放大器的接口

为了完成对模拟量的控制，就要解决运算放大器对“标准”CMOS 数字电路的接口。图 1-13 示出运算放大器对“标准”CMOS 数字电路的接口方法。图 1-13 (a) 是运算放大器和“标准”CMOS 数字电路分别采用各自典型电源时的接口方法。图中用两个二极管作箝位保护，使 CMOS 的输入电压处在 U_{DD} 和 U_{SS} 之间。电阻 R_3 既作“标准”

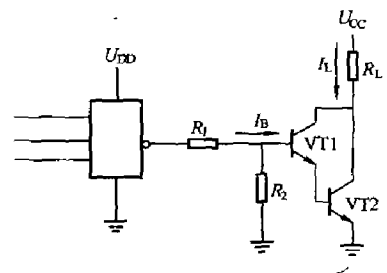


图 1-12 “标准”CMOS 数字电路与晶体管的接口

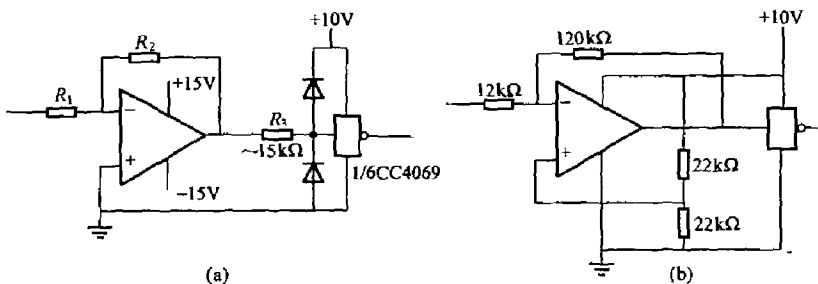


图 1-13 运算放大器与“标准”CMOS 数字电路的接口

(a) 运算放大器与 CMOS 采用各自电源；(b) 采用单一电源

CMOS 数字电路的限流电阻，又对二极管实行限流保护。如果系统只能提供一种电源，并要求运算放大器也采用这种电源时，则可按图 1-13 (b) 所示的方法连接。

第三节 高速 CMOS 系列数字集成电路的基本性能

4000 系列“标准”CMOS 数字电路的最大缺点是速度慢、输出驱动电流低。这些缺点是过于陈旧的 $30\mu\text{m}$ 技术的结果。随着集成电路制造技术的飞跃发展，IC 的线宽越来越小。20 世纪 90 年代初，为解决 4000 系列的缺点， $3\mu\text{m}$ 技术的高速 CMOS 数字电路问世。高速 CMOS 克服了 4000 系列的缺点，保留了 4000 系列的优点，是一种低功耗、高速数字集成电路。

不同生产厂商的高速 CMOS 系列数字集成电路的型号前缀为各厂商的标志，分别为：ON Semi: MC74HC; TI: SN54/74HC; RCA: CD54/74HC; ST: M74HC 等。通常各厂商的 74HC 的基本性能是差不多的，可以互换，因此，在电子市场上只提 74HC 系列即可。对于特殊应用，则可能要考虑特性的细节部分，这时各厂商的器件性能将有些差异，需要注意。

高速 CMOS 系列数字集成电路的特性、原理与 4000 系列 CMOS 数字电路基本相同，并且已经有很多文献，这里不再赘述。这里主要以高速 CMOS 系列数字集成电路中 74HC 系列为例，介绍高速 CMOS 数字集成电路的主要特性。

一、高速 CMOS 系列数字集成电路的极限参数

高速数字电路的电源电压通常在 5V 或 5V 以下，因此，高速 CMOS 系列数字集成电路的极限电源电压为 8V，可以满足电源电压的要求。

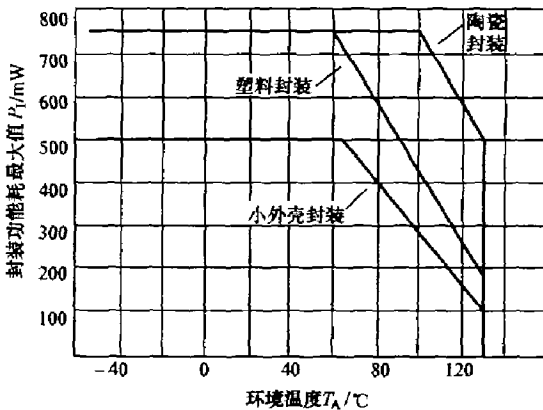


图 1-14 不同封装的功耗随温度降额曲线

图 1-14 为不同封装情况下的功耗随温度降额曲线。

工作温度范围：-55 ~ +125°C

存储温度：-65 ~ +125°C

二、高速 CMOS 集成电路特性

(一) 高速 CMOS 系列数字集成电路的静特性

表 1-2 为高速 CMOS 集成电路的静态电流。

高速 CMOS 系列数字集成电路的极限参数如下：

直流电源电压：-0.5 ~ 7.0V

输入二极管直流电流：±20mA

输出二极管直流电流：±20mA

每个输出的漏极电流：±25mA

功耗：DIP 封装在环境温度 -55 ~ +100°C 条件下为 500mW，环境温度在 +100 ~ +125°C 时以 8mW/°C 的速度降低到 300mW；SO 封装在环境温度 -55 ~ +70°C 条件下为 400mW，环境温度在 +100 ~ +125°C 时以 6mW/°C 的速度降低到 70mW。