

电子电路实验系列教材

# 数字逻辑电路实验·设计·仿真

周巍 黄雄华 编著

电子科技大学出版社

### 图书在版编目 (CIP) 数据

数字逻辑电路实验·设计·仿真/周巍, 黄雄华编著. 一成都:  
电子科技大学出版社, 2007.8  
(电子电路实验系列教材)  
ISBN 978-7-81114-608-0

I. 数… II. ①周…②黄… III. 数字电路: 逻辑电路—  
实验—高等学校—教学参考资料 IV. TN79-33

中国版本图书馆 CIP 数据核字 (2007) 第 125128 号

### 内 容 提 要

本教材内容主要包括: 集成逻辑门电路参数的测试、集成门电路的基本应用、组合逻辑电路的测试与应用、集成触发器、时序电路实验、时基电路 555 的功能及应用、A/D 和 D/A 实验、随机存取存储器的选择和读取、CPLD/FPGA 的应用“系列”。每一个“系列”包含几个实验可供学生选择。附录部分介绍了常用芯片 TTL 门、CMOS 门的引脚、Quartus II 6.0 使用简介、Altera 公司的 DE2 板的组成、结构及说明。

本教材的内容遵循了由浅入深、由基本实验到综合实验的原则, 安排较为合理, 整个实验既包含了经典的数字逻辑部分内容的实验, 又包含了 FPGA/CPLD 内容的实验, 并且实验的方法和手段更合理, 更适合实验教学。本书力求注重基本知识的加强同先进技术 FPGA/CPLD (可编程逻辑器件) 的结合, 更侧重于指导学生如何做实验、如何为设计提供帮助, 并能培养学生自主学习的能力和解决、解决问题的能力, 能很好地服务于“数字逻辑”这门课程, 又能为后续课程打好基础。

本教材可作为高等学校工科电子信息工程、通信工程、自动化、电子科学技术、测控技术与仪器等专业的“数字逻辑电路实验”课程教材使用, 也可作为电子工程技术工作者的自学参考书。

电子电路实验系列教材

## 数字逻辑电路实验·设计·仿真

周 巍 黄雄华 编著

---

出 版: 电子科技大学出版社 (成都市一环东路一段 159 号电子信息产业大厦 邮编: 610051)  
策划编辑: 朱丹 曾艺  
责任编辑: 朱丹  
主 页: [www.uestcp.com.cn](http://www.uestcp.com.cn)  
电子邮件: [uestcp@uestcp.com.cn](mailto:uestcp@uestcp.com.cn)  
发 行: 新华书店经销  
印 刷: 成都金龙印务有限责任公司  
成品尺寸: 185mm×260mm 印张 11.875 字数 289 千字  
版 次: 2007 年 8 月第一版  
印 次: 2007 年 8 月第一次印刷  
书 号: ISBN 978-7-81114-608-0  
定 价: 16.80 元

---

■ 版权所有 侵权必究 ■

- ◆ 邮购本书请与本社发行部联系。电话: (028) 83202323, 83256027
- ◆ 本书如有缺页、破损、装订错误, 请寄回印刷厂调换。
- ◆ 课件下载在我社主页“下载专区”。

# 前 言

本书是为通信工程、电子信息工程、计算机科学与技术、测控技术与仪器、电气工程及其自动化等专业开设的《数字电路逻辑》课程而编写的，同时兼顾了其他专业的需要。旨在加深学生对理论知识的理解，培养学生分析、设计、组装和调试数字电路的基本技能，掌握科学的实验方法，为以后其他专业课的学习打下坚实的基础。不同学校、不同专业可根据自身的教学要求选做不同的实验内容。本书的内容安排遵循由浅入深、由易到难的原则，既有测试验证的内容，也有设计、研究的内容；以传统的内容为主，同时也安排了学科发展的新内容——CPLD/FPGA（可编程逻辑器件）技术的内容；有些实验只提供设计要求及原理图，由学生自己完成方案选择、实验步骤、结果记录及分析等，充分发挥学生的创造性和主动性。

本书注重底层的原理。在内容安排和设计上基本体现了底层硬件实现的原理和过程，如编码器和译码器的应用、用触发器设计计数器、A/D 和 D/A 转换、SRAM6116 存储器及其应用，在综合设计性实验中，是将前面已学实验内容综合在一起，通过 CPLD/FPGA（可编程逻辑器件）的原理图方式进行设计，一方面学习 CPLD/FPGA 的设计方法，另一方面更好地提高学生综合应用、分析及处理问题的能力。其中突出了逻辑门电路的测试，这对初学集成电路的学生加深对集成电路的认识很有必要；在各类实验中，既验证逻辑功能，又突出应用，能培养学生实际应用集成电路的能力。在传统教学内容的基础上，延伸了 CPLD/FPGA 的实际应用。还介绍了数字电路基本知识、常用芯片的封装及引脚图，为缺乏手册等工具书的学生提供了方便。

在书稿的编写过程中，桂林电子科技大学教学实践部领导周娅教授和朱明日教授给予了原则性的指导，陈尚松教授和黄冰教授对本书进行了精心的审阅，桂林电子科技大学从事数字逻辑教学的黄智超副教授、谢跃雷、陈辉、胡锦涛全，电路中心的蔡春晓、黄品高各位老师对书稿也提出了很多宝贵的意见；同时，西南交通大学从事数字逻辑实验教学工作的徐安明高级实验师审阅了本书，提出了很多宝贵的意见，在此，对他们的辛勤工作表示衷心的感谢。

由于时间紧迫，水平有限，书中难免出现不妥之处及错误，敬请同行、读者提出意见和改进建议。

作 者

2007年7月18日

# 目 录

实验要求 .....	1
数字电路实验基本知识 .....	3
实验系列一 集成逻辑门电路参数的测试 .....	7
实验 1.1 TTL 集成逻辑门的逻辑功能与参数测试 .....	7
实验 1.2 基本逻辑门电路的驱动能力测试 .....	15
实验 1.3 CMOS 门电路测试 .....	18
实验 1.4 集电极开路门 (OC 门) 和三态门 (TSL 门) .....	22
实验 1.5 TTL 与 CMOS 相互连接实验 .....	25
实验系列二 集成门电路的基本应用 .....	33
实验 2.1 基本逻辑门功能及信号合成输出的测试 .....	33
实验 2.2 组合逻辑中的竞争冒险 .....	34
实验系列三 组合逻辑电路的测试与应用 .....	41
实验 3.1 编码器、译码器及其应用 .....	41
实验 3.2 数据选择器及其应用 .....	50
实验 3.3 半加器、全加器及其应用 .....	53
实验系列四 集成触发器 .....	63
实验 4.1 基本触发器 .....	63
实验 4.2 触发器的应用 .....	69
实验系列五 时序电路实验 .....	79
实验 5.1 集成同步计数器和集成异步计数器的应用 (计数/分频/定时) .....	79
实验 5.2 顺序脉冲和序列脉冲发生器 .....	85
实验系列六 时基电路 555 的功能及应用 .....	95

实验 6.1	555 时基电路.....	95
实验 6.2	555 时基电路的应用.....	101
实验系列七	A/D 和 D/A 实验.....	109
实验 7.1	A/D 转换.....	109
实验 7.2	D/A 转换.....	112
实验系列八	随机存取存储器的选择和读取.....	121
实验 8.1	SRAM6116 存储器及其应用.....	121
实验 8.2	RAM 容量的扩展.....	127
实验系列九	CPLD/FPGA 的应用.....	133
实验 9.1	动态扫描显示系统的研究与设计.....	133
实验 9.2	基于 CPLD/FPGA 交通灯的控制研究和设计.....	137
实验 9.3	可定时的八路数显抢答器的研究和设计.....	144
附录 1	常用芯片引脚图.....	153
附录 2	Quartus II 6.0 使用简介.....	163
附录 3	DE2 板的组成、结构及说明.....	175
附录 4	八路数显抢答器原理图.....	182
附录 5	可预置定时电路.....	183
主要参考文献	.....	184

# 实验要求

## 一、实验教学基本要求

实验课的目的是培养学生的电子电路实验研究能力，培养学生理论联系实际的能力，使学生能根据实验结果，利用所学理论，通过分析找出内在联系，从而对电路参数进行调整，使之符合性能要求。在实验中培养学生实事求是、严谨的科学作风。ㄎ

实验部分的基本要求是：ㄎ

1. 正确使用常用电子仪器，如示波器、信号发生器、数字万用表、参数测试仪、稳压电源等。
2. 掌握基本的测试技术，如测量频率、相位、时间、脉冲波波形参数、电压或电流的平均值、有效值、峰值以及电子电路的主要技术指标。ㄎ
3. 具有查阅电子器件手册的能力。ㄎ
4. 根据技术要求能选用合适的元器件，设计常用的小系统，并进行组装和调试。ㄎ
5. 初步具有分析、寻找和排除电子电路中常见故障的能力。ㄎ
6. 初步具有正确处理实验数据、分析误差的能力。ㄎ
7. 能独立写出严谨的、有理论分析的、实事求是的、文理通顺、字迹端正的实验报告。

## 二、实验规则ㄎ

为了顺利完成实验任务，确保人身、设备安全，培养严谨、踏实、实事求是的科学作风和爱护国家财产的优秀品质，特制定以下实验规则：ㄎ

1. 实验前必须充分预习，完成指定的预习任务。预习要求如下：ㄎ

- (1) 认真阅读实验指导书，分析、掌握实验电路的工作原理，并进行必要的估算。
- (2) 完成各实验“预习要求”中指定的内容。ㄎ
- (3) 熟悉实验任务。ㄎ
- (4) 复习实验中各仪器的使用方法及注意事项。ㄎ

未完成预习任务者不能进实验室做实验。ㄎ

2. 使用仪器、设备前必须了解其性能、操作方法及注意事项，在使用时应严格遵守。

3. 实验时接线要认真，相互仔细检查，确认无误才能接通电源。初学或没有把握时应经指导教师审查同意后才能接通电源。ㄎ

4. 实验时应注意观察，若发现有破坏性异常现象（例如有元件冒烟、发烫或有异味等），应立即关断电源，保持现场，报告指导教师，找出原因、排除故障并经指导教师同意后才能再继续做实验。如果发生事故（例如元件或设备损坏等），应主动填写实验事故报告单，服从实验室和指导教师对事故的处理决定（包括经济赔偿等），并自觉总结经验，吸取教训。

5. 实验过程中需要改接线时，应关断电源后才能拆、接线。ㄎ

6. 实验过程中应仔细观察实验现象，认真记录实验结果（数据、波形及其现象）。所

记录的实验结果必须经指导教师审阅签字后才能拆除实验线路。☺

7. 实验结束后, 必须拉闸, 并将仪器、设备、工具、导线等按规定整理好, 才能离开实验室。

8. 在实验室不得做与实验无关的事。进行任课教师指定内容以外的实验, 必须经指导教师同意。☺

9. 遵守纪律, 不迟到, 不乱拿他组的仪器、设备、工具、导线等。保持实验室内安静、整洁, 爱护一切公物, 不许在仪器设备或桌子上乱写乱画。☺

10. 实验后每个同学都必须按要求完成一份实验报告。☺

### 三、实验报告要求☺

1. 每次实验后每人必须独立完成一份实验报告。☺

2. 实验报告一般应包括以下内容: ☺

(1) 必须有原始记录(数据、波形、现象及所用仪器设备编号等)。原始记录必须有指导教师签字, 否则无效。☺

(2) 画出实验电路, 简述(不要抄写实验指导书上的步骤、公式等)所做实验内容及结果。

(3) 对原始记录进行必要的分析、整理, 并将原始记录与预习时理论分析所得的结果进行比较, 若误差较大, 分析原因。☺

(4) 重点报告实验中体会较深、收获较大的一两个问题(如果实验中出现故障, 应将分析故障、查找原因作为重点报告内容), 详细报告其过程, 说明出现过什么现象, 当时是怎么分析的, 采取了什么措施, 结果如何, 有什么收获或应吸取什么教训。☺

(5) 回答任课教师指定的思考题。☺

3. 实验报告封面上应写明实验名称、班号、实验者姓名、学号、实验日期和完成实验报告日期等, 并将实验报告整理装订好, 按任课教师指定的时间上交。☺

## 数字电路实验基本知识

### 一、数字集成电路封装

(1) 中、小规模数字集成电路中最常用的是 TTL 电路和 CMOS 电路。TTL 器件型号以 74 (或 54) 作为前缀, 称为 74/54 系列, 例如 74LS00、74F181、54S86 等。

(2) 高速 CMOS 电路 HC (74HC 系列), 与 TTL 兼容的高速 CMOS 电路 HCT (74HCT 系列); TTL 电路与 CMOS 电路各有优缺点, TTL 速度高; CMOS 电路功耗小、电源范围大、抗扰能力强。

(3) 数字集成电路器件有多种封装形式。① DIP 封装, 即双列直插式封装技术 (Dual In-line Package); ② QFP 封装, 即方形扁平式封装技术 (Plastic Quad Flat Package); ③ PGA 封装, 即插针网格阵列封装技术 (Ceramic Pin Grid Arrau Package); ④ BGA 封装, 即球栅阵列封装技术 (Ball Grid Array Package); ⑤ PLCC: 有引线塑料芯片载体封装 (Plastic Leaded Chip Carrier) ⑥ COB: 板上芯片封装 (Chip on Board); ⑦ Flip-Chip: 倒装焊芯片; ⑧ SOJ (Small Out-Line J-Leaded Package): J 形引线小外形封装; ⑨ SOP (Small Out-Line Package): 小外形封装。它们的外观分别如图 1 (a)、(b)、(c)、(d)、(e)、(f) 所示。

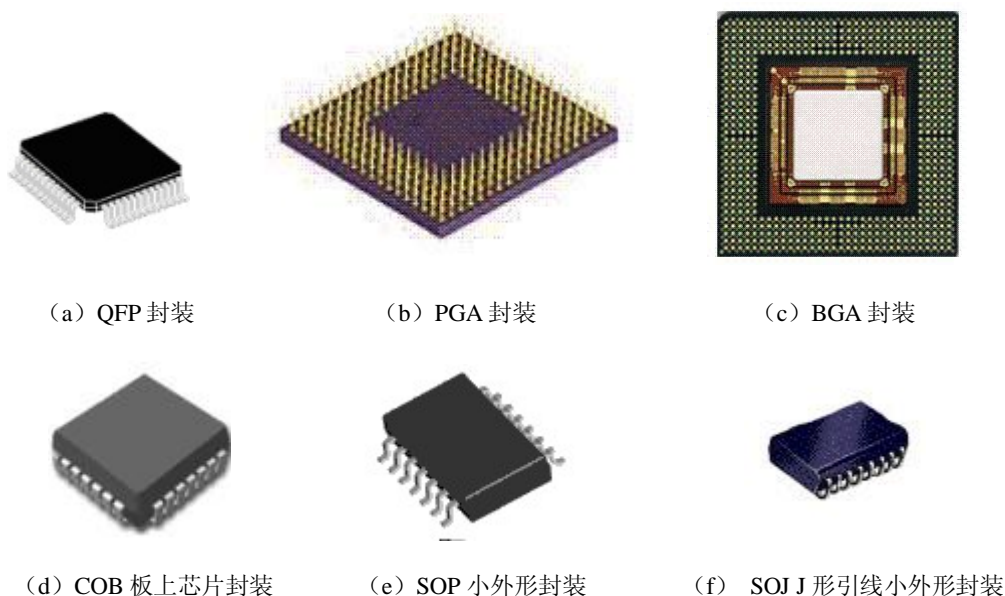


图 1 各种芯片封装图

实验中所用的 74 系列器件封装选用双列直插式 (DIP), 如图 2 所示是双列直插封装的正面示意图。

## (4) DIP 封装的特点:

① 从正面看, 器件一端有一个半圆缺口, 这是正方向的标志。IC 芯片的引脚序号是依半圆缺口为参考点定位的, 缺口左下边的第一个引脚编号为 1, IC 引脚编号按逆时针方向增加。图中的数字表示引脚编号。DIP 封装的数字集成电路引脚数有 14、16、20、24、28 等多种。

② DIP 封装的器件有两列引脚, 两列引脚之间的距离能够作微小改变, 但引脚间距不能改变。将器件插入实验(箱)平台上的插座(面包板)或从其上拔出时要小心, 不要将器件引脚搞弯或折断。

③ 74 或 CMOS 系列器件一般右下角的最后一个引脚是 GND, 右上角的引脚是  $V_{CC}$ 。例如, 14 引脚器件的引脚 7 是 GND; 引脚 14 是  $V_{CC}$ ; 16 引脚器件的 8 引脚是 GND, 16 引脚是  $V_{CC}$ 。但也有例外, 如 16 引脚的双 JK 触发器 74LS76, 引脚 13 是 GND, 引脚 5 是  $V_{CC}$ , 如图 3 所示。



图 3 引脚编号

使用集成电路器件时要先看清楚它的引脚的分配图, 找对电源和地引脚, 避免因接线错误造成器件损坏。

## 二、复杂可编程逻辑器件 (CPLD) 的封装

数字电路实验系统中使用的复杂可编程逻辑器件 EPM7128SLC84 是 84 引脚的 PLCC (Plastic Leaded Chip Carrier) 封装, 如图 4 所示是其封装正面。器件的正面上方的小圆点指示引脚 1, 引脚编号按逆时针方向增加, 引脚 2 在引脚 1 的左边, 引脚 84 在引脚 1 的右边。EPM7128 的电源引脚号、地引脚号有多个, 插 PLCC 器件时, 器件正面的左上角(缺角)要对准插座的左上角。拔 PLCC 器件应使用专门的起拔器。

**注意:** 不能带电操作器件, 器件插拔、连接或安装等只能在关断电源的情况下进行。



图 4 PLCC 封装正面

### 三、数字电路逻辑状态的规定

数字电路是一种开关电路，开关的两种状态“开通”与“关断”，常用二元常量 0 和 1 来表示。

在数字逻辑电路中，区分逻辑电路状态“1”和“0”信号的电平一般有两种规定，即正逻辑和负逻辑。正逻辑规定，高电平表示逻辑“1”，低电平则表示逻辑“0”；负逻辑规定，低电平表示逻辑“1”，高电平则表示逻辑“0”。工程中多数采用正逻辑描述。对于 TTL 电路，正逻辑“1”电平在 3.6~5V 之间，逻辑“0”电平在 0.2~0.4V 之间；CMOS 电路正逻辑“1”电平在 3~18V 之间，逻辑“0”电平在 0.2~0.9V 之间。

### 四、数字电路测试机故障的查找、排除

#### 1. 数字电路测试

数字电路静态测试是指，给定数字电路若干组静态输入值，测定数字电路的输出值是否正确。数字电路状态测试的过程是在数字电路设计好后，将其安装连接成完整的线路，把线路的输入接到电平开关上，线路的输出接到电平指示灯（LED），按功能表或状态表的要求，改变输入状态，观察输入和输出之间的关系是否符合设计要求。

数字电路电平测试是测量数字电路输入与输出逻辑电平（电压）值是否正确的一种方法。在数字逻辑电路中，对于 74 系列 TTL 集成电路要求，输入低电平 $\leq 0.8V$ ，输入高电平 $\geq 2V$ ；输出低电平 $\leq 0.2V$ ，输出高电平 $\geq 3.5V$ 。

静态测试：这是检查设计与接线是否正确无误的重要一步。

动态测试：在静态测试的基础上，按设计要求在输入端加动态脉冲信号，观察输出端波形是否符合设计要求，这是动态测试。

#### 2. 故障查找与排除

在数字逻辑电路实验中，出现问题是难免的。重要的是分析问题，找出问题的原因，从而解决问题。一般来说，主要有三方面产生问题（故障）的原因：器件故障、接线错误、设计错误。

##### （1）器件故障

器件故障是器件失效或接插问题引起的故障，表现为器件工作不正常，这需要更换一个好器件。器件接插问题，如管脚折断或器件的某个（或某些）引脚没有插到插座中等，也会使器件工作不正常。对于器件接插错误有时不易发现，需要仔细检查。判断器件使用集成电路测试仪测试器件。需要指出的是，一般的集成电路测试仪只能检测器件的某些静态特性。对负载能力等静态特性和上升沿、下降沿、延迟时间等动态特性，一般的集成电路测试仪不能测试。测试器件的这些参数，须使用专门的集成电路测试仪。

##### （2）接线错误

在教学实验中，最常见的接线错误有漏线错误和布线错误。漏线的现象往往是忘记连接电源和地、线路输入端悬空。悬空的输入端可用三状态逻辑笔或电压表来检测。一个理想的 TTL 电路逻辑“0”电平在 0.2~0.4V 之间，逻辑“1”电平在 3.6~5V 之间，而悬空点的电平大约在 1.6~1.8V 之间。CMOS 的逻辑电平介于实际使用的电源电压和地之间的

电压。接线错误会使器件（不是 OC 门）的输出端之间短路。两个具有相反电平的 TTL 集成电路输出端，如果短路以后将会产生大约 0.6V 的输出电压。

### (3) 设计错误

设计错误自然会造成与预想的结果不一致，原因是所用器件的原理没有掌握。在集成电路的实际应用中，不用的输入端是不允许悬空的。因为由于电磁感应，悬空的输入端易受到干扰而产生噪声，而这种噪声有可能被逻辑门当做输入逻辑信号，从而产生错误的输出信号。因此，常把不用的输入端与有用的输入端连接到一起，或根据器件类型，把它们接到高电平或低电平。在触发器电路中，需要注意边沿触发信号和输入信号之间的关系。

当实验中发现结果与预期不一致时，应仔细观测现象，冷静分析问题所在。首先检查仪器、仪表的使用是否正确。在正确使用仪器、仪表的前提下，按逻辑图和接线图查找问题出现在何处。查找与纠错是综合分析、仔细推究的过程，有多种方法，但以“二分法”查错速度较快。所谓“二分法”是将所设计的逻辑电路从最初的信号输入端到电路最终的信号输出端之间的电路一分为二，在中间找到切入点，断开后半部分电路，对前半部分电路进行分析、测试，确定前半部分电路是否正确，如前半部分电路不正确，再对前半部分电路一分为二，以此类推，只要认真分析、仔细查找，总会纠错成功。

## 五、数字系统设计实验步骤

### (1) 实验设计

方案设计，逻辑原理设计，线路设计

### (2) 选择器件

准备连接导线，选择器件，按功能块相对集中地排列器件

### (3) 器件布局

### (4) 布线顺序

电源线→数据信号线→控制信号线→开关、显示灯线

### (5) 实验测试、调试与记录

### (6) 撰写实验总结报告

#### ① 实验内容

#### ② 实验目的

#### ③ 实验设备

#### ④ 实验方法与手段

#### ⑤ 实验原理图

#### ⑥ 实验现象（结果）记录分析

⑦ 实验结论与体会：包括实验方案的正确性、可行性如何，可否进一步优化，有哪些收获体会，有哪些经验教训，有哪些建议等

## 实验系列一 集成逻辑门电路参数的测试

### 实验1.1 TTL集成逻辑门的逻辑功能与参数测试

#### 一、实验目的

1. 了解四与非门 74LS00 的逻辑功能和主要参数的测试方法。
2. 掌握 74LS00 的引脚排列及四组组合构造。
3. 了解 74LS00 四与非门各组构造的内部电路及其逻辑功能。
4. 掌握 TTL 器件的使用规则。

#### 二、实验原理

TTL 门电路是最简单、最基本的数字集成电路元件，利用其通过适当的组合连接便可以构成任何复杂的组合电路。因此，掌握 TTL 门电路的工作原理，熟悉、灵活地使用它们是数字技术工作者必备的基本功之一。

本实验采用四与非门 74LS00，其引脚排列如图 1.1.1 所示。

它共有四组独立的与非门，每组有两个输入端。各组的构造和逻辑功能相同，现以其中的一组加以说明。TTL 与非门的电路结构如图 1.1.2 所示：A、B 为输入端，Y 为输出端，与非门的逻辑表达式为  $Y = \overline{A \cdot B}$ ，当 A、B 均为高电平时，Y 为低电平“0”；当 A、B 中有一个为低电平或二者均为低电平时，Y 为高电平“1”。

#### 三、两与非门 74LS00 的主要参数

1. 扇出系数  $N_O$ ：电路正常工作时能带动的同类门的数目称为扇出系数  $N_O$ 。
2. 输出高电平  $V_{OH}$ ：一般  $V_{OH} \geq 2.4V$ 。
3. 输出低电平  $V_{OL}$ ：一般  $V_{OL} \leq 0.4V$ 。

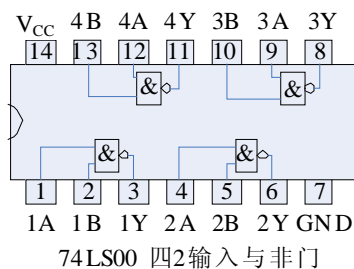


图 1.1.1 74LS00 的引脚排列图

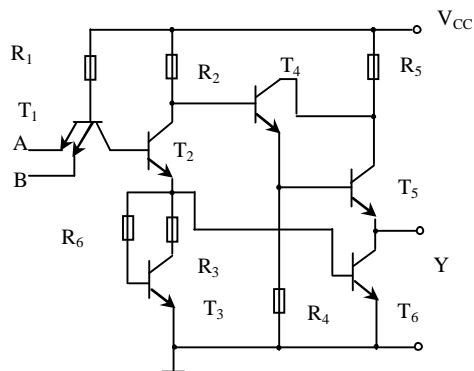


图 1.1.2 74LS00 与非门（一组）的内部电路

4. 高电平输入电流  $I_{IH}$ : 指当一个输入端接高电平而其他输入端接地时从电源流过高电平输入端的电流。

5. 低电平输入电流  $I_{IL}$  (或输入短路电流  $I_{RD}$ ): 指当一个输入端接地而其他输入端悬空时低电平输入端流向地的电流。

6. 电压传输特性曲线和关门电平  $V_{OFF}$ : 如图 1.1.3 所示的  $V_I$ - $V_O$  关系曲线称为电压传输特性曲线。使输出电压刚刚达到低电平时的最低输入电压称为开门电平  $V_{ON}$ , 使输出电压刚刚达到规定高电平时的最高输入电压称为关门电平  $V_{OFF}$ 。

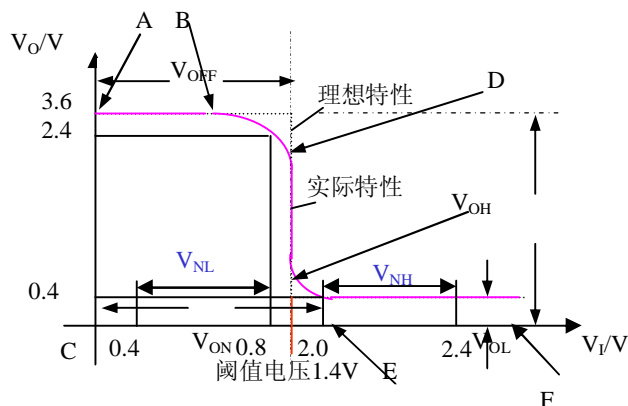


图 1.1.3 TTL 与非门的电压传输特性

TTL 与非门的输出电压  $V_O$  随输入电压  $V_I$  而变化的曲线  $V_O=f(V_I)$  称为门的电压传输特性。这是表示输出电压  $V_O$  随输入电压  $V_I$  变化的一条曲线, 电压传输特性曲线大致分为四段: 通过它可得到门电路的一些重要参数, 如输出高电平  $V_{OH}$ 、输出低电平  $V_{OL}$ 、关门电平  $V_{OFF}$ 、开门电平  $V_{ON}$ 、阈值电平  $V_T$  及抗干扰容限  $V_{NL}$ 、 $V_{NH}$  等值。测试电路如后面图 1.1.11 所示, 采用逐点测试法, 即调节  $R_w$ , 逐点测得  $V_I$  及  $V_O$ , 然后绘成曲线, 如图 1.1.3 所示。

(1) AB 段。输入电压  $V_I \leq 0.6V$  时,  $T_1$  工作在深度饱和状态,  $V_{CES1} < 0.1V$ ,  $V_{B2} < 0.7V$ , 故  $T_2$ 、 $T_5$  截止,  $T_3$ 、 $T_4$  导通,  $V_O \approx 3.6V$  为高电平。与非门处于截止状态, 所以把 AB 段称为截止区。

(2) CD 段。输入电压  $0.6V < V_I < 1.3V$  时,  $0.7V \leq V_{B2} < 1.4V$ ,  $T_2$  开始导通,  $T_5$  仍未导通,  $T_3$ 、 $T_4$  处于射极输出状态。随  $V_I$  的增加,  $V_{B2}$  增加,  $V_{C2}$  下降, 并通过  $T_3$ 、 $T_4$  使  $V_O$  也下降。因为  $V_O$  基本上随  $V_I$  的增加而线性减小, 故把 CD 段称为线性区。

(3) BC、DE 段。输入电压  $1.3V < V_I < 1.4V$  时,  $T_5$  开始导通, 并随  $V_I$  的增加趋于饱和, 使输出  $V_O$  为低电平。所以把 BC、DE 段称为转折区或过渡区。

(4) EF 段。当  $V_I \geq 1.4V$  时,  $T_2$ 、 $T_5$  饱和,  $T_4$  截止, 输出为低电平。与非门处于饱和状态。所以把 EF 段称为饱和区。

7. 空载导通功耗  $P_{ON}$ :

指输入全部为高电平、输出为低电平且不带负载时的功率损耗。

8. 空载截止功耗  $P_{OFF}$ :

指输入有低电平、输出为高电平且不带负载时的功率损耗。

9. 噪声容限: 电路能够保持正确的逻辑关系所允许的最大抗干扰值, 称为噪声电压容限。输入低电平时的噪声容限为  $V_{OFF} \sim V_{IL}$ , 输入高电平时的噪声容限为  $V_{IH} \sim V_{ON}$ 。通常 TTL 门电路的  $V_{IH}$  取其最小值 2.0V,  $V_{IL}$  取其最大值 0.8V。

10. 平均传输延迟时间  $T_{PD}$ : 它是与非门的输出波形相对于输入波形的时间延迟, 是衡量开关电路速度的重要指标。一般情况下, 低速组件的  $T_{PD}$  约为 40~60ns, 中速组件的  $T_{PD}$  约为 15~40ns, 高速组件的  $T_{PD}$  为 8~15ns, 超高速组件的  $T_{PD}$  小于 8ns。一个与非门的平均传输延迟时间可以通过下式近似计算:  $T_{PD} = T/6$ ,  $T$  为用三个门电路组成振荡器的周期。

#### 四、实验预习要求

1. 复习 TTL 与非门有关内容, 阅读 TTL 电路的使用规则。
2. 阅读 EEL-07 的结构、功能及使用方法说明。
3. 理解为什么 TTL 与非门的输入端悬空相当输入逻辑“1”电平。
4. 掌握 TTL 或非门闲置输入端如何处理。
5. 掌握基本的逻辑运算“与”、“或”、“非”、“与非”、“或非”、“异或”、“同或”等及其各种运算的基本表达式, 并且怎样用门电路符号表示。
6. 掌握电压表、电流表及万用表的使用方法。

#### 五、实验内容

TTL 与非门参数的测试:

1. 输出高电平  $V_{OH}$  的测试电路如图 1.1.4 所示, 把与非门两输入端中的一个或两者全部接地, 用万用表测出的输出端电压为  $V_{OH}$ , 在测量中如果电压值大于等于 2.4V, 记为“1”; 若测量值小于等于 0.4V, 记为“0”。测出四组数据, 将其填入自制的表中。

2. 输出低电平  $V_{OL}$  的测试电路如图 1.1.5 所示, 输入端全部悬空, 测出输入端电压即为  $V_{OL}$ , 将测量的四组数据填入自制的表中。

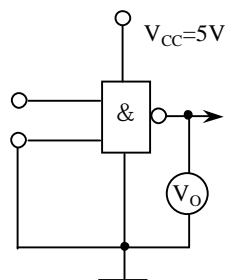


图 1.1.4  $V_{OH}$  测试电路

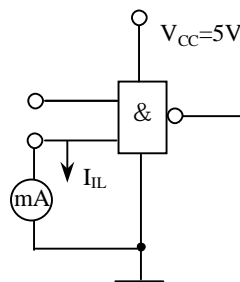


图 1.1.5  $V_{OL}$  测试电路

3. 低电平输入电流  $I_{IL}$  的测试电路如图 1.1.6 所示, 从电流表上读出的电流就是与非门的低电平输入电流。用万用表分别测出集成块 74LS00 中各与非门不同输入端接地时的电流  $I_{IL}$ , 并将其测量结果填入自制的表中。

4. 高电平输入电流  $I_{IH}$  的测试电路如图 1.1.7 所示, 测量并记录与非门的高电平输入电流  $I_{IH}$ 。

5. 空载导通功耗  $P_{ON}$  的测试电路如图 1.1.8 所示, 从 +5V 电源输出处用万用表测出电

流  $I_{ON}$  就可以按下式求出空载导通功耗  $P_{ON}$ :  $P_{ON}=V_{CC} \cdot I_{ON}$ 。

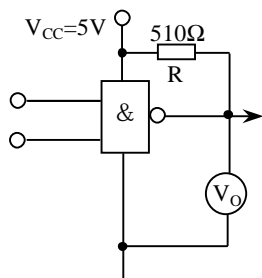


图 1.1.6  $I_{IL}$  测试电路

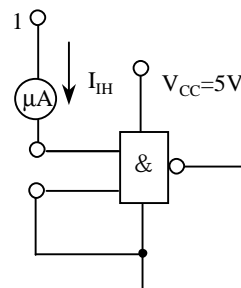


图 1.1.7  $I_{IH}$  测试电路

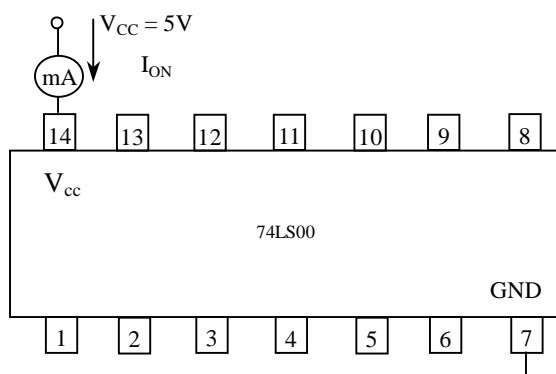


图 1.1.8  $P_{ON}$  测试电路

6. 空载截止功耗  $P_{OFF}$  的测试电路如图 1.1.9 所示, 从+5V 电源输出处用万用表测出电流  $I_{OFF}$  就可以按下式求出空载截止功耗  $P_{OFF}$ :  $P_{OFF}=V_{CC} \cdot I_{OFF}$ 。

7. 扇出系数  $N_O$  的测试电路如图 1.1.10 所示, 与非门的两输入端均悬空, 接通电源, 调节  $R_W$ , 使电压表的读数等于 0.4V, 读出此时电流表的读数  $I_{OL}$ 。根据下式计算出该与非门的扇出系数  $N_O$ :  $N_O=I_{OL}/I_{IL}$ 。

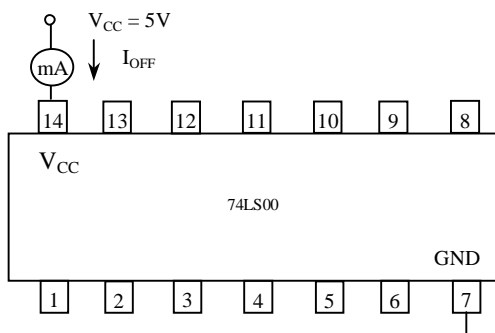


图 1.1.9  $P_{OFF}$  测试电路

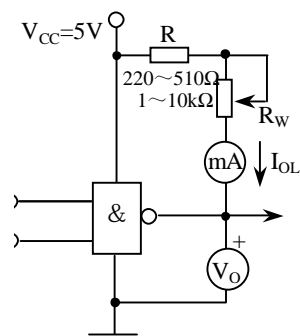


图 1.1.10  $N_O$  测试电路

8. 与非门传输特性的测试:

测量与非门传输特性的电路如图 1.1.11 所示, 调节  $R_W$  使  $V_I$  在 0.4~8V 之间变化, 分别

测出对应的输出电压  $V_O$ ，并将结果填入自制的表中。

根据上述实验数据，在坐标纸上画出  $V_O-V_I$  的曲线就是被测与非门的传输特性曲线。按图接线测出  $V_{ON}$  电平，并求出使输出下降到规定高电平 90% 时所对应的输入电压即关门电平  $V_{OFF}$ 。由此估算输入低电平噪声容限、输入高电平噪声容限。

9. 测量平均传输延迟时间  $T_{PD}$ ：

平均延迟时间指输出信号滞后于输入信号的时间，它是表示开关速度的参数。从输入波形上升沿的中点到输出波形下降沿中点之间的时间称为导通延迟时间  $t_{PHL}$ ；从输入波形下降沿的中点到输出波形上升沿的中点之间的时

间称为截止延迟时间  $t_{PLH}$ ，所以 TTL 与非门的平均延迟时间为： $t_{PD} = \frac{1}{2}(t_{PHL} + t_{PLH})$ ；可参考延迟时间的波形图，如图 1.1.12 所示。

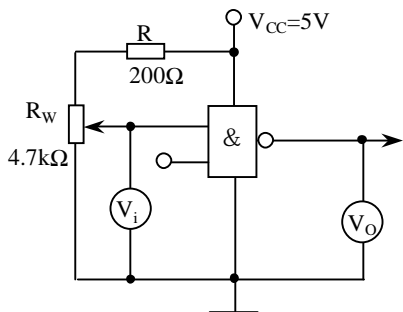


图 1.1.11  $V_O$  测试电路

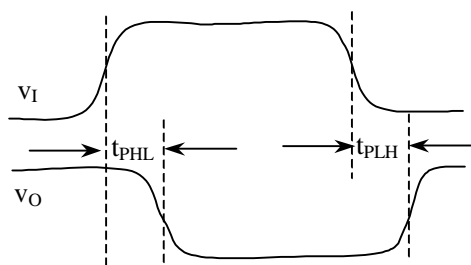


图 1.1.12 延迟时间波形图

式中， $t_{PD}$  ——平均延迟时间

$t_{PHL}$  ——导通延迟时间

$t_{PLH}$  ——截止延迟时间

一般，TTL 与非门的  $t_{PD}$  为  $3\sim 40ns$ 。

按图 1.1.13 连接电路，用 74LS00 的三个与非门组成环形振荡器，从示波器读出振荡周期  $T$ ，然后估算出该与非门的平均传输延迟时间  $t_{PD}$ 。

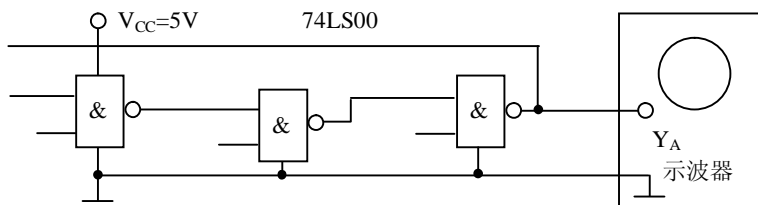


图 1.1.13  $T_{PD}$  测试电路

已知电路两个输入信号的波形如图 1.1.14 所示，信号的重复频率为  $1MHz$ ，每个门的平均延迟时间  $t_{PD}=20ns$ 。试画出：

- (1) 不考虑  $t_{PD}$  时的输出波形。
- (2) 考虑  $t_{PD}$  时的输出波形。

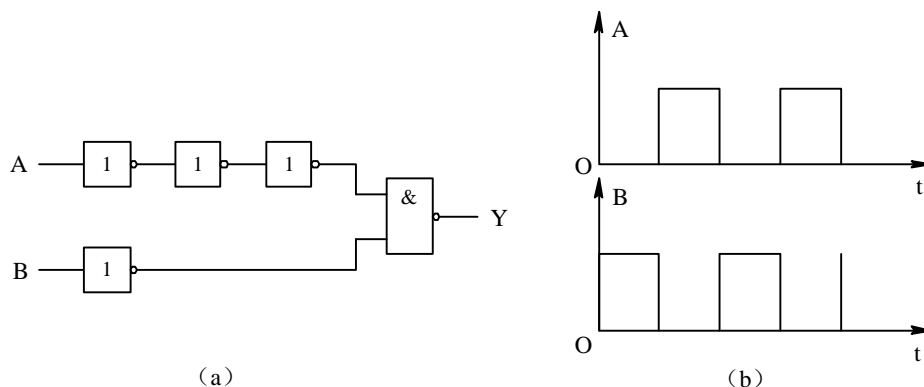


图 1.1.14 电路和波形图

## 六、实验注意事项

1. 安全用电：首先检查芯片能否正常工作，以及导线是否导通。
2. 电路连接完成之后检查无误再接通电源，特别注意 74LS00 的地与电源引脚不能接错。
3. 万用表电压与电流挡的选择。

## 七、实验仪器与器件

- |                       |       |
|-----------------------|-------|
| 1. 数字电路实验箱            | 1 台   |
| 2. 示波器                | 1 台   |
| 3. 集成电路 74LS00        | 1 片   |
| 4. 元器件                |       |
| 电阻：510, 220, 1kΩ~10kΩ | 共 3 个 |
| 电位器：1kΩ, 10kΩ         | 共 2 个 |

## 八、思考题

1. 你所测试并绘制的电压传输特性曲线有何特点？试分析其原因。
2. 与你周围同学的测试结果进行比较，你们的数据可能有一定的差别，但只要在一一定的范围内都是正确的，试分析数据不同的原因。
3. TTL 与非门多余输入端应如何处理？或门、或非门、与或非门多余输入端应如何处理？
4. 什么是“线与”？普通 TTL 门电路为什么不能进行“线与”？
5. 三态门输出有哪三种状态？为保证接至同一母线上的许多三态门电路能够正常工作的必要条件是什么？

## 九、实验报告要求

1. 记录实验测得的门电路参数，整理实验结果，并对结果进行分析。
2. 画出实测的电压传输特性曲线，并从中读出各有关参数值。
3. 同学自行查阅有关 74LS00 的电气参数。
4. 回答思考题中提出的各问题。
5. 由学生自行列出表格整理实验数据。