

第一章 晶体三极管与门电路

概 述

数字电路的基本部件是门电路，它是由晶体三极管组成的。晶体三极管在门电路中是有源器件。这里将回顾它的一些特性，这些特性有助于人们理解晶体三极管在门电路中的功能。两种最常用的晶体三极管是双极型晶体三极管和场效应晶体三极管。双极型晶体三极管是晶体管 - 晶体管逻辑电路 (TTL) 的基础，场效应晶体三极管则是以金属氧化物半导体技术为基础，这种技术主要应用在高集成度的部件中。尽管这两种晶体三极管的工作情况基本相同，但在某些特性上还是不同的。

1.1 双极型晶体三极管组成的门电路

除了电阻、电容等无源器件之外，电路中还包括可放大电流或电压的有源器件。最常见的有源器件就是晶体三极管。在此暂且将晶体三极管看作一个黑箱如图 1.1 所示，并考虑到它的传输特性，即其输出电压是输入电压的函数。

在所谓的模拟电路或线性电路中，信号有连续的值域，晶体三极管工作在传输特性的线性段；但在所谓的数字电路中只出现两个不同的信号值，晶体三极管工作在传输特性的两个可能工作点中的一个。这两个工作点在图 1.1 中用两个小圆圈标出。这两个工作点的显著特性是输出很难反应输入的微小变化，因为它们都处在特性曲线中几乎水平的部分。这意味着晶体三极管对于由各种瞬间效果所引起的输入信号的微小变化有很高的不敏感性，这种特性被称为抗干扰性 (noise immunity)。由于数字电路中有几百万甚至上千万个晶体二极管协同工作，所以它的可靠性至关重要，因此对晶体三极管的抗干扰性的要求是绝对需要的。实际上，这也是数字电路在与模拟电路的竞争中获胜的原因。这两个工作

点被定为“逻辑值”0 和 1。

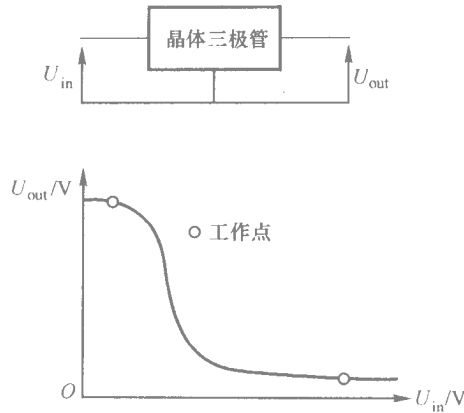


图 1.1 晶体三极管的特性

表示一个基本逻辑功能的数字电路被称为门电路。门电路的实现至少在某种程度上依赖于所使用的技术。首先考虑所谓的双极型技术。双极型晶体三极管本质上是一个电流放大器，并且是由三层半导体材料组成的，如图 1.2 所示。这些层被称为发射极、基极和集电极，不言而喻电流从发射极流到集电极，并受中间层基极的控制。可以把发射极 - 集电极路径看作阻挡一切电流的两个二极管。然而，如果在基极注入一个电流，即载流子，发射极 - 集电极电路就导通。在数字电路中，或者基极没有电流注入，导致晶体三极管截止；或者有一个适当的大电流被注入，导致晶体三极管饱和，在这种情况下，集电极和发射极间的电压接近 0。

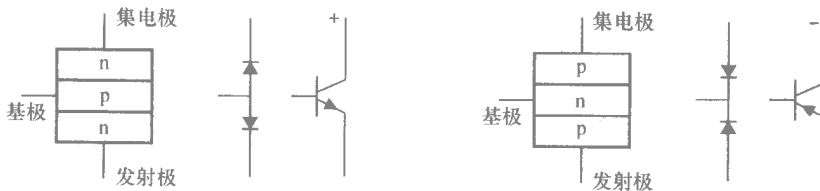


图 1.2 n-p-n 和 p-n-p 双极型晶体三极管

依据由掺杂物质所产生的晶体三极管三层结构的电特性，任何电流流向的晶体三极管都可以制造出来。n-p-n 晶体三极管使用正源电压，主要载流子（电子）从发射极流到集电极，即按传统说法，电流从集电极流到发射极（与它们

的名称无关)。p-n-p 晶体三极管使用负源电压，电流从发射极流向集电极。

最简单的门电路是反相器，由一个晶体三极管和一个电阻组成。反相器的基本电路如图 1.3 所示。图 1.3 同时也显示了晶体三极管的工作特性。通常地，如果输入电压很低（接近 0），晶体三极管截止，因此输出电压近似等于电源的电压。如果输入电压高，晶体三极管饱和，并表现为近似短路，输出电压很低。

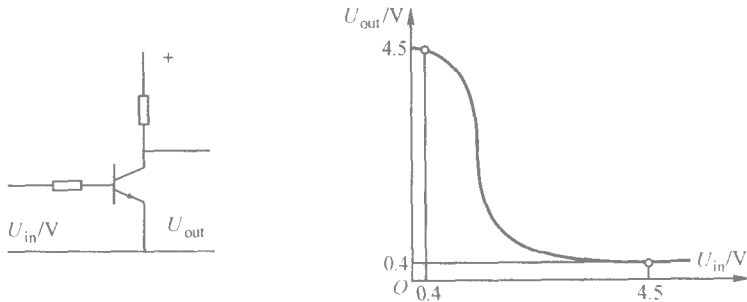


图 1.3 反相器电路及其工作点

除反相器之外，与非门也是一种基本的门电路。与非门可以看作是带有两（多）个输入的广义反相器。如果两（多）个输入电压都是高，与非门输出电压为低；否则，输出电压为高。与非门可以像反相器一样实现，它相当于在反相器前面增加了一个多发射极的晶体三极管（见图 1.4）。其工作原理解释如下：

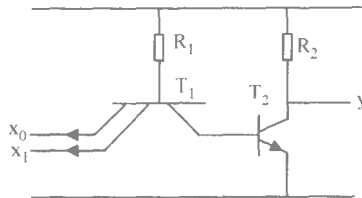


图 1.4 具有多发射极晶体管的与非电路

如果至少有一个输入为低电平，基极电流流过 T_1 和 R_1 ，那么 T_1 的集电极与发射极电位几乎相同，因此没有基极电流流过 T_2 ，使得输出为高电平。如果输入都是高电平， T_1 的基极-集电极二极管导通，则 T_2 有一个小基极电流，使 T_2 饱和且输出电压为低。

为了增加门电路的驱动能力，双极型门电路通常增加一个输出级。特别地，用一个晶体三极管代替图 1.4 的电阻 R_2 使得输出级对称如图 1.5 所示。因为晶体三极管 T_4 表面上是放在 T_3 的顶部，所以这种设置方式被称为推拉式输出

近掺 p 型杂质区域与绝缘层之间构成一个电容。载流子使得源极和漏极之间的通道导通。FET 的符号及其特性如图 1.7 所示。

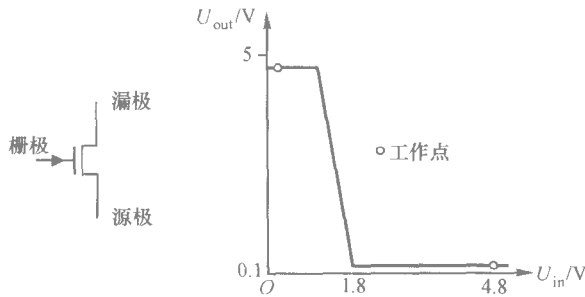


图 1.7 场效应晶体三极管的符号和特性

由场效应晶体三极管组成的电路是用 MOS 技术制造的。MOS 代表金属 (metal)、氧化物 (oxide) 和半导体 (semi-conductor)，它们组成栅极、绝缘层和栅极下通道的诸多材料。MOSFET 相对于双极型技术的优势是多方面的。最主要的优势是 MOSFET 允许更高的集成度，并因此成为高度集成电路所偏爱的技术。另一个优势是它的功耗低。栅极与其他电极之间绝缘，栅极的惟一电流是由栅极和衬底形成的电容充电、放电所产生的。与双极型晶体三极管不同，FET 有非常高的输入阻抗。

另一方面，双极型技术的优势在于它的输出阻抗较低，也就是有较高的驱动能力。因此，在电路板上用（可能很长的）导线连接的部件中，它就成了经常被使用的技术。双极型技术和 MOS 技术的结合被称为 BiCMOS，它使得芯片的内部部件应用 FET，而通过管脚连接外部的部件则使用双极型晶体三极管。不难想像，这种优点的代价是更复杂的制造工艺。

用 FET 制造反相器和与非门实际上与用双极型晶体三极管制造的形式相同。图 1.8 用符号描述出了反相器、与非门和或非门。如果或非门的任何输入为高，其输出为低，否则输出为高。

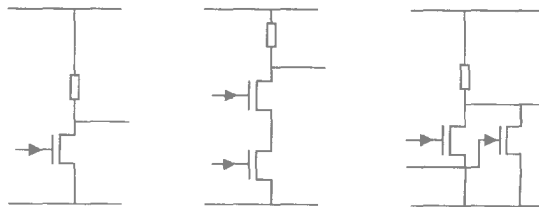


图 1.8 由 NMOS 实现的反相器、与非门和或非门

基于 npn(n 沟道) 晶体三极管的技术被称为 NMOS。我们注意到在输出为低电平的情况下, 也就是当晶体三极管闭合时, 有电流 $i = V/R$ 流过。然而, 如果输出电平为高时, 晶体三极管断开, 没有电流通过。这种不对称的电流消耗令人不满, 而更令人不满的是即使电路不工作时, 仍然有电流, 能量依旧被消耗 (即转化为热)。

现在的主流技术是 CMOS 技术, 它通过完全对称排列地使用 n 沟道和 p 沟道场效应晶体三极管, 消除了上面提到的缺点。它的缺点是需要使用两倍数量的晶体三极管, 而且要求更复杂的制造工艺, 即在同一个衬底上容纳两种晶体三极管。然而, CMOS 技术的好处是非常明显的, 以致于 NMOS 技术几乎不再使用。应用 CMOS 技术来实现图 1.8 的门电路, 如图 1.9 所示。

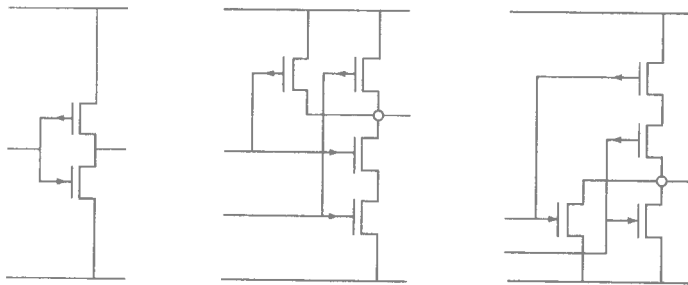


图 1.9 由 CMOS 实现的反相器、与非门和或非门

以反相器为例来说, 人们可能会因为发现了理想的零能量消耗电路技术而高兴, 毕竟在两种状态下, 两个晶体三极管中总有一个断开, 并且因为它们是串联的, 所以没有电流会流过。这种观点的错误在于仅考虑静止状态。实际上每根金属线 (导线、通信线) 都有一个固有的寄生电容 (如图 1.10), 因此, 一旦晶体三极管发生状态转变, 就会有电流。

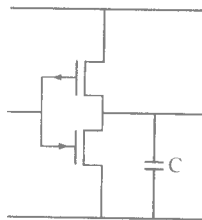


图 1.10 具有固有电容的反相器

假设反相器处在“输出低”的状态下，当输入从高转到低，下面的晶体三极管断开，上面的晶体三极管闭合。输出电压的升高表明电容通过上面的晶体三极管充电 电量为 $Q = C \times dU$ ，这里的 dU 是高低状态之间的电压差。充电表示一部分电荷从电源流入到电容中。在另一个输出从高到低的状态转变过程中，电容通过下面的晶体三极管放电。

上面的讨论显示，CMOS 电路的电流消耗（大概）与固有电容的大小、0 和 1 所表示的电势差，以及状态转换的频率成正比。电容值可以通过缩小电路元件的尺寸（微型化）来减少；电势差（电压幅值）可以通过降低工作（电源）电压来减小，后一个措施与较低能量消耗，就是从 5 V 标准电源电压转变到 3.3 V 新标准电源电压的原因。

可以得出结论，只有在信号值改变时，才有电流消耗。在很多（如果不能说是绝大多数）电路中，所有的信号变化在同一瞬间一起发生，导致了很高的瞬间电流峰值。这些电流峰值可以引起电源电压的相应波动，造成无法预测的后果（反馈）。为了避免这样的效果，建议在紧靠着每个集成电路（芯片）的电源和地之间放一个去耦电容器。这个电容器能提供输出电容充电所需的很大的瞬间电流。去耦电容的典型值是 $0.1 \mu\text{F}$ 。

必须指出，“地”，也就是对所有电路部件的公共零电势，只是一个方便的抽象概念，它在实际中只能近似地实现。这是因为各部件之间的“地”是由非零长度的导线构成的，这意味着非零的阻抗值和电感值，从而导致导线连接点之间存在电势差。因此，必须强制要求保持这样的地线连接尽可能地短（低电感），并且使用的导线粗细要合理（低阻抗）。如果电路是在一块印刷电路板上，强烈建议使用一个特殊的地层，以确保所有地线间的低阻抗。如果出现高频信号，地层是必不可少的。

1.3 门电路的电特性

上文曾经谈到，每根导线都有一个固有的寄生电容，在每次电压变化时都会被充电或放电。因为晶体三极管不是理想的开关，它闭合时会会有一个虽然很小但有限的阻抗产生，所以每个门电路都会组成一个如图 1.11 所示的 RC 单元。其结果是输出电压达到阈值的时间比输入电压到达阈值的时间晚一个确定的时间间隔。因此，门电路在其信号传输中自然就有延迟。

总体来说 因为 R_1 和 R_2 不同，信号上升沿和下降沿的延迟有微小的差异。它们用 T_{plh} 从低到高的传输延迟 和 T_{phl} （从高到低的传输延迟）表示。表 1.1

列出了一些常用器件，如 LS（低功耗肖特基）、ALS（先进低功耗肖特基）和 CMOS 的传输延迟。

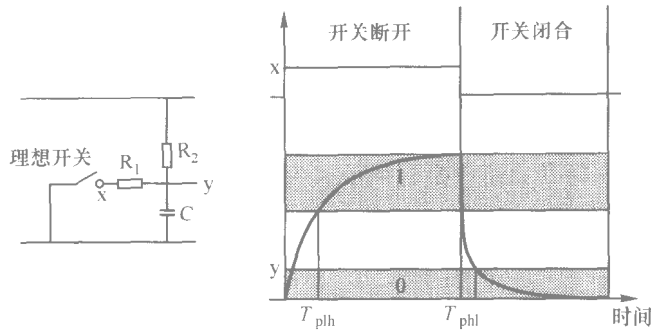


图 1.11 门电路的模型和输出电压

在不同的器件中，高电平和低电平所对应的电压值也不同。这对电路设计是有影响的，特别是当设计电路时的元件使用了多种不同的器件时（混合设计）。图 1.12 显示了输入和输出的不同电压值。我们注意到，输出信号的高、低电平范围要比输入信号的电平范围更大。这样有利于降低故障，增强抗干扰性。

图 1.12 中右边的图示表示的是一个双极型元件（TTL）的一个输出连接到一个 CMOS 电路的输入。在这里，代表“高”电平输出的电压值，要比被确认为“高”电平的输入电压值低。毫无疑问这样的组合必须避免。因此，在 TTL 输出和 CMOS 的输入之间，必须插入一个称为“电平转换器”的适配器。

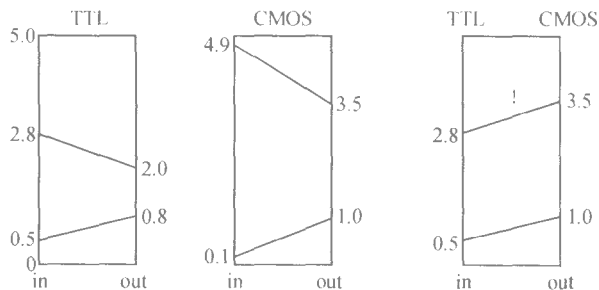


图 1.12 TTL 和 CMOS 电路的电压值

我们这里所指的元件都需要 5 V (4.5 V ~ 5.5 V) 的电源电压。近来，正在提出一个只需要 3.3 V 电源电压的标准，它的好处是更低的功耗和更小的传输延迟。更低的电压摆幅（高、低电平的电压差）减少了寄生电容充、放电所需的电荷

Q 并因此减少了由于状态变化而产生的电流。

由于每个输出晶体三极管有一个小的且非零的内部阻抗，因此可以得到的输出电流有限。又因为每个晶体三极管的输入端有一个大而有限的阻抗，因此它导致一个小而非零的电流。结果是，一个晶体三极管的输出只能连接有限数量的输入，它就是晶体三极管所能“驱动”的数目。这个数目的最大值被称为扇出。表 1.1 中给出了典型的扇出值。

表 1.1 TTL 和 CMOS 器件的时间和电压特性

| | TTL-LS | TTL-ALS | CMOS |
|---------------------|--------|---------|--------|
| T_{plh} T_{pfl} | 10 | 4 | 2 ns |
| U_{il} | 0.8 | 0.8 | 1.0 V |
| U_{ih} | 2.0 | 2.0 | 3.5 V |
| U_{ol} | 0.8 | 0.4 | 0.05 V |
| U_{oh} | 2.5 | 2.5 | 4.95 V |
| 扇出 | 20 | 20 | 50 |

小 结

双极型晶体三极管是 TTL 技术的基本元件。在基极的控制下，电子从发射极流到集电极，空穴按相反的方向流动。双极型晶体三极管相当于电流放大器。在 MOS 晶体管中，电子在栅极的电场控制下，从源极流向漏极。栅极与源 - 漏通道绝缘，因此输入阻抗非常高。实际上，栅极只相当于一个容性负载。

在需要相对较高的驱动能力时，使用 TTL 技术，尽管有时也可以接受使用功率场效应晶体三极管（Power MOSFETS）。

CMOS 技术使用互补的 npn 和 pnp 晶体管，因此在所有的静态情况下没有电流。电流只在状态改变时才有。因此，CMOS 是被推崇的低功率技术。

在数字电路中，晶体三极管仅工作在其特性曲线的两个点上，它们或者截止（无电流），或者饱和。在这两种情况下，输入的微小变化对输出无影响。这就是数字电路对扰动不敏感的原因。

第二章 组合电路

概 述

门电路是表达逻辑非、逻辑乘（与）和逻辑和（或）这些基本布尔运算的电路部件。因此，组合电路是实现布尔函数的门电路树。一些比较好的门电路组合在实际中十分频繁地被使用，其中有译码器、多路复用器、加法器以及较少使用的乘法器。还有比较重要的只读存储器（ROM）也属于组合电路这一类。

2.1 布尔代数

布尔代数是基于逻辑值和逻辑算子的运算，其中逻辑值也称作真值。它是由数学家乔治·布尔（George Boole, 1815 – 1864）提出的。因为数字电路只对每个信号的两个可能值进行运算，所以布尔代数对数字电路而言是一种充分规范的基础。在不同的应用领域内已建立起各种不同的符号系统。但应认识到它们都代表相同的本质。

逻辑运算对每个变量仅处理两个值：

| 逻辑代数 | 程序设计 | 电路设计 |
|------|-------|-------|
| T | TRUE | H(高)1 |
| F | FALSE | L(低)0 |

尽管由两个真值 x, y 得到一个真值结果，可能有 16 种二进制算子，但只有三种在实际中被认为是基本算子。再加上对一个运算对象 x 惟一可能的运算（忽略同运算）：

| | 逻辑代数 | 程序设计 | 电路设计 | |
|----------|--------------|-------------------|--------------|----------|
| 反运算(非) | $\neg x$ | $\sim x$ | \bar{x} | $\sim x$ |
| 乘运算(与) | $x \wedge y$ | $x \& y$ | xy | $x * y$ |
| 和运算(或) | $x \vee y$ | $x \text{ OR } y$ | $x + y$ | $x + y$ |
| 相等 | $x \equiv y$ | $x = y$ | | |
| 异或运算(异或) | | | $x \oplus y$ | $x - y$ |

本章中使用的符号与前面表中的最后一列相同，给出由算子定义的值如下：

| x | y | $\sim x$ | $x * y$ | $x + y$ | $x - y$ |
|---|---|----------|---------|---------|---------|
| 0 | 0 | 1 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 |

布尔代数提出了使用公式时的某些性质或规律(规则)，它们与数字代数中的规律非常相似。我们列出了一些同电路设计有关的规律。应用这些规律的等价公式(表达式)，例如，当它含有较少算子时，可以简化表达式，并因此简化它所表示的电路。

$$\sim(\sim x) = x$$

$$x + 0 = x$$

$$x + 1 = 1$$

$$x * 0 = 0$$

$$x * 1 = x$$

$$x * y = y * x$$

交换律

$$x + y = y + x$$

$$x - y = y - x$$

$$(x * y) * z = x * (y * z)$$

结合律

$$(x + y) + z = x + (y + z)$$

$$(x - y) - z = x - (y + z)$$

$$(x + y) * z = (x * z) + (y * z)$$

分配律

$$(x * y) + z = (x + z) * (y + z)$$

$$\sim x * \sim y = \sim(x + y)$$

德·摩根定律

$$\sim x + \sim y = \sim(x * y)$$

很明显，由组合门电路构成的数字电路，可以用布尔表达式定义，也就是由布尔值变量和布尔算子构成的表达式。如果一个电路可以用一个表达式描述，该电路就可以被称为组合电路。这意味着组合电路没有回路和反馈通道。

2.2 图形符号

电路非常频繁地用图形来描述。原因在于表达式的算子与门电路相对应，变量与用导线表示的信号相对应。因此，图形描述直接反映出电路设计。

在不同的图形符号系统中，已经自主地建立起各种标准。我们列出两种经常使用的图形符号系统。本章使用图 2.1 上面一排的图形符号系统，因为它是使用最广泛的。下面一排符号是最近提出的 IEEE 标准。

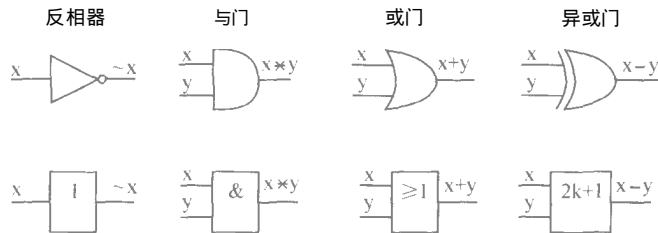


图 2.1 基本逻辑运算的图形符号

使用图形符号时，反相器通常与其他门电路组合在一起，用小圆圈（像上面反相器里的符号一样）表示。典型的有反相与门和反相或门（见图 2.2）被称为与非门和或非门。从前面的章节可知，从部件设计的角度来看，与非门和或非门是真正的基本部件。与非算子也被称为 Sheffer stroke，或非算子也被称为 Pierce 算子。

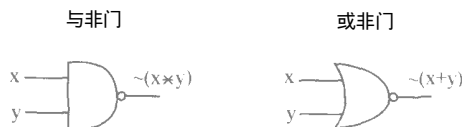


图 2.2 与非门和或非门的图形符号

2.3 电路化简

电路化简就是指找到一个与给定电路在功能上等价，但在某种意义上更简单的电路。传统的判断标准是门电路的数量，为此已建立了大量的方法和算法。然而在现代的技术里，导线的长度和数量往往比门电路的数量更为重要。这根本性地改变了简化过程。我们因此不再深层次地详细解释这个问题，因为在很多其他的教科书中，这个问题已经被很好地阐述了。但是，我们列出几条简单规则，这些规则被广泛应用，往往足以完成当前的任务。

第一个方法是引入辅助变量或共享信号。例如，考虑两个定义式

$$a = x * y + z * w, \quad b = \sim(x * y) + \sim(z * w)$$

我们引入辅助变量 $u = x * y$ 和 $v = z * w$ 。于是 $a = u + v, b = \sim u + \sim v$ (图 2.3)

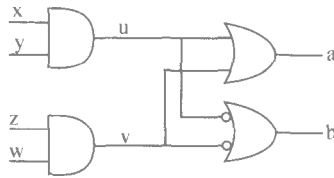


图 2.3 a 和 b 的简化电路

另一个非常重要的方法是根据前文给出的德·摩根定律，在这里用表达式和图形符号(图 2.4)的方式。这个规律也被称为对偶原则，它表明如果所有信号被视作取反，则与和或也应完全对换。

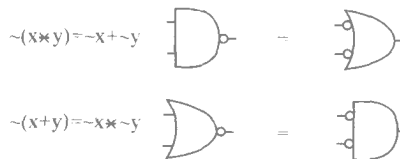


图 2.4 与门和或门的对偶关系

事实上，这意味着通过在所有没有反相器的地方加上反相器，并且去掉原有的所有反相器，用或门代替与门，用与门代替或门，就可以得到一个等价(未必更简单)的电路。图 2.5 的例子说明了这种刻板的方法。

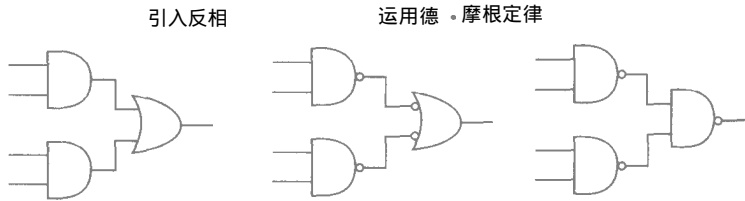


图 2.5 德·摩根定律的应用

这里，我们必须回想起在电子学中，与非门比与门和或门简单一些。因此，上面的转化确实产生了一个更简单的电路。毕竟它看起来也更简洁。

第二个例子表明如何处理异或门。首先给出 $x - y = x * \sim y + \sim x * y$ ，然后化简得到与上面类似的电路（图 2.6）。

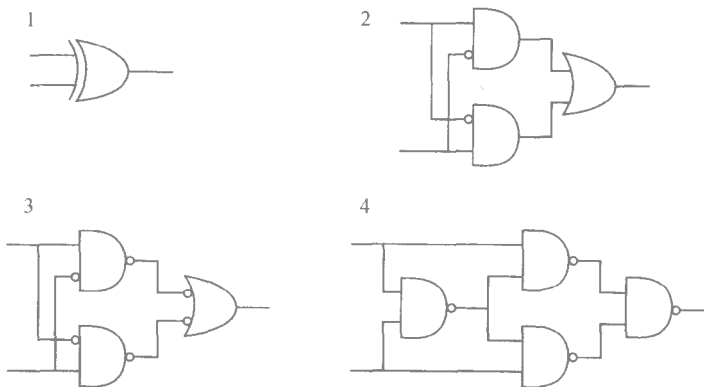


图 2.6 4 个与非门表示异或门的等效电路

这里提到的第三种也是最后一种简化方法是消除冗余项。它来源于下面等式的应用。

$$\begin{aligned} \sim(\sim x) &= x & x + \sim x * y &= x + y \\ x * y + \sim x * y &= y & x * (\sim x + y) &= x * y \end{aligned}$$

对于布尔表达式的简化，有各种不同的方法（算法）被广泛使用。最著名的可能是由卡诺 (M. Karnaugh) 在 1953 年提出的方法。它反复应用等式 $x * y + \sim x * y = y$ ，并用图表来表示表达式，以帮助确定可以应用此等式的情况。表达式以一个有 2^n 个格子的图的形式表述， n 是变量数。每个格子里的值代表对应所有变量值的一组唯一的组合所取的函数值。这种图被称为卡诺图，它很有效地反映出表达式的真值表。图 2.7 列出了有 2、3、4 个变量的函数的卡诺图（注意这

里用 xy 表示 $x * y$ 。

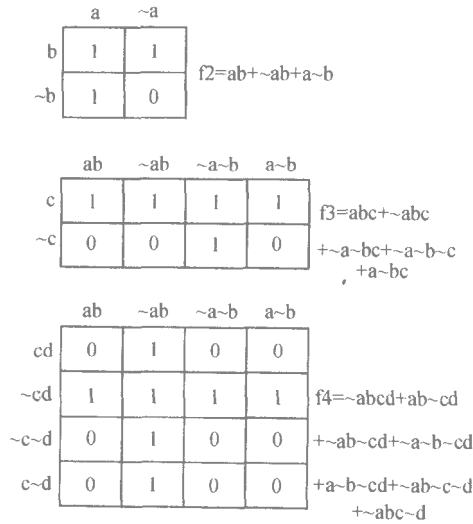


图 2.7 具有 2,3,4 个变量的函数的卡诺图

卡诺图的独特之处在于相邻的行和列所代表的变量值中只有一个是不同的（假设行和列卷起来）。因此，无论何时两个相邻的格子里都是 1 时 都可以用前面提过的等式进行“合并”，这样可去掉一个变量。图 2.8 是说明卡诺法对图 2.7 的 f_3 进行了化简。

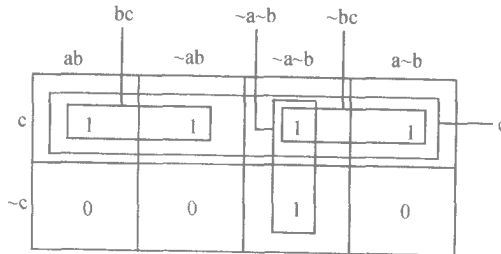


图 2.8 合并 f_3 卡诺图的相邻 1-格

所有含 1 的格子（1-格）的最小覆盖（和）就是所得结果，这样结果就是：

$$f_3 = \sim a * \sim b + c$$

对图 2.7 的函数 f_4 用相同的步骤得到的结果是：

$$f_4 = \sim a * b + \sim c * d$$

很明显，卡诺图有其严重的局限性：当表达式变量超过 4 个时，需要用超过 2 维的卡诺图表示。相邻 1-格显而易见的优点即便没有丧失，也被削弱了。实际上，对于简单情况，卡诺图用于手工化简是足够的。更复杂的情况由规范法解决，典型的代表是由计算机执行的算法。在这些算法中，最著名的是 Quine-McCluskey 方法。这里就不再详细说明了，因为对使用者而言可以得到它的化简程序。

2.4 译码器或多路分配器

数字电路构件是一些比单个门电路大得多的典型单元。相对少量的门电路的特定组合表示一些常见的函数，并组成所谓的次级基本电路。在这一节和下一节中，我们将介绍最常遇到的这些单元。

多路分配是根据一个选择信号 s 的值，把一个源信号 x 分配给多个目标信号 y_i 的操作。显然， s 表示下标，是一个数。为了得到一个多路分配器电路，必须规定一个用数字信号对整数进行编码的方法。标准的编码方法是所谓的二进制编码。它的基本设想是，任一信号（“0”或“1”）的数值由一个二进制位（bit）的数值来表示。在总和 s 中，每个信号内容 s_0, s_1, \dots 均被加权，也就是

$$s = s_0 \times 2^0 + s_1 \times 2^1 + s_2 \times 2^2 + \dots + s_i \times 2^i + \dots$$

那么多路分配器的函数表达如下：

$$y_i = (\text{if } i = s \text{ then } x \text{ else } 0) \quad y_i = x * (i = s)$$

最终的 2 输出电路和多路分配器的符号表示如图 2.9 所示。

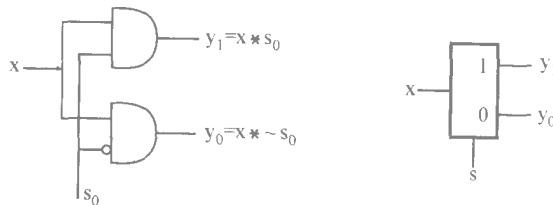


图 2.9 多路分配器的电路和符号

为了得到有更多输出的多路分配器，我们采用了重要的级联技术。实际上，一个有 2^n 个输出的多路分配器是很容易通过级联 n 级 2 输出的多路分配器来获得的，如图 2.10 所示。通常称其为 n 到 2^n 的多路分配器。

如果输入 x 保持为常量 1 那么 $y_s = 1$ ，其他所有输出为 0。在这种情况下，

多路分配器成为 s 的译码器 (x 被称为使能信号) 但是在实际使用中, 多路分配器和译码器经常被用作同义词。

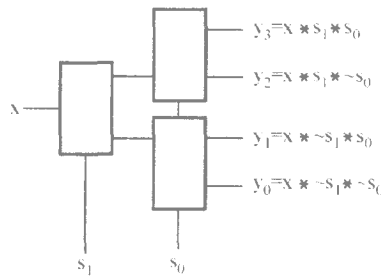


图 2.10 级联的多路分配器

2.5 多路复用器

另一个标准的构造元件是多路复用器, 与多路分配器相反, 它的功能是根据一个选择信号 s 把若干个源信号 x_i 结合成为一个目标信号 y 。多路复用器因此也被称为多路选择器。多路转换函数定义为 $y = x_i$ 。

我们还是从具有 2 个源信号的简单情况开始考虑, 这里 $s = s_0$ 。 $y = x_i$ 被转换为:

$$y = \text{MUX}(s, x_0, x_1) = (\text{if } s \text{ then } x_1 \text{ else } x_0) = x_0 * \sim s + x_1 * s$$

2-输入多路复用电路和它的符号如图 2.11 所示。

通过级联 n 级 2-输入多路复用器, 可以得到一个有 2^n 个输入的多路复用器 (见图 2.12)。这个过程有复合函数相对应。

$$\text{MUX}(s_1, \text{MUX}(s_0, x_0, x_1), \text{MUX}(s_0, x_2, x_3))$$

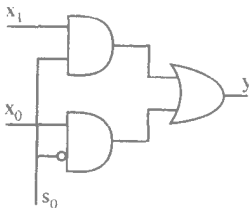


图 2.11 2-1 多路复用器的电路及符号

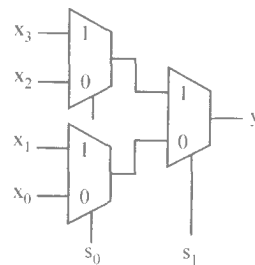
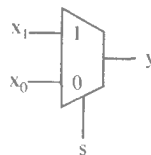


图 2.12 级联的多路复用器