



中国高等职业技术教育研究会推荐
高职高专系列教材

数字电路EDA设计

阮斌 赵明忠 廖志勇 冯才强 编著



中国高等职业技术教育研究会推荐

高职高专系列教材

数字电路 EDA 设计

顾 斌 赵明忠 姜志鹏 马才根 编著

徐光辉 主审

西安电子科技大学出版社

2004

内 容 简 介

本书主要内容有 Altera 可编程逻辑器件、MAX+plus 开发工具、VHDL 硬件描述语言和丰富的数字电路及数字电子系统 EDA 设计实例。

本书分为上、下两篇。上篇为理论篇，阐述了 Altera 主要系列的 CPLD 和 FPGA 芯片的结构及特点，以及相应的开发软件 MAX+plus 的使用，详尽介绍了 VHDL 的基本语言和实用技术；下篇为实践篇，列举了大量设计实例，这些实例程序全部通过了仿真，并均在 JLE 型 EDA 实验与开发系统上通过了硬件测试，实例对大部分实验现象和结果进行了详细分析。

本书实用性强，适合作为高职高专类院校的专业教材，也可供有关专业人员参考。

为方便教学，本书配有电子教案，有需要的老师可与出版社联系，免费提供。

图书在版编目(CIP)数据

数字电路 EDA 设计/顾斌等编著. —西安：西安电子科技大学出版社，2004.2

(高职高专系列教材)

ISBN 7 - 5606 - 1350 - 0

. 数... . 顾... . 硬件描述语言—数字电路—计算机辅助设计—高等学校：技术学校—教材
. TN790.2

中国版本图书馆 CIP 数据核字 (2003) 第 121159 号

策 划 马乐惠

责任编辑 张 友 张晓燕

出版发行 西安电子科技大学出版社 (西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

<http://www.xduph.com>

E-mail: xdupfxb@pub.xaonline.com

经 销 新华书店

印刷单位 西安兰翔印刷厂

版 次 2004 年 2 月第 1 版 2004 年 2 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印张 17.75

字 数 415 千字

印 数 1~4 000 册

定 价 19.00 元

ISBN 7 - 5606 - 1350 - 0 / TN · 0256(课)

XDUP 1621001 - 1

□□□如有印装问题可调换 □□□

本社图书封面为激光防伪覆膜，谨防盗版。

前 言

电子技术在不断地发展，电子系统的设计方法也随之发生变革，基于 EDA 技术的设计方法正在成为现代电子系统设计的主流。

大规模可编程逻辑器件 FPGA/CPLD 是当今应用最广泛的两类可编程专用集成电路(ASIC)。电子设计工程师只要拥有一台电脑，一套 EDA 开发工具，一块 FPGA/CPLD 芯片，就可以设计出所需的专用集成电路，大大减少了开发成本和开发时间，设计人员可以通过软件编程来修改硬件的功能，极大地提高了设计的灵活性和通用性。

由于具备上述特点，在世界范围内，FPGA/CPLD 受到了业界的普遍欢迎，在近几年得到了迅猛的发展，其集成度、工作速度不断提高。目前，单片可用门数超过 300 万门、工作频率可达 1 GHz 以上的可编程器件已投入商用。由于结构和工艺的改进，可编程 ASIC 芯片上包含的资源越来越丰富，可实现的功能越来越强，它们已成为当今实现电子系统集成化的重要手段。而可编程 ASIC 的开发技术——EDA 技术，势必成为广大电子信息工程类专业领域工程技术人员的必修课。

国家教育部高度重视 EDA 技术的教学，要求电子技术类课程的体系和内容作相应改革，在设计手段上应用 EDA 工艺和 FPGA/CPLD 方法。EDA 技术和 FPGA/CPLD 方法是电子技术类课程教学改革的重要方向。该课程应作为高职高专院校电子类各个专业的学生必须掌握的一门重要新技术课程。目前，高职院校的 EDA 教学可分为两个层次：第一层次是 EWB、Protel 的学习；第二层次是基于 FPGA/CPLD 的数字电路与数字系统的设计开发。

本书是作者在多年开发和教授 EDA 技术经验的基础上编写而成的。书中的实践篇和作者自行研制的配套“JLE 型 EDA 实验与开发系统”早已在金陵科技学院（原金陵职业大学）、南京技师学院、南京高级技工学校等多所职业类院校中作为教师培训和学生教学的讲义及实验教学仪器推广使用，收到了很好的效果。

本书按照器件介绍—开发工具介绍—基本电路设计—应用电路设计的顺序编写。第 1~4 章为理论篇，其中第 1 章重点介绍了 EDA 和 ASIC 的基本概念；第 2 章以 Altera 公司的产品为例介绍了目前广泛使用的大规模可编程逻辑器件的特点、性能和发展趋势；第 3 章介绍了开发大规模可编程逻辑器件的 EDA 设计手段，重点介绍了 Altera 公司的 EDA 开发软件 MAX+plus 的使用方法；第 4 章重点介绍了

国际标准通用硬件描述语言 VHDL 的程序结构、语言要素、常用语句以及仿真方法等内容，为后续章节的电路设计的学习打下基础。第 5~7 章是实践篇，分别介绍了组合逻辑电路、时序逻辑电路和综合数字电子系统的设计方法，并列举了大量实例，这些实例程序均仿真通过并全部在实验装置上得到验证，实例对大部分实验现象和结果都进行了详细分析。

本书第 1 章由顾斌和徐光辉共同编写；第 2、3 章由顾斌编写；第 4 章由姜志鹏编写；第 5 章由马才根和李蓓蓓共同编写；第 6 章由顾斌和姜志鹏共同编写；第 7 章由赵明忠编写。全书由顾斌统稿。

刘艳雯、史俊在本书编写过程中做了大量的文字工作，吴彬彬、朱媛媛和史俊对部分电路进行了仿真和验证，在此表示衷心感谢。

由于编者水平有限，书中疏漏与差错之处在所难免，恳请读者批评指正。

编 者

2003 年 11 月于南京

目 录

上篇 理 论 篇

第 1 章 EDA 技术概述.....3	2.5.4 ACEX 系列器件..... 38
1.1 现代电子系统的设计方法.....3	2.5.5 APEX 系列器件简介..... 42
1.1.1 概述.....3	习题 50
1.1.2 ASIC 技术.....4	
1.2 EDA 技术.....5	第 3 章 可编程逻辑器件的设计与开发... 51
1.2.1 概述.....5	3.1 可编程逻辑器件的设计过程..... 51
1.2.2 EDA 技术的基本特征.....6	3.2 可编程逻辑器件的开发环境..... 53
1.3 可编程专用集成电路 ASIC.....7	3.2.1 ISP Synario 系统..... 54
1.3.1 概述.....7	3.2.2 Foundation 系统 54
1.3.2 主要特点.....8	3.2.3 MAX+plus 系统..... 55
1.3.3 可编程 ASIC 技术展望.....9	3.3 硬件描述语言 56
习题.....12	3.3.1 ABEL-HDL 56
	3.3.2 Verilog-HDL..... 57
第 2 章 可编程逻辑器件13	3.3.3 VHDL..... 57
2.1 可编程逻辑器件的分类.....13	3.3.4 VHDL 和 Verilog-HDL 的比较 58
2.1.1 可编程逻辑器件按集成度分类.....13	3.4 MAX+plus 软件介绍..... 58
2.1.2 可编程逻辑器件的其他分类方法14	3.4.1 原理图编辑器(Graphic Editor)..... 58
2.2 可编程逻辑器件的基本结构14	3.4.2 符号编辑器(Symbol Editor)..... 59
2.2.1 PLD 电路的表示方法及有关符号.....15	3.4.3 文字编辑器(Text Editor)..... 59
2.2.2 与 - 或阵列.....16	3.4.4 波形编辑器(Waveform Editor) 60
2.2.3 宏单元17	3.4.5 编译(Compiler)..... 60
2.3 可编程逻辑器件的基本资源17	3.4.6 信息(Messages) 60
2.3.1 功能单元.....17	3.4.7 仿真(Simulator) 61
2.3.2 输入/输出引脚.....18	3.4.8 烧写(Programmer) 61
2.3.3 布线资源.....19	3.4.9 时间分析(Timing Analyzer)..... 61
2.3.4 片内 RAM.....21	3.4.10 引脚平面编辑器(Floorplan Editor) ... 62
2.4 可编程逻辑器件的编程元件23	3.4.11 体系显示窗口(Hierarchy Display)..... 62
2.5 Altera 公司的可编程逻辑器件26	3.5 如何使用 MAX+plus 63
2.5.1 Altera 公司的产品简介.....26	3.5.1 原理图编辑 63
2.5.2 MAX 7000 系列的结构特点27	3.5.2 文字编辑——VHDL 设计..... 71
2.5.3 FLEX 10K 系列的结构特点.....30	习题 77

第 4 章 VHDL 语言	78	4.2.3 程序包、库及配置	92
4.1 VHDL 概述	78	4.2.4 VHDL 的常用语句	95
4.1.1 VHDL 的特点	79	4.3 VHDL 语言的数据类型及运算操作符 ...	107
4.1.2 VHDL 程序的一般结构	79	4.3.1 VHDL 语言的客体及其分类	107
4.2 VHDL 语言的程序结构	80	4.3.2 VHDL 语言的数据类型	109
4.2.1 实体 (Entity)	80	4.3.3 VHDL 语言的运算操作符	112
4.2.2 结构体(Architecture)	82	习题	117

下篇 实 践 篇

第 5 章 组合逻辑电路设计	121	6.13 有限状态机的设计	225
5.1 基本门电路的设计	121	6.13.1 莫尔型状态机	225
5.2 数据选择器的设计	126	6.13.2 米里型状态机	228
5.3 1 对 2 数据分配器的设计	132	习题	232
5.4 4 位 BCD 译码器的设计	136	第 7 章 数字系统设计实例	236
5.5 三态门的设计	140	7.1 半整数分频器的设计	236
5.6 半加器的设计	144	7.1.1 小数分频的基本原理	236
5.7 全加器的设计	148	7.1.2 电路组成	237
5.8 6 位加法器的设计	153	7.1.3 VHDL 程序	237
5.9 4 位加减法器的设计	158	7.1.4 仿真结果	238
5.10 3 位乘法器的设计	162	7.1.5 下载验证	238
习题	167	7.2 音乐发生器	239
第 6 章 时序逻辑电路设计	169	7.2.1 音名与频率的关系	239
6.1 基本 D 触发器的设计	170	7.2.2 音长的控制	240
6.2 JK 触发器	176	7.2.3 演奏时音名的动态显示	240
6.3 带异步复位/置位端的使能 T 触发器	182	7.2.4 VHDL 程序	241
6.4 基本计数器的设计	187	7.2.5 仿真结果	244
6.5 同步清零的计数器	191	7.2.6 下载验证	245
6.6 同步清零的可逆计数器	195	7.3 2FSK/2PSK 信号产生器	245
6.7 同步预置数的计数器	200	7.3.1 2FSK 基本原理	245
6.8 带进制的计数器	204	7.3.2 2FSK 信号产生器	246
6.9 基本移位寄存器的设计	207	7.3.3 2FSK/2PSK 信号产生器	247
6.9.1 基本数据寄存器	207	7.3.4 2FSK 信号产生器的 VHDL 程序	248
6.9.2 串入/串出移位寄存器	211	7.3.5 2PSK 信号产生器的 VHDL 程序	251
6.10 同步预置数串行输出移位寄存器	215	7.3.6 仿真结果	254
6.11 循环移位寄存器	218	7.3.7 下载验证	255
6.12 6 位双向移位寄存器	221	7.4 实用多功能电子表	255

7.4.1 功能描述.....	255	7.5.4 仿真结果.....	266
7.4.2 电路组成.....	256	7.5.5 下载验证.....	266
7.4.3 Verilog-HDL 程序.....	258	7.6 数字频率计.....	267
7.4.4 仿真结果.....	263	7.6.1 测频原理.....	267
7.4.5 下载验证.....	263	7.6.2 频率计实现.....	267
7.5 交通灯控制器.....	263	7.6.3 VHDL 程序.....	268
7.5.1 功能描述.....	264	7.6.4 仿真结果.....	269
7.5.2 交通灯控制器的实现.....	264	7.6.5 下载验证.....	269
7.5.3 VHDL 程序.....	265	习题.....	269
附录 JLE 型 EDA 实验与开发系统使用介绍.....	270		
参考文献.....	273		



上篇

理论篇



第 1 章 EDA 技术概述



本章提要

本章介绍了 EDA 技术的基本概念，主要包括：

- ？ 现代电子系统的设计方法与 ASIC 技术；
- ？ EDA 技术的基本特征和 EDA 工具；
- ？ 可编程专用集成电路 ASIC。



1.1 现代电子系统的设计方法

1.1.1 概述

无论是现代高精尖电子设备如雷达、软件无线电电台等，还是为我们所熟悉的微机、手机、VCD 等现代电子装置，其核心构成都是数字电子系统。随着微电子技术和计算机技术的发展，集成电路不断更新换代，出现了现场可编程逻辑器件，数字电子系统的设计方法和设计手段也发生了很大的变化。特别是进入 20 世纪 90 年代以后，EDA(电子设计自动化)技术的发展和普及给电子系统的设计带来了革命性的变化，并已渗透到电子系统设计的各个领域。

传统的数字系统设计只能对电路板进行设计，把所需的具有固定功能的标准集成电路像积木块一样堆积于电路板上，通过设计电路板来实现系统功能。利用 EDA 工具，采用可编程器件，通过设计芯片来实现系统功能，这样不仅可以通过芯片设计实现多种数字逻辑系统功能，而且由于管脚定义的灵活性，大大减轻了电路图设计和电路板设计的工作量和难度，从而有效地增强了设计的灵活性，提高了工作效率；同时基于芯片的设计可以减少芯片的数量，缩小系统体积，降低能源消耗，提高系统的性能和可靠性。这种基于芯片的设计方法正在成为现代电子系统设计的主流。现在，只要拥有一台计算机、一套相应的 EDA 软件和空白的可编程逻辑器件芯片，在实验室里就可以完成数字系统的设计和生产。当今的数字系统设计已经离不开可编程逻辑器件和 EDA 设计工具。

现在人们可以把数以亿计的晶体管、几百万门的电路集成在一个芯片上。半导体集成电路也由早期的单元集成、部件电路集成发展到整机电路集成和系统电路集成。电子系统

的设计方法也由过去的那种集成电路厂家提供通用芯片，整机系统用户采用这些芯片组成电子系统的“Bottom-up”(自底向上)设计方法改变为一种新的“Top-down”(自顶向下)设计方法。在这种新的设计方法中，由整机系统用户对整个系统进行方案设计和功能划分，系统的关键电路用一片或几片专用集成电路 ASIC 来实现，且这些专用集成电路是由系统和电路设计师亲自参与设计的，直至完成电路到芯片版图的设计，再交由 IC 工厂投片加工，或者用可编程 ASIC(例如 CPLD 和 FPGA)现场编程实现。图 1-1 所示为电子系统的两种不同的设计步骤。

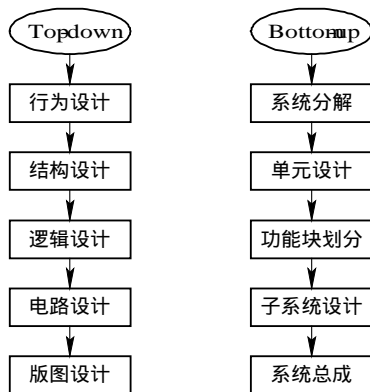


图 1-1 “自顶向下”(左图)与“自底向上”(右图)的设计

1.1.2 ASIC 技术

ASIC(Application Specific Integrated Circuits)直译为“专用集成电路”，与通用集成电路相比，它是面向专门用途的电路，以此区别于标准逻辑(Standard Logic)、通用存储器、通用微处理器等电路。ASIC 是相对于通用集成电路而言的，两者并无明显界限。

ASIC 的提出和发展说明集成电路进入了一个新阶段。通用的、标准的集成电路已不能完全适应电子系统的急剧变化和更新换代。目前 ASIC 在总的 IC 市场中的占有率已发展到近 1/3，在整个逻辑电路市场中的占有率已超过一半。与通用集成电路相比，ASIC 在构成电子系统时具有以下几个方面的优越性：

- (1) 提高了产品的可靠性。用 ASIC 芯片进行系统集成后，外部连线减少，为调试和维修带来极大的方便，系统可靠性明显提高。
- (2) 易于获得高性能。ASIC 针对专门的用途而特别设计，它是系统设计、电路设计和工艺设计的紧密结合，这种一体化的设计有利于得到前所未有的高性能系统。
- (3) 可增强产品的保密性和竞争力。电子产品中的 ASIC 芯片对用户来说相当于一个“黑盒子”。
- (4) 在大批量应用时，可显著降低产品的综合成本。用 ASIC 来设计和生产产品大幅度减少了印刷电路板面积及其他元器件数量，降低了装配调试费用。
- (5) 提高了产品的工作速度。
- (6) 缩小了体积，减轻了重量，降低了功耗。

ASIC 按功能的不同可分为数字 ASIC、模拟 ASIC 和微波 ASIC；按使用材料的不同可

分为硅 ASIC 和砷化镓 ASIC。一般来说,数字、模拟 ASIC 主要采用硅材料,微波 ASIC 主要采用砷化镓材料。砷化镓具有高速、抗辐射能力强、寄生电容小和工作温度范围宽等优点,目前已在移动通信、卫星通信等方面得到广泛应用。对硅材料 ASIC,按制造工艺的不同还可进一步将其分为 MOS 型、双极型和 BiCMOS 型。

ASIC 的设计流程如图 1-2 所示,为了保证设计的正确性,对每一个设计层次都要进行计算机模拟与验证。

按照设计方法的不同,设计 ASIC 可分为全定制和半定制两类。全定制法是一种基于晶体管级的设计方法,半定制法是一种约束性设计方法。约束的目的是简化设计、缩短设计周期、提高芯片成品率。对于某些性能要求很高、批量较大的芯片,一般采用全定制法设计,用全定制法设计时须采用最佳的随机逻辑网络,且每个单元都必须精心设计,另外还要精心地布局布线,将芯片设计得最紧凑,以期实现速度快、面积利用率高、功耗低等的最优性能。但是,很多产品的产量不大或者不允许设计时间过长,这时只能对芯片面积或性能作出牺牲,并尽可能采用已有的、规则结构的版图。为了争取时间和市场,也可采用半定制法,先用最短的时间设计出芯片,在占领市场的过程中再予以改进,进行二次开发。因此半定制与全定制两种设计方式的优缺点是互补的,设计人员可根据不同的要求选择合适的设计方法。

20 世纪 80 年代中期出现了复杂可编程逻辑器件。复杂可编程逻辑器件是 ASIC 的一个重要分支,它是一种已完成了全部工艺制造,可直接从市场上购得的产品,用户只要对它编程就可实现所需要的电路功能,所以称它为可编程 ASIC。以上介绍的两类 ASIC 芯片都必须到 IC 厂家去加工制造才能完成,而采用可编程逻辑器件,设计人员在实验室即可设计和制造出芯片,而且可反复编程,修改错误,这就大大地方便了设计者。

可编程逻辑器件发展到今天,其规模越来越大,功能越来越强,价格越来越便宜,相配套的 EDA 软件越来越完善,因而深受设计人员的喜爱。目前,在电子系统的开发阶段的硬件验证过程中,一般都采用可编程逻辑器件,以期尽快开发产品,迅速占领市场。等大批量生产时,再根据实际情况转换成前面三种方法中的一种进行“再设计”。

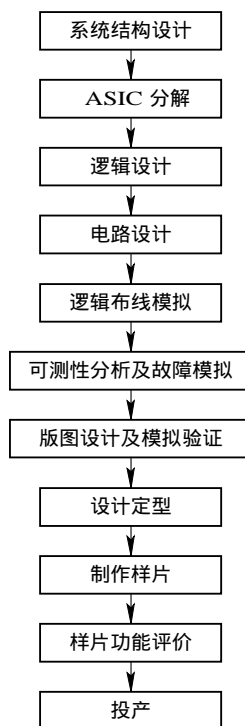


图 1-2 ASIC 设计的一般流程

1.2 EDA 技术

1.2.1 概述

EDA(Electronic Design Automation)即电子设计自动化。EDA 技术指的是以计算机硬件和系统软件为基本工作平台,继承和借鉴前人在电路和系统、数据库、图形学、图论和拓

扑逻辑、计算数学、优化理论等多学科的最新科技成果而研制成的商品化通用支撑软件和应用软件包。EDA 旨在帮助电子设计工程师在计算机上完成电路的功能设计、逻辑设计、性能分析、时序测试直至 PCB(印刷电路板)的自动设计。

与早期的电子 CAD 软件相比,EDA 软件的自动化程度更高,功能更完善,运行速度更快,而且操作界面友好,有良好的数据开放性和互换性,即不同厂商的 EDA 软件可相互兼容。因此,EDA 技术很快在世界各大公司、企业和科研单位得到了广泛应用,并已成为衡量一个国家电子技术发展水平的重要标志。

EDA 技术的范畴应包括电子工程师进行产品开发的全过程,以及电子产品生产的全过程中期望由计算机提供的各种辅助工作。从一个角度看,EDA 技术可粗略分为系统级、电路级和物理实现级三个层次的辅助设计过程;从另一个角度来看,EDA 技术应包括电子电路设计的各个领域,即从低频电路到高频电路,从线性电路到非线性电路,从模拟电路到数字电路,从分立电路到集成电路的全部设计过程。

1.2.2 EDA 技术的基本特征

现代 EDA 技术的基本特征是采用高级语言描述,具有系统级仿真和综合能力。下面介绍与这些基本特征有关的几个新概念。

1. “自顶向下”设计方法

“自顶向下”的设计方法首先从系统级设计入手,在顶层进行功能方框图的划分和结构设计;在方框图级进行仿真、纠错,并用硬件描述语言对高层次的系统行为进行描述;在功能级进行验证,然后用逻辑综合优化工具生成具体的门级逻辑电路的网表,其对应的物理实现级可以是印刷电路板或专用集成电路。“Top-down”设计方法有利于在早期发现结构设计中的错误,提高设计的一次成功率,因而在现代 EDA 系统中被广泛采用。

2. 硬件描述语言(HDL)

用硬件描述语言进行电路与系统的设计是当前 EDA 技术的一个重要特征。与传统的原理图输入设计方法相比较,硬件描述语言更适合于规模日益增大的电子系统,它还是进行逻辑综合优化的重要工具。硬件描述语言使得设计者在比较抽象的层次上描述设计的结构和内部特征。它的突出优点是:语言的公开可利用性;设计与工艺的无关性;宽范围的描述能力;便于组织大规模系统的设计;便于设计的复用和继承等。目前最常用的硬件描述语言有 VHDL 和 Verilog-HDL,它们都已经成为 IEEE 标准。

3. 逻辑综合优化

逻辑综合功能将高层次的系统行为设计自动翻译成门级逻辑的电路描述,做到了设计与工艺的独立。优化则是对于上述综合生成的电路网表,根据布尔方程功能等效的原则,用更小更快的综合结果替代一些复杂的逻辑电路单元,根据指定的目标库映射成新的网表。

4. 开放性和标准化

框架是一种软件平台结构,它为 EDA 工具提供了操作环境。框架的关键在于提供与硬件平台无关的图形用户界面以及工具之间的通信、设计数据和设计流程的管理等,此外还应包括各种与数据库相关的服务项目。任何一个 EDA 系统只要建立了一个符合标准的开放式框架结构,就可以接纳其他厂商的 EDA 工具一起进行设计工作。这样,框架作为一套使

用和配置 EDA 软件包的规范, 就可以实现各种 EDA 工具间的优化组合, 并集成在一个易于管理的统一的环境之下, 实现资源共享。

近年来, 随着硬件描述语言等设计数据格式的逐步标准化, 不同设计风格和应用的要求导致各具特色的 EDA 工具被集成在同一个工作站上, 从而使 EDA 框架标准化。新的 EDA 系统不仅能够实现高层次的自动逻辑综合、版图综合和测试码生成, 而且可以使各个仿真器对同一个设计进行协同仿真, 进一步提高了 EDA 系统的工作效率和设计的正确性。

5. 库(Library)的引入

EDA 工具之所以能够完成各种自动设计过程, 关键是有各类库的支持, 如逻辑模拟时的模拟库、逻辑综合时的综合库、版图综合时的版图库、测试综合时的测试库等。这些库都是 EDA 设计与半导体生产厂商紧密合作、共同开发的。

集成电路技术的进展不断对 EDA 技术提出新的要求, 促进了 EDA 技术的发展。EDA 工具的发展经历了两个大的阶段, 即物理工具阶段和逻辑工具阶段。

物理工具用来完成设计中的实际物理问题, 如芯片布局、印刷电路板布线等。另外它还能提供一些设计的电气性能分析, 如设计规则检查。这些工作现在主要由集成电路厂家来完成。

逻辑工具是基于网表、布尔逻辑、传输时序等概念的。首先由原理图编辑器或硬件描述语言进行设计输入, 然后利用 EDA 系统完成逻辑综合、仿真、优化等过程, 最后生成物理工具可以接受的网表或 VHDL、Verilog-HDL 的结构化描述。

现在 EDA 已被理解为一个整体的概念, 即电子系统设计自动化。

1.3 可编程专用集成电路 ASIC

1.3.1 概述

可编程 ASIC 特别是现代可编程 ASIC(CPLD、FPGA)的出现, 使得电子设计工程师或科研人员有条件在实验室内快速、方便地开发专用集成电路, 这些专用集成电路往往就是一个复杂的数字系统。因此, 可以说可编程 ASIC 给现代电子系统的设计带来了极大的变革。

简单可编程 ASIC 主要指早期开发的可编程逻辑器件 PLD(Programmable Logic Device), 它们通常由“与阵列”和“或阵列”组成, 能够用来实现任何以“积之和”形式表示的各种布尔逻辑函数。当“与”和“或”两个阵列都为可编程时, 这个器件就称为 PLA, 其变形是 PROM、PAL 和 GAL, PROM 具有固定的与阵列和可编程的或阵列, PAL 和 GAL 具有可编程的与阵列和固定的或阵列。

PAL 和 GAL 是早期得到广泛应用的可编程 ASIC 器件。PAL 器件一般用熔丝链路作为可编程开关, 是一次性可编程的。GAL 器件则可反复编程, 它采用了 E²CMOS 工艺, 实现了电可擦除和电可改写, 为设计和修改提供了极大的方便。

复杂可编程 ASIC 主要是指复杂可编程逻辑器件 CPLD(Complex Programmable Logic Device), 它是 20 世纪 80 年代后期得到迅速发展的新一代可编程 ASIC。早期的 PLD 结构

简单，具有成本低、速度快、设计简便等优点，但其规模小，通常只有几百个等效逻辑门，难以实现复杂的逻辑。为了增加 PLD 的密度，扩充其功能，一些厂家对 PLD 的结构进行了改进，例如，在两个逻辑阵列的基础上大量增加输出宏单元，提供更大的与阵列以及采用分层次结构逻辑阵列等，使 PLD 逐渐向复杂可编程逻辑器件过渡。

进入 20 世纪 90 年代后，复杂可编程逻辑器件已经成为可编程 ASIC 的主流产品，在整个 ASIC 市场占有了较大的份额。它们一般都具有可重编程特性，实现的工艺有 EPROM 技术、闪烁 EPROM 技术和 E²PROM 技术。在互连特性上，CPLD 采用连续互连方式，即用固定长度的金属线实现逻辑单元之间的互连。这种连续式的互连结构能够方便地预测设计的时序，同时保证了 CPLD 的高速性能。CPLD 的集成度一般可达数千甚至数万门，能够实现较大规模的电路集成。

现场可编程 ASIC 主要是指现场可编程门阵列 FPGA(Field Programmable Gate Array)，它是与传统 PLD 不同的一类可编程 ASIC。它具有类似于半定制门阵列的通用结构，即由逻辑功能块排列成的阵列组成，并由可编程的互连资源连接这些逻辑功能块来实现所需的设计。FPGA 与掩膜编程门阵列的不同之处就在于它是由用户现场编程来完成逻辑功能块之间的互连，而后者需由 IC 工厂通过掩膜来完成互连。因此，在某种意义上说，FPGA 是一种将门阵列的通用结构与 PLD 的现场可编程特性融于一体的新型器件，具有集成度高、通用性好、设计灵活、编程方便、产品上市快等多方面的优点。

FPGA 可反复编程，并能实现芯片功能的动态重构。FPGA 的设计可在厂家提供的开发系统中快速有效地完成，生成的设计文件以构造代码的形式存储在 FPGA 外的存储体中。系统上电时将这些构造代码读入 FPGA 内由 SRAM 构成的配置存储器，并由各个配置存储单元控制 FPGA 中的可编程资源实现用户的专用设计。

与传统的可编程逻辑器件相比，FPGA 由于采用了类似门阵列的通用结构，其规模可以做得较大，可实现的功能更强，设计的灵活性也更大。FPGA 中包含丰富的触发器资源，有些还具有诸如片上 RAM、内部总线等许多系统级的功能，因而完全可以实现片上系统的集成。就互连结构而言，典型的 FPGA 通常采用分段互连式结构，具有走线灵活，便于复杂功能的多级实现等优点，但与此同时也带来了布线复杂度增加、输入至输出的延时变大及总的性能估计较困难等问题。随着用户对 FPGA 性能要求的多样化，出现了各种改进结构的 FPGA。目前 FPGA 的生产厂家已由最初的一家增加到十多家，其产品日益丰富，性能不断完善，成为最受欢迎的器件之一。

1.3.2 主要特点

与掩膜 ASIC 相比，可编程 ASIC 具有以下特点：

1. 缩短了研制周期

可编程 ASIC 相对于用户而言，可以按一定的规格型号像通用器件一样在市场上买到。由于采用先进的 EDA，可编程 ASIC 的设计与编程均十分方便和有效，整个设计通常只需几天便可完成，缩短了产品研制周期，有利于产品的快速上市。

2. 降低了设计成本

制作掩膜 ASIC 的前期投资费用较高，只有在生产批量很大的情况下才有价值。这种设

计方法还需承担很大的风险,因为一旦设计中有错误或设计不完善,则全套掩膜便不能再用。采用可编程 ASIC 为降低投资风险提供了合理的选择途径,它不需掩膜制作费用,比直接设计掩膜 ASIC 费用小、成功率高。

3. 提高了设计灵活性

可编程 ASIC 是一种由用户编程实现芯片功能的器件,与由工厂编程的掩膜 ASIC 相比,它具有更好的设计灵活性。首先,可编程 ASIC 在设计完成后可立即编程进行验证,有利于及早发现设计中的问题,完善设计;第二,可编程 ASIC 中大多数器件均可反复多次编程,为设计修改和产品升级带来了方便;第三,基于 SRAM 开关的现场可编程门阵列 FPGA 和基于 E²C MOS 工艺的在系统可编程逻辑器件 ISPLD 具有动态重构特性,使得电子系统具有更好的灵活性和自适应性。

1.3.3 可编程 ASIC 技术展望

可编程 ASIC 已经成为当今世界上最富吸引力的半导体器件,在现代电子系统设计中扮演着越来越重要的角色。过去的几年里,可编程 ASIC 市场的增长主要来自大容量的可编程逻辑器件 CPLD 和 FPGA,其未来的发展将呈现以下几个方面的趋势。

1. 为了迎接系统级芯片时代,向密度更高、速度更快、频带更宽的百万门方向发展

电子系统的发展必须以电子器件为基础,但并不与之同步,往往系统的设计需求更快,因而随着电子系统复杂度的提高,可编程 ASIC 器件的规模不断地扩大,从最初的几百门到现在的上百万门。目前,高密度的可编程 ASIC 产品已经成为主流器件,可编程 ASIC 已具备了片上系统(System-On-Chip)集成的能力,产生了巨大的飞跃,这也促使着工艺的不断进步,而每次工艺的改进,可编程 ASIC 器件的规模都将有很大的扩展。由于看好高密度可编程 ASIC 器件市场前景,各大公司都在纷纷推出自己功能强大的 CPLD 和 FPGA 产品。

Xilinx 已经上市的 Virtex FPGA 是 100 万门系统级器件,具有 SelectRAM、Block、Delay、Lock-Loop 以及针对不同系统的 I/O 口。其操作速度可达 1 GHz 的 FPGA,是 XC4036XV 系列的衍生产品。

Altera 的 APEX PLD 最初的可编程逻辑门达 40 万门,1999 年底达到 100 万门,2000 年夏天推出了 250 万门 PLD 器件。APEX 采用多种内核(Multicore)结构,可提供乘积项内核、查询表内核和存储器内核。其设计效率高,IP 集成容易,可与 64 位 66 MHz 的 PCI 接口兼容。“APEX 已不单单是 SOC(系统级芯片)了,而是 SOPC(系统级可编程芯片)。”但随后而来的问题是:如何对如此复杂的百万门器件进行编程?为此,Altera 推出了与过去开发工具(如 MAX)极为不同的新型开发软件 Quartus。

Vantis 的 M4 产品系列采用乘积项结构,最大延迟时间为 5.5 ns,宏单元数从 32 到 256 个不等。M4 采用 0.35 μm 技术,M4A 采用 0.25 μm 技术。M4 产品系列主要有三大优点: I/O 引脚配制灵活,延时固定,价格低。

在过去,做百万门的 FPGA 的确没有多大意义。但时过境迁,今非昔比了,Virtex 决不仅仅是百万门的 FPGA,它重新定义了 FPGA,是真正的 SOC 解决方案。

这些高密度、大容量的可编程 ASIC 的出现,给现代电子系统(复杂系统)的设计与实现带来了巨大的帮助。

2. 向系统内可重构的方向发展

系统内可重构是指可编程 ASIC 在置入用户系统后仍具有改变其内部功能的能力。采用系统内可重构技术,使得系统内硬件的功能可以像软件那样通过编程来配置,从而在电子系统中引入“软硬件”的全新概念。它不仅使电子系统的设计和产品性能的改进和扩充变得十分简便,还使新一代电子系统具有极强的灵活性和适应性,为许多复杂信号的处理和信息加工的实现提供了新的思路和方法。

按照实现的途径不同,系统内重构可分为静态重构和动态重构两类。对基于 E²PROM 或快速擦写技术的可编程器件,系统内重构是通过在系统编程 ISP(In System Programmability)技术实现的,它是一种静态逻辑重构。ISP 可编程逻辑器件的工作电压和编程电压是相同的,编程数据可通过一根编程电缆从 PC 机或工作站写入芯片,设计者无需把芯片从电路板上取下就能完成芯片功能的重新构造,这给设计修改、系统调试及安装带来了极大的方便。动态重构是指在系统运行期间,根据需要适时地对芯片重新配置以改变系统的功能,可由基于 SRAM 技术的 FPGA 实现。这类器件可以无限次地被重新编程,利用它可以 1 秒几次或者 1 秒数百次地改变器件执行的功能,甚至可以只对器件的部分区域进行重组,此时芯片的其他部分仍可正常工作。可编程 ASIC 的系统内可重构特性有着极其广泛的应用前景,近年来在通信、航天、计算机硬件系统、程序控制、数字系统的测试诊断等多方面获得了较好的应用。

3. 向高速可预测延时器件的方向发展

可编程 ASIC 产品能得以广泛应用,与其灵活的可编程性分不开,另一方面时间特性也是一个重要的原因。作为延时可预测的器件,可编程 ASIC 的速度在系统中的作用巨大。当前的系统中,由于数据处理量的激增,要求数字系统有大的数据吞吐量,加之多媒体技术的迅速发展,更多的是图像的处理,相应地要有高速的硬件系统,而高速的系统时钟是必不可少的条件。可编程 ASIC 产品如果要在高速系统中占有一席之地,也必然向高速发展。另外,为了保证高速系统的稳定性,可编程 ASIC 器件的延时可预测性也是十分重要的。用户在进行系统重构的同时,担心的是延时特性会不会因重新布线的改变而改变,若改变则将导致系统重构的不稳定性,这对庞大而高速的系统而言将是不可想象的,其带来的损失将是巨大的。因此,为了适应未来复杂高速电子系统的要求,可编程 ASIC 的高速可预测延时也是一个发展趋势。

4. 向混合可编程技术方向发展

可编程 ASIC 特有的产品上市快以及硬件可重构特性,为电子产品的开发带来了极大的方便,它的广泛应用使得电子系统的构成和设计方法均发生了很大的变化。但是迄今为止,有关可编程 ASIC 的研究和开发的大部分工作基本上都集中在数字逻辑电路上,在未来几年里,这一局面将会有所改变,模拟电路及数模混合电路的可编程技术将得到发展。

据报道,国外已有几家公司开展了这方面的研究,并且推出了各自的模拟与数模混合型的可编程器件。其中美国加州 International Microelectronic Products 公司开发的 EPAC(可编程模拟电路)就是一例。这种芯片上的各种模拟电路的功能也是由用户编程来决定的,