

面向 21 世纪高等院校规划教材

# 数 字 电 路

## ——分析与设计

丁志杰 赵宏图 梁森 编著



北京理工大学出版社

BEIJING INSTITUTE OF TECHNOLOGY PRESS

版权专有 侵权必究

---

### 图书在版编目 (CIP) 数据

数字电路: 分析与设计/丁志杰, 赵宏图, 梁森编著. —北京: 北京理工大学出版社, 2007. 9

ISBN 978 - 7 - 5640 - 0959 - 5

I. 数… II. ①丁…②赵…③梁… III. 数字电路-电子技术-高等学校-教材  
IV. TN79

中国版本图书馆 CIP 数据核字 (2007) 第 130556 号

---

---

出版发行 / 北京理工大学出版社

社 址 / 北京市海淀区中关村南大街 5 号

邮 编 / 100081

电 话 / (010)68914775(办公室) 68944990(批销中心) 68911084 (读者服务部)

网 址 / <http://www.bitpress.com.cn>

经 销 / 全国各地新华书店

印 刷 / 北京国马印刷厂

开 本 / 787 毫米×1092 毫米 1/16

印 张 / 29

字 数 / 673 千字

版 次 / 2007 年 9 月第 1 版 2007 年 9 月第 1 次印刷

印 数 / 1~5000 册

定 价 / 38.00 元

责任校对 / 张 宏

责任印制 / 李绍英

---

图书出现印装质量问题, 本社负责调换

# 前 言

本书根据作者多年教学经验编写而成。

虽然现代电子器件花样繁多，但其基础还是传统的数字电路的内容。本书主要讲述传统数字电路的内容，对部分现代可编程器件只作了简单的介绍。只有打牢基础，才可能在实践中比较容易地学习、掌握新器件的使用方法，从而在求职、开发新产品等竞争中立于不败之地。

基于绝大多数半导体生产厂商发布的数据手册，可编程器件的开发工具，数字系统的软件模拟工具等都采用了 ANSI/IEEE Std 91a-1991 符号系统中的第二套，即特定符号系统。本着教学与实践相结合的原则，本书采用了 ANSI/IEEE Std 91a-1991 符号系统中的特定符号系统，相信这会使读者受益匪浅。

结合现代学生的特点及工程技术人员的需要，本书编写力求详细，同时例题、习题也比较丰富，以便于读者自学。书中带“\*”内容为选学内容。

本书第1章，第5章，第6章，第9章和第10章由丁志杰编写；第2章，第4章4.3节、4.4节，第7章由赵宏图编写；第3章，第4章4.1节、4.2节、4.5节，第8章由梁森编写。丁志杰负责全书的组织、统稿和定稿工作。

全书由程震先教授审阅。在审阅过程中，程震先教授认真负责，在仔细阅读书稿的基础上提出了许多宝贵的建议，指出了许多错误、不妥之处，使我们受益匪浅。在此谨向程震先教授致以崇高的敬意。

由于编者的水平有限，加上时间仓促，书中难免会出现错误和不妥之处，敬请读者指正。

编 者

# 目 录

第 1 章 数制与编码	1
1.1 数制	1
1.2 数制转换	2
1.2.1 二、八、十六进制到十进制的转换	2
1.2.2 二、八、十六进制之间的转换	2
1.2.3 十进制到二、八、十六进制的转换	3
1.3 二进制符号数的表示方法	5
1.3.1 原码表示法	5
1.3.2 反码表示法	5
1.3.3 补码表示法	6
1.3.4 符号数小结	8
1.4 二-十进制编码 (BCD 码)	9
1.5 格雷 (Gray) 码	10
1.6 ASCII 符	11
1.7 检错码和纠错码	12
1.7.1 检错码	12
1.7.2 纠错码	13
本章小结	13
习题	14
第 2 章 逻辑代数基础	15
2.1 概述	15
2.1.1 事物的二值性	15
2.1.2 布尔代数	15
2.2 逻辑变量和逻辑函数	16
2.2.1 基本的逻辑运算和逻辑变量	16
2.2.2 逻辑函数	19
2.2.3 逻辑函数与逻辑电路的关系	20
2.3 逻辑代数的基本运算规律	21
2.3.1 逻辑代数的基本定律	21
2.3.2 三个重要规则	23
2.3.3 逻辑代数的基本定理	25
2.3.4 复合逻辑运算和复合逻辑门	26

2.4	逻辑函数的两种标准形式	32
2.4.1	最小项和最大项	33
2.4.2	标准表达式和真值表	37
2.5	逻辑函数的代数化简法	41
2.5.1	化简逻辑函数的意义及化简方法	41
2.5.2	代数化简法	44
2.6	逻辑函数的卡诺图化简法	50
2.6.1	卡诺图(K图)	50
2.6.2	最小项的合并规律	57
2.6.3	用卡诺图化简逻辑函数	61
2.6.4	多输出逻辑函数的卡诺图化简法	65
2.7	非完全描述逻辑函数	66
2.7.1	非完全描述逻辑函数	66
2.7.2	利用无关项化简非完全描述逻辑函数	68
2.8	逻辑函数的描述	70
2.8.1	逻辑函数的描述方法	70
2.8.2	逻辑函数描述方法之间的转换	71
	本章小结	74
	习题	75
第3章 逻辑门电路		83
3.1	概述	83
3.2	晶体管的开关作用	83
3.2.1	二极管的开关作用	83
3.2.2	三极管的开关特性	85
3.3	基本逻辑门电路	89
3.4	TTL集成门电路	92
3.4.1	TTL与非门的基本原理	92
3.4.2	TTL与非门的特性及参数	93
3.5	其他类型的TTL“与非”门电路	99
3.5.1	集电极开路“与非”门(OC门)	99
3.5.2	三态输出“与非”门(TS门)	102
3.6	MOS门电路	104
3.6.1	CMOS反相器	104
3.6.2	其他逻辑功能的CMOS门电路	105
3.6.3	CMOS门电路的特点及使用	106
3.7	TTL与CMOS电路的级联	107
3.7.1	由TTL驱动CMOS	108
3.7.2	由CMOS驱动TTL	108

本章小结	109
习题	109
第 4 章 组合逻辑电路	113
4.1 概述	113
4.2 常用数字集成组合逻辑电路	114
4.2.1 编码器	114
4.2.2 译码器	119
4.2.3 加法器	126
4.2.4 数值比较器	130
4.2.5 数据选择器和数据分配器	132
4.3 组合电路逻辑分析	135
4.4 组合电路逻辑设计	142
4.4.1 用小规模集成电路 (SSI) 实现逻辑函数	142
4.4.2 用中规模集成电路 (MSI) 实现逻辑函数	145
4.4.3 一般设计步骤和设计举例	158
4.5 组合逻辑电路中的竞争与冒险现象	173
4.5.1 竞争与冒险现象及其成因	173
4.5.2 冒险现象的类型及识别	174
4.5.3 冒险现象的排除	175
本章小结	176
习题	178
第 5 章 触发器	185
5.1 基本 R-S 锁存器 (R-S Latch)	185
5.1.1 电路结构	185
5.1.2 功能分析	185
5.1.3 功能描述	186
5.1.4 集成基本 R-S 锁存器	188
* 5.1.5 防抖动开关	188
5.1.6 基本 R-S 锁存器存在的问题	189
5.2 门控 R-S 锁存器 (Gated R-S Latch)	189
5.2.1 电路结构	189
5.2.2 功能分析	189
5.2.3 功能描述	190
5.2.4 门控 R-S 锁存器的特点	191
5.3 D 锁存器 (D Latch)	191
5.3.1 电路结构	191
5.3.2 功能分析	191

5.3.3	D锁存器功能描述	191
5.3.4	集成D锁存器	192
5.4	主从式R-S触发器 (Master-Slave R-S Flip-Flop)	193
5.4.1	电路结构	193
5.4.2	功能分析	193
5.4.3	功能描述	194
5.5	TTL主从式JK触发器 (Master-Slave JK Flip-Flop)	194
5.5.1	电路结构	194
5.5.2	功能分析	194
5.5.3	功能描述	195
5.6	TTL维持阻塞式D触发器	197
5.6.1	电路结构	197
5.6.2	功能分析	198
5.6.3	功能描述	198
5.6.4	集成维持阻塞式D触发器	199
5.7	CMOS锁存器与触发器	199
5.7.1	CMOS锁存器	199
5.7.2	CMOS触发器	200
5.8	T触发器和T'触发器	202
5.8.1	T触发器	202
5.8.2	T'触发器	202
5.9	触发器的功能转换	203
5.9.1	状态方程法	203
5.9.2	驱动表法	203
5.10	触发器的动态参数	204
	本章小结	205
	习题	205
第6章 常用时序电路组件		207
6.1	寄存器 (Register)	207
6.1.1	锁存器组成的寄存器	207
6.1.2	触发器组成的寄存器	208
6.2	异步计数器 (Asynchronous Counter)	209
6.2.1	异步二进制加法计数器 (Asynchronous Binary Up Counter)	209
6.2.2	脉冲反馈复位 (置位) 式任意模M异步加法计数器	210
6.2.3	异步二进制减法计数器	212
6.2.4	可逆异步二进制计数器	213
6.2.5	n位异步二进制计数器小结	213
6.3	同步二进制计数器 (Synchronous Binary Counter)	214

6.4 集成计数器 .....	214
6.4.1 异步二-五-十进制计数器 74LS290 .....	215
6.4.2 同步二进制计数器 74LS161/74LS163 .....	219
6.5 移位寄存器 (Shift Register, Shifter) .....	224
6.5.1 移位寄存器 .....	224
6.5.2 移位寄存器的应用 .....	227
6.5.3 多功能移位寄存器 74LS194 .....	228
本章小结 .....	230
习题 .....	230
第7章 时序逻辑电路 .....	234
7.1 概述 .....	234
7.1.1 同步时序电路的特点与结构 .....	234
7.1.2 同步时序电路的别名——同步状态机 .....	238
7.1.3 同步时序电路的描述方法 .....	243
7.2 同步时序逻辑电路——状态机的分析 .....	252
7.3 同步时序逻辑电路——状态机的设计 .....	262
7.4 实用时序逻辑电路的分析与设计 .....	310
7.4.1 同步计数器和同步分频器 .....	310
7.4.2 移存型计数器 .....	324
7.4.3 同步序列信号发生器 .....	334
7.4.4 阻塞反馈式异步计数/分频器 .....	352
本章小结 .....	367
习题 .....	369
第8章 脉冲信号的产生和整形 .....	384
8.1 概述 .....	384
8.2 连续矩形脉冲波的产生 .....	385
8.2.1 环形振荡器 .....	385
8.2.2 对称式多谐振荡器 .....	386
8.2.3 石英晶体多谐振荡器 .....	387
8.3 单稳态触发器 .....	388
8.3.1 由门电路组成的单稳态触发器 .....	388
8.3.2 集成单稳态触发器 .....	391
8.3.3 单稳态触发器的应用 .....	393
8.4 施密特触发器 .....	395
8.4.1 由门电路组成的施密特触发器 .....	395
8.4.2 集成施密特触发器 .....	397
8.4.3 施密特触发器的应用 .....	399

8.5	555 定时器及其应用	400
8.5.1	555 定时器的电路结构及功能	401
8.5.2	555 定时器的应用	402
	本章小结	406
	习题	407
第 9 章	数—模、模—数变换器	410
9.1	数模转换器 (Digit Analog Converter, DAC)	410
9.1.1	权电阻型 DAC	410
9.1.2	R—2R T 型电阻网络 DAC	412
9.1.3	倒 T 型电阻网络 DAC	413
9.1.4	DAC 中的电子开关	414
9.1.5	单片集成 DAC AD7520 及其用法	415
9.1.6	DAC 的主要参数	415
9.1.7	DAC 的应用	417
9.2	模数转换器 (Analog Digit Converter, ADC)	418
9.2.1	采样保持	418
9.2.2	量化与编码	420
9.2.3	并行比较式 ADC	420
9.2.4	计数式 ADC	421
9.2.5	逐次比较式 ADC	422
9.2.6	双积分式 ADC	425
9.2.7	集成 ADC 举例	428
9.2.8	ADC 的参数	429
	本章小结	430
	习题	431
第 10 章	存储器及可编程器件概述	433
10.1	只读存储器 (Read Only Memory, ROM)	433
10.1.1	ROM 的结构与原理	433
10.1.2	现代 ROM 的行列译码结构	435
10.1.3	PROM、EPROM、EEPROM	436
10.1.4	ROM 的内部结构及 ROM 的扩展	437
10.2	随机存取存储器 RAM (Random Access Memory)	438
10.2.1	概 述	438
10.2.2	静态随机存储器 SRAM	439
10.2.3	动态随机存储器 DRAM	439
10.3	可编程逻辑器件 (PLD) 简介	441
10.3.1	可编程逻辑阵列 PLA (Programmable Logic Array)	441

---

10.3.2 可编程逻辑器件 PAL、GAL .....	442
本章小结 .....	447
习题 .....	447
附录 基本逻辑单元符号对照表 .....	449
参考文献 .....	450

# 第7章 时序逻辑电路

本章的主要内容是时序逻辑电路的分析与设计问题，重点是同步时序逻辑电路的分析和设计方法。为此，本章特别介绍了“同步有限状态机”的概念。因为无论是同步式计数器/分频器还是移存型计数器以及任何形形色色的同步时序电路都可以归结为一个同步有限状态机模型。因此对任何一个同步时序电路的分析和设计问题，都可以归纳成为一个同步状态机的分析与设计问题。以同步状态机的分析、设计方法为基础，本章着重讨论了几种常用的同步时序电路的分析和设计方法。这些常用的同步时序电路是：同步计数器/分频器，移存型计数器和同步序列信号发生器。最后，本章还讨论了阻塞反馈式异步计数器的分析和设计方法。

## § 7.1 概 述

数字逻辑电路分为两大类，一类叫做组合逻辑电路，简称组合电路；另一类叫做时序逻辑电路，简称时序电路。在第4章里已经详细地讨论了组合逻辑电路的分析和设计问题。在这一章中，我们将讨论时序逻辑电路的分析和设计问题。由于时序电路又分为同步时序电路和异步时序电路两大类，因此在本章中，我们主要介绍同步时序电路的分析和设计方法，当然也会涉及少量异步时序电路的分析和设计问题。

### 7.1.1 同步时序电路的特点与结构

正如在第4章中所看到的那样，组合电路是这样的一种电路，即：它在任何时刻的输出信号完全取决于该时刻的输入信号而与过去的输入信号无关，换句话说，组合逻辑电路是没有记忆的。然而，时序电路却是另外一种完全不同的电路，即：它在某一时刻的输出信号，不仅取决于当时的输入信号，而且还与电路过去的输入信号有关，而过去的输入信号对电路的影响，则完全反映在当时电路的状态上，这就是说，时序逻辑电路是一种有记忆的电路。

什么是“时序电路的状态”？赫伯特·海勒曼（Herbert Hellerman）在他的《数字计算机原理》一书中给出了回答：“时序电路的状态就是一组状态变量的集合，这些变量在任意时刻的数值，包含了用于估计电路未来行为所需要的电路过去行为的全部信息。”因此，输入信号过去对时序电路的激励以及它对电路行为所产生的影响等信息全都存储在电路的状态变量中，这些信息与现在的输入信号一起，共同决定时序电路未来的行为。所以，时序逻辑电路在某一时刻的输出信号，不仅取决于当时的输入信号，而且还取决于当时的电路状态，即：与过去的输入信号有关。

一般时序逻辑电路的组成框图示于图7.1。从图中可以看出，时序逻辑电路是由组合逻辑电路和状态存储器两部分所构成。存储器一般是由各种类型的触发器或延时电路所组成。本章主要讨论用“边沿触发”（上升沿触发或下降沿触发）的触发器作为存储器的时序电路。

图 7.1 中,  $X_1、\dots、X_n$ ——时序电路的外加输入信号;

$Z_1、\dots、Z_m$ ——时序电路的输出信号;

$Y_1、\dots、Y_r$ ——状态存储器的状态输出信号。如果用触发器作存储器, 则习惯上用  $Q_1、\dots、Q_r$  表示状态输出信号;

$W_1、\dots、W_k$ ——状态存储器的驱动(激励)输入信号。用触发器作存储器时, 根据所选用触发器的不同类型, 驱动或激励信号可以是  $JK、D、T$  等。

Clock——状态存储器(触发器)的时钟控制信号。

通常令:

$X = \{X_1, \dots, X_n\}$

$Z = \{Z_1, \dots, Z_m\}$

$Y = \{Y_1, \dots, Y_r\}$

$W = \{W_1, \dots, W_k\}$

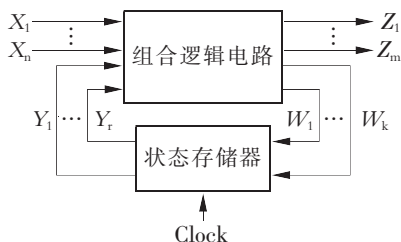


图 7.1 一般时序电路的框图

如上所述, 时序逻辑电路划分为两大类——同步时序电路和异步时序电路。这种划分是依据时序电路状态变化的特点而确定的。如果构成状态存储器的全部触发器都是由时钟信号 Clock 统一控制, 也就是说, 所有触发器的时钟输入端均来自于同一个时钟信号源, 则称这种时序电路为同步时序电路。Clock 称为同步时钟信号, 简称时钟。于是, 同步时序电路的状态变化(或称“状态翻转”)均发生在同步时钟信号的“有效边沿”跳变时刻, 换句话说, 同步时序电路中各触发器状态的改变是在同一个时钟作用下同时完成的。所谓“有效边沿”, 根据具体选用触发器的不同类型, 既可以是上升沿, 也可以是下降沿。通常, 当采用上升沿作为时钟有效边沿时, 就称为“时钟高有效”; 反之, 在采用下降沿作为时钟有效边沿时, 就称为“时钟低有效”, 如图 7.2 所示。

与同步时序电路相反, 异步时序电路中的各触发器没有统一的时钟信号, 因此, 电路中各触发器状态的翻转不是同时发生的。本章以后所讨论的时序电路, 除非特别声明, 均指同步时序电路。

以上所述表明, 同步时序电路的操作是按照时钟的节拍一步一步运行的。每一步的时间长度就是时钟信号的一个周期(也叫一个节拍)。这就好比将时钟信号当作一把尺子, 把它放在时间轴上, 用时钟周期的长度在时间轴上进行均匀的刻度(以时钟的有效边沿, 比如上升沿, 为基准), 如果令某一个时钟周期为  $t^n$  ( $n$  代表时间序列的序号), 则下一个时钟周期就是  $t^{n+1}$ , 如图 7.3 所示。同步时序电路状态信号的变化、输出信号的变化, 甚至连输入信号的变化均纳入到时钟“刻度”的范畴里, 即: 这些信号的“变化”都发生在时钟的有效边

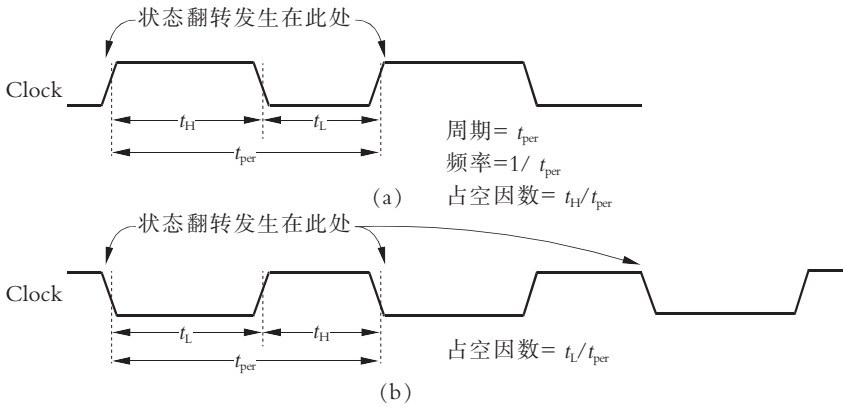


图 7.2 时钟信号

(a) 时钟高有效; (b) 时钟低有效

沿上<sup>①</sup>。按照这样的理解，同步时序电路中的所有信号（包括输入信号、输出信号和状态信号）的取值与变化都应该以相继接续的时钟周期为参考基准，即：按照时钟的周期来划分信号的取值。这样，在  $t^n$  期间的信号取值就叫做“当前时钟周期的信号取值”，而在  $t^{n+1}$  期间的信号取值就叫做“下一个时钟周期的信号取值”。注意： $t^n$  和  $t^{n+1}$  是一个相对的时间概念。某一个时钟周期相对于前一个时钟周期来讲是“下一个时钟周期”  $t^{n+1}$ ；而相对于后一个时钟周期来讲就是“当前时钟周期”  $t^n$ 。

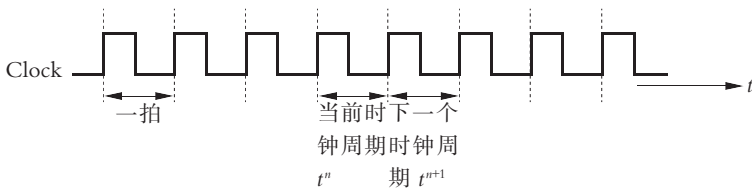


图 7.3 同步时钟划分时间轴

按照“当前时钟周期”和“下一个时钟周期”的概念，可列出图 7.1 中各信号之间的一般关系式如下：

$$\text{同步时序电路的输出方程} \quad Z(t^n) = F[X(t^n), Y(t^n)] \quad (7.1)$$

$$\text{状态存储器的驱动（激励）方程} \quad W(t^n) = G[X(t^n), Y(t^n)] \quad (7.2)$$

$$\text{状态存储器的状态方程} \quad Y(t^{n+1}) = S[W(t^n), Y(t^n)] = H[X(t^n), Y(t^n)] \quad (7.3)$$

这三个逻辑方程构成了一个逻辑方程组，用这个逻辑方程组，就可以完全地描述一个时序逻辑电路，它是描述时序逻辑电路的方法之一。该逻辑方程组中的前两个方程，输出方程和驱动方程，是描述组合逻辑电路的逻辑函数表达式；而最后一个方程，状态方程，实际上就是构成状态存储器的触发器的特性方程。

在逻辑方程组的表达式中：

<sup>①</sup> 严格地讲，应该是发生在时钟有效边沿之后的瞬间。在时钟有效边沿之前的瞬间，这些信号均应保持稳定，即要满足所谓触发器的建立时间  $t_s$  (Setup Time)。

$t^n$ 、 $t^{n+1}$ ——表示相邻的两个时钟周期，即：“当前时钟周期”和“下一个时钟周期”；

$Y(t^n)$ ——代表在“当前时钟周期”内，存储器的状态输出信号，即：现在时刻的状态输出信号，简称现态信号（或现态），一般用 $Y^n$ 表示（省略“ $t^n$ ”不写，以下情形相同）；

$Y(t^{n+1})$ ——代表在“下一个时钟周期”到来时，存储器的状态输出信号，即：未来时刻的状态输出信号，简称次态信号（或次态），一般用 $Y^{n+1}$ 表示（省略“ $t^{n+1}$ ”不写）。

如果用触发器作存储器，则现态信号用 $Q^n$ 表示；次态信号用 $Q^{n+1}$ 表示。

$X(t^n)$ ——代表“当前时钟周期”内时序电路的输入信号，一般用 $X^n$ 表示。

$W(t^n)$ ——代表“当前时钟周期”内状态存储器的驱动（激励）输入信号，一般用 $W^n$ 表示。

$Z(t^n)$ ——代表“当前时钟周期”内时序电路的输出信号，一般用 $Z^n$ 表示。

于是，上述式(7.1)、式(7.2)、式(7.3)又可以写成如下形式：

$$\text{输出方程} \quad Z^n = F [X^n, Y^n] \quad (7.4)$$

$$\text{驱动（激励）方程} \quad W^n = G [X^n, Y^n] \quad (7.5)$$

$$\text{状态方程} \quad Y^{n+1} = S [W^n, Y^n] = H [X^n, Y^n] \quad (7.6)$$

从图7.1中可以看出，状态信号 $Y$ 是存储器的输出，它在每一个时钟的有效边沿时刻到来时才发生变化。所以，把状态信号区分为现态 $Y^n$ 和次态 $Y^{n+1}$ 。注意：现态 $Y^n$ 的持续时间是一个时钟周期。次态 $Y^{n+1}$ 是在下一个时钟的有效边沿到来之后的状态信号，在这个状态信号尚未出现之前，它是次态 $Y^{n+1}$ ，而当它出现之后，它就变成了现态信号 $Y^n$ 。因此，次态 $Y^{n+1}$ 是尚未出现的下一个状态信号。现态 $Y^n$ 和次态 $Y^{n+1}$ 在时间上是相对的。式(7.6)所代表的状态方程，实际上就是触发器的特性方程。该方程表明：在时钟的驱动下，次态信号 $Y^{n+1}$ 是驱动信号 $W^n$ 和现态信号 $Y^n$ 的函数。

然而，根据图7.1，信号 $X$ 和 $Y$ 又都是组合逻辑电路的输入信号，而信号 $Z$ 和 $W$ 又全都是相应的组合逻辑电路的输出信号，后两者是前两者的组合逻辑函数。换句话说，某一时刻输出信号 $Z$ 和 $W$ 的取值永远取决于当时的输入信号 $X$ 和 $Y$ 而与时钟信号无关。因此，上述式(7.1)、式(7.4)所代表的输出方程以及式(7.2)、式(7.5)所代表的驱动方程都是组合逻辑函数表达式。所以在式(7.1)、式(7.4)和式(7.2)、式(7.5)中，只有“当前时钟周期”内的各种信号，即：现在时刻的输入信号 $X^n$ 、现在时刻的输出信号 $Z^n$ 、现在时刻的驱动信号 $W^n$ 和现在时刻的状态信号 $Y^n$ 。于是在某些情况下，为了方便起见，在书写时序电路的输出方程、驱动方程和状态方程时，将代表“现在时刻”的“ $n$ ”也省略不写，而把输入信号、输出信号、驱动信号和现态信号分别只写成 $X$ 、 $Z$ 、 $W$ 和 $Y$ 。这样，式(7.4)、式(7.5)、式(7.6)又可以简化成如下形式：

$$\text{输出方程} \quad Z = F [X, Y] \quad (7.7)$$

$$\text{驱动（激励）方程} \quad W = G [X, Y] \quad (7.8)$$

$$\text{状态方程} \quad Y^{n+1} = S [W, Y] = H [X, Y] \quad (7.9)$$

注意，此时默认 $X$ 、 $Z$ 、 $W$ 和 $Y$ 为“现在时刻”的信号。

这里又提出另外一个问题：输出信号 $Z^n$ （或 $Z$ ）以及驱动信号 $W^n$ （或 $W$ ）的持续时间是多少？是否也是一个时钟周期？换句话说， $Z^n$ 和 $W^n$ 在什么情况下才会发生变化？下一节将会回答这个问题，读者可先自行考虑之。

### 7.1.2 同步时序电路的别名——同步状态机

同步时序逻辑电路在时钟的统一控制下，从一个状态转换到另一个状态。正因为如此，很多文献称这种逻辑电路为钟控同步状态机（Clocked Synchronous State Machines），简称状态机。“状态机”一词是这类同步时序电路的一个通用的名称，前一章讲到的所有同步时序电路，如：同步计数器，环形/扭环形计数器等，都可以归结为一个简单的状态机。“钟控”一词是指时序电路存储器中的触发器都是由时钟信号控制的，而“同步”一词，如前所述，则意味着所有的触发器都使用同一个时钟信号，这些触发器状态的翻转都与时钟信号的有效边沿同步。注意：以后凡提到“同步”一词，均是指与时钟信号同步，即：与时钟信号的有效边沿同步。

那么，一个状态机究竟有多少个状态呢？换句话说，状态机的状态个数与什么因素有关呢？若要回答这个问题，则首先需要考察状态机中的触发器个数。状态机的状态个数完全取决于状态存储器中所含触发器的个数。由于每个触发器的输出为  $Q$ ——状态变量，所以状态机的状态个数也取决于状态变量的个数。如果一个状态机的状态存储器是由  $n$  个触发器所构成，则该状态机就含有  $n$  个状态变量，于是状态机的状态个数最多为  $2^n$  个。因为触发器的个数  $n$  是一个有限值，因此  $2^n$  也是一个有限值，所以有时也将同步时序电路称之为有限状态机（Finite State Machines）。

状态机（同步时序逻辑电路）的结构，根据其输出信号的特点，又可分成两种类型——米里（Mealy）型状态机和摩尔（Moore）型状态机。

#### 1. 米里型状态机

米里型状态机的结构图示于图 7.4。图中的“次态逻辑”和“输出逻辑”都是组合型逻辑电路，而状态存储器则是由触发器所构成。图 7.4 中各信号之间的关系可用下面的式子表示：

$$\text{输出方程} \quad Z^n = F [X^n, Q^n] \quad (7.10)$$

$$\text{驱动方程} \quad W^n = G [X^n, Q^n] \quad (7.11)$$

$$\text{状态方程} \quad Q^{n+1} = S [W^n, Q^n] = H [X^n, Q^n] \quad (7.12)$$

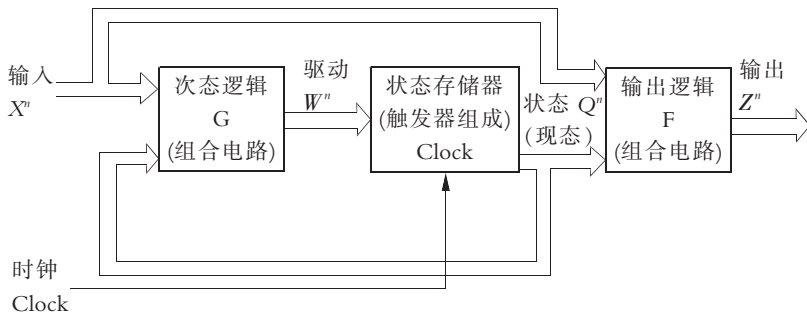


图 7.4 米里型状态机结构框图

不难看出，式 (7.10)、式 (7.11) 和式 (7.12) 实际上分别就是上一节的式 (7.4)、式 (7.5) 和式 (7.6)。

比较图 7.4 与图 7.1 可以发现，这两者其实是一样的。图 7.1 只不过是图 7.4 中的两个组合电路部分——“次态逻辑”和“输出逻辑”合二为一而已。

由图 7.4 可以看出,在米里型状态机中,外输入信号  $X^n$  和现态信号  $Q^n$  共同构成了次态逻辑(组合)电路的输入信号,而该电路的输出信号就是触发器的驱动信号  $W^n$ ,即:  $W^n$  是  $X^n$  和  $Q^n$  的组合逻辑函数,如式(7.11)所示。式(7.12)表明  $W^n$  和  $Q^n$  共同决定了在下一个时钟周期的有效边沿到来时,触发器将要翻转到的状态(输出)。换句话说,  $W^n$  和  $Q^n$  决定了触发器(状态机)的次态  $Q^{n+1}$ 。一旦时钟的下一个有效边沿到来,触发器的现态  $Q^n$  将按照  $W^n$  和  $Q^n$  的规定翻转到次态  $Q^{n+1}$ 。在此之后,这个“次态  $Q^{n+1}$ ”就成为新的现态  $Q^n$ ,这个过程将不断地、按照时钟的节拍,一步一步地进行下去。这一点在上一节就已经提到了。由此可以看出,在时钟的有效边沿到来之前的瞬间,要求驱动信号  $W^n$  处于稳定状态。但是,由于驱动信号  $W^n$  是  $X^n$  和  $Q^n$  的组合逻辑函数,而  $Q^n$  在一个时钟周期内是稳定的,所以  $W^n$  是否能持续稳定一个时钟周期,则完全取决于外输入信号  $X^n$ 。若外输入信号  $X^n$  能够稳定一个时钟周期,则驱动信号  $W^n$  就可以稳定一个时钟周期;若外输入信号  $X^n$  在一个时钟周期内发生若干次变化,则驱动信号  $W^n$  也将随之发生同样次数的变化。因此,为了保证在下一个时钟周期的有效边沿到来之际能够产生正确的次态信号  $Q^{n+1}$ ,就要求驱动信号  $W^n$  在下一个时钟周期的有效边沿到来之前的瞬间要保持稳定,这也就是说,外输入信号  $X^n$  在下一个时钟周期的有效边沿到来之前的瞬间要保持稳定。

另一方面,从图 7.4 还可以看出,现态信号  $Q^n$  和外输入信号  $X^n$  又共同构成了输出逻辑(组合)电路的输入信号,而该电路的输出信号就是整个状态机的输出信号  $Z^n$ ,即:  $Z^n$  是  $Q^n$  和  $X^n$  的组合逻辑函数,正如式(7.10)所表示的那样。与驱动信号  $W^n$  的情形相类似,因为状态信号  $Q^n$  在一个时钟周期之内保持不变,所以  $Z^n$  在一个时钟周期内是否变化则完全取决于外输入信号  $X^n$ ,换句话说,  $Z^n$  在一个时钟周期之内会随着外输入信号  $X^n$  的变化而变化。

至此,我们回答了上一节结束时所提出的问题,同时也总结出了米里型状态机的特点,即:米里型状态机电路的输出信号  $Z^n$ ,同时取决于电路的外输入信号  $X^n$  和现态信号  $Q^n$  ( $Y^n$ ),它是  $X^n$  和  $Q^n$  的逻辑函数。

米里型状态机的输出  $Z^n$  不仅会在时钟的有效边沿到来之际随着状态信号  $Q^n$  的变化而变化,而且也会在时钟的有效边沿到来之前,即:在一个时钟周期之内随着外输入信号  $X^n$  的变化而变化。这一点,可通过下面的实例看出来。例 7.1 是一个用状态转换图和状态转换表描述的米里型状态机。除了上述的逻辑方程组以外,“状态转换图”和“状态转换表”是描述同步时序电路——状态机的另外两种方法,下一节将要对它们详细讨论之,在此先只对它们进行简单的说明。

**【例 7.1】** 某个米里型状态机的状态转换图和状态转换表分别示于图 7.5 (a)、(b)。已知外输入序列  $X=011010$ ,试确定该状态机对此输入序列的输出响应序列  $Z$ ,并画出相应的定时波形图。

解:在图 7.5 (a) 的状态转换图中,一个“圆圈”

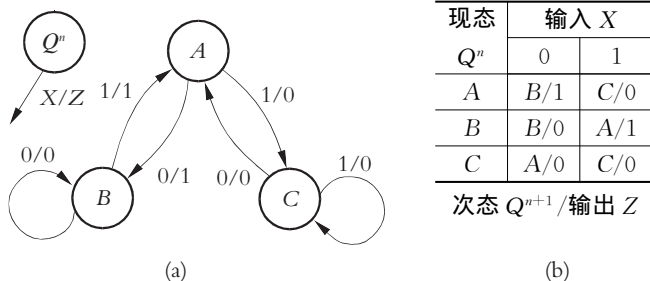


图 7.5 某米里型状态机的两种描述方法

(a) 状态转换图; (b) 状态转换表

就代表一个状态，圆圈中的字母表示该状态的名称。一条“箭头线段”就代表状态机的一个状态翻转动作，箭头的方向表示状态翻转的方向，即：从一个状态翻转到另一个确定的状态。箭头线段旁边的“数字”，表示状态转换的条件，其中“/”符号上边的数字代表“输入” $X$ 的值；“/”符号下边的数字代表“输出” $Z$ 的值，如图 7.5 (a) 左上角的“图例”所示。

在图 7.5 (b) 的状态转换表中，左边一列表示现态  $Q^n$ ；上边一行表示输入  $X$ 。表中所填内容是次态  $Q^{n+1}$  和输出  $Z$ ，而且其格式是按照  $Q^{n+1}$  在“/”之上、 $Z$  在“/”之下排列的。

假设电路的初始状态处于  $A$  状态，在起始时刻 0 时的输入  $X=0$ 。根据图 7.5 的状态转换图或状态转换表，我们可以确定：在 0 时刻，状态机处于  $A$  状态，此时对应输入  $X=0$  的输出是  $Z=1$ ，而且状态机的下一个状态（次态）将会是  $B$ 。于是，在下一个时钟周期的有效边沿到来时，即：在时刻 1，状态机的状态翻转到  $B$ ，状态  $B$  成为现态。与此同时，输入  $X$  变成 1，其所对应的输出  $Z=1$ ，而且状态机的次态又将为  $A$ 。对于输入序列的后续数值，我们重复上述确定输出  $Z$  和次态  $Q^{n+1}$  的过程，于是得到电路（状态机）对输入序列  $X$  的响应行为如下：

时刻	0	1	2	3	4	5
现态	$A$	$B$	$A$	$C$	$A$	$C$
输入	0	1	1	0	1	0
输出	1	1	0	0	0	0
次态	$B$	$A$	$C$	$A$	$C$	$A$

因此，当输入序列  $X=011010$  施加到起始状态为  $A$  的本状态机时，状态机产生的输出序列为：

$$Z=110000$$

最终，电路将停留在状态  $A$  上。该状态机电路对于给定输入序列的实际定时波形图如图 7.6 所示。

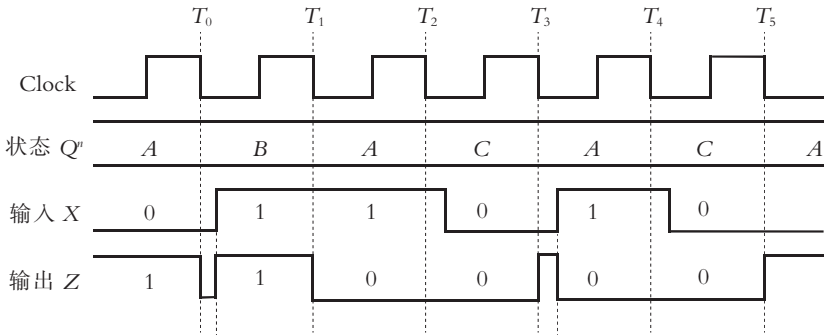


图 7.6 例 7.1 米里型状态机的定时波形

在此波形图中，我们假定状态的翻转是发生在时钟由高到低的跳变时刻，即时钟的下降沿。需要注意的是：当输入信号  $X$  或者状态信号  $Q^n$  这二者之中的任何一个发生变化时，输出信号  $Z$  都会随之发生变化。这是因为  $Z$  是  $X$  和  $Q^n$  的组合逻辑函数。在图 7.6 所示的时序图中，输出信号  $Z$  的波形出现了两处我们所不希望的波形变化。在  $T_0$  时刻，当电路的状态翻转到  $B$  时，输出  $Z$  下降到“0”电平，在此之后，只有当输入  $X$  变为“1”电平时，输出