

国家“十五”重点图书
微米纳米科学与技术丛书

纳米芯片学

蒋建飞 编著

上海交通大学出版社

内 容 提 要

本书包括芯片技术发展的历史、现状和可能的未来。首先回顾了器件栅长在 100 nm 以上的硅 CMOS 存储器、逻辑电路和微处理器等微米芯片核心技术。然后论述了 100 nm 至 3 nm 栅长现实的和可能的存储器、逻辑电路和微处理器纳米芯片技术,比较了从微米芯片到纳米芯片发展中每次升级所必须进行的器件结构和工艺技术的创新。进而探讨了电子输运基存储器、逻辑电路和微处理器发展的终极限制的根本要素,介绍和评述了各类非电子输运基存储器、逻辑电路和微处理器器件的结构和原理及其所遇到的挑战,并进行了发展风险的评估。

本书是系统地论述纳米芯片技术的重要学术著作,可作为从事纳米尺度大规模集成电路芯片和从事纳电子科学技术及纳米科学和技术与相关学科的科学家的参考书,也可供相关专业研究生研读。

图书在版编目(CIP)数据

纳米芯片学/蒋建飞编著. —上海:上海交通大学出版社,2007

(微米纳米科学与技术丛书)

国家“十五”重点图书/上海交通大学学术著作出版基金资助项目

ISBN978-7-313-04976-6

I. 纳... II. 蒋... III. 纳米材料—芯片
IV. TB383

中国版本图书馆 CIP 数据核字(2007)第 148715 号

纳米芯片学

蒋建飞 编著

上海交通大学出版社出版发行

(上海市番禺路 877 号 邮政编码 200030)

电话:64071208 出版人:韩建民

昆山市亭林印刷有限责任公司 印刷 全国新华书店经销

开本:787mm×960mm 1/16 印张:37.5 插页:4 字数:712 千字

2007 年 12 月第 1 版 2007 年 12 月第 1 次印刷

印数:1~2 050

ISBN978-7-313-04976-6/TB·089 定价:70.00 元

版权所有 侵权必究

前言

随着半导体大规模集成电路芯片研究和生产进入纳电子学时代,纳电子工业获得了迅速的发展,而这种发展的核心技术是纳米芯片,100 nm 栅长以下的纳米芯片已经广泛地应用在计算机、通信系统和家用及个人数据与声音电子设备中。基于这个发展背景,系统地论述纳米芯片技术对本领域的发展有十分重要的意义。

本书系统地论述了芯片技术发展的历史、现状和可能的未来。首先回顾了器件栅长在 100 nm 以上的硅 CMOS 存储器、逻辑电路和微处理器等微米芯片核心技术。然后论述了 100 nm 至 3 nm 栅长现实的和可能的存储器、逻辑电路和微处理器纳米芯片技术,比较了从微米芯片到纳米芯片发展中每次升级所必须进行的器件结构和工艺技术的创新。进而探讨了电子输运基存储器、逻辑电路和微处理器发展的终极限制的根本要素,介绍和评述了各类非电子输运基存储器、逻辑电路和微处理器器件的结构和原理及其所遇到的挑战,并进行了发展风险的评估。

对各类候选器件、存储器、逻辑电路和微处理器等芯片的发展前景的描述不持先验性观点,虽然方案繁多,并且还会不断有新的发展,但叙述的要点是基于现有的实验或模拟结果评估其竞争力,强调以其自然的优胜劣汰决定其最后的生存与否。作者在书中坚持的是所有发展最终必须以硅为平台或者说与其兼容。

本书不仅系统地论述了纳米芯片学的基本原理、发展概要、客观评介现状,并且展示出多方位的未来研究课题,有利于研究者深入探讨。

在本书出版之际,我要衷心感谢上海交通大学学术著作专项出版基金的资助。

我要真诚地感谢蔡琪玉副教授及我们的全体博士和硕士研究生,特别是胡潮红博士所提供的最热心帮助。在和他们相处的时间内,雷打不动的多年定期的师生“纳电子学学术研讨会”从另一个侧面为本书编著提供了支持。最后我还要感谢蒋惠玲博士和蒋惠敏在本书编著中所给予的热心帮助。

在本书编著过程中,参阅了大量文献和专著,谨对这些作者表示真切的谢意。特别应该指出的是 Intel 公司的 R. Chau, P. Gargini, G. Bourianoff, M. Bohr, K. David, S. Datta, S. Chou, S. Thompson, J. M. Maiz, K. Kuhn, J. A. Maiz, P. Bai 等博士的研究文献对本书的编著有很大的帮助。

本书是国家“十五”重点图书,书中系统地论述了纳米芯片学的原理和技术,可作为从事纳米尺度大规模集成电路芯片和从事纳电子及纳米科学技术与相关学科的科学家、工程师、教师的参考书,也可供相关专业博士和硕士研究生研读。

本书是“微米纳米科学与技术丛书”之一,也是作者迄今在纳电子学领域的三部著作之一,其他两部为《纳电子学导论》(科学出版社,2006)、《单电子学》(科学出版社,2007)。

虽然对书稿历经多次修改和校正,由于涉及很多全新的领域,且发展又日新月异,再加上作者水平有限,对书中的错误与不妥,恳请广大读者批评指正。

蒋建飞

2006 年 5 月于上海

目录

第1章 微米芯片	1
1.1 引言	1
1.2 电子管的发明	8
1.3 晶体管的发明	9
1.4 微米芯片	13
1.4.1 微米芯片的诞生	13
1.4.2 电子器件百年史	16
1.4.3 微米芯片实例	19
1.5 Moore 定律	22
1.6 材料的选择	27
1.7 器件结构的创新	32
1.7.1 微米芯片的关键技术	32
1.7.2 双极型晶体管	33
1.7.3 异质结双极型晶体管	36
1.7.4 MOS 场效应晶体管	37
1.7.5 异质结场效应晶体管	41
1.7.6 双极-CMOS 器件	44
1.8 制造技术的创新	46
1.8.1 薄膜制备技术	48
1.8.2 图形发生技术	73
1.8.3 双极-CMOS 技术工程	75
第2章 MOS 纳米芯片	81
2.1 引言	81
2.2 特征长度	85
2.3 MOS 纳米芯片的发展	89
2.4 MOS 纳米芯片的基本技术工程	93
2.4.1 双阱工程	93
2.4.2 浅槽隔离工程	97
2.4.3 多晶硅栅工程	99
2.4.4 轻掺杂源/漏区注入工程	100

2.4.5	侧墙形成工程	102
2.4.6	高掺杂源/漏区注入工程	103
2.4.7	接触孔金属形成工程	104
2.4.8	互连工程	105
2.5	180 nm 技术节点纳米芯片	113
2.6	130 nm 技术节点纳米芯片	122
2.6.1	双阈值电压 CMOS 芯片	122
2.6.2	高密度 Etox TM 快闪存储器	130
2.7	90 nm 技术节点纳米芯片	138
2.7.1	应变硅 CMOS 晶体管	138
2.7.2	90 nm 技术节点纳米芯片的互连	146
2.7.3	90 nm 技术节点纳米芯片实例	150
2.8	65 nm 技术节点纳米芯片	153
2.8.1	增强型应变硅 CMOS 晶体管	154
2.8.2	193 nm 波长和交互相移掩膜相结合的光刻技术	161
2.8.3	65 nm 技术节点互连	162
2.8.4	65 nm 技术节点原型纳米芯片	164
2.9	45 nm、32 nm、22 nm 技术节点纳米芯片	165
2.10	数字和模拟兼容纳米芯片	169
2.10.1	电路和工艺流程	170
2.10.2	高压 RF 模拟 CMOS	171
2.10.3	SiGe HBT	175
2.10.4	无源元件	177
2.10.5	测试电路	181
第3章	纳米芯片的候选器件和工程技术	183
3.1	引言	183
3.2	MOS 纳米器件发展中的关键制约因素	184
3.3	ITRS 建议的非经典候选 MOS 纳米晶体管	188
3.3.1	增强输运 CMOS 纳米晶体管	195
3.3.2	超薄体 SOI CMOS 纳米晶体管	195
3.3.3	源和漏电极工程	201
3.3.4	N 栅($N > 2$) MOSFET	201
3.3.5	双栅 MOSFET	201

3.4 Intel 研究的非经典候选 MOS 纳米晶体管	212
3.4.1 候选三栅 MOS 纳米晶体管	214
3.4.2 候选纳米线 MOS 晶体管	217
3.4.3 候选纳米管 MOS 晶体管	218
3.4.4 候选 III-V FET 器件	222
3.5 非 MOS 候选纳米器件	227
3.5.1 光子晶体器件	227
3.5.2 快速单磁通量子器件	228
3.5.3 自旋器件	231
3.6 控制栅革新工程	237
3.6.1 栅氧的按比例缩小	237
3.6.2 高 k 介质材料	241
3.6.3 金属栅	245
3.6.4 候选纳米器件中高 k 栅介质和金属栅的作用	246
3.7 源和漏革新工程	256
3.7.1 源/漏工程	257
3.7.2 超浅结的形成	257
3.7.3 SDE 的按比例缩小	259
3.7.4 最小的 SDE 对栅的交叠	259
3.7.5 最小化的 SDE 结深	261
3.8 沟道和衬底革新工程	262
3.8.1 倒掺杂阱工程	263
3.8.2 SSRW 的基本原理	266
3.8.3 Halo 工程	267
3.8.4 Halo 阱工程杂质剖面的基本原理	268
3.8.5 电源电压和阈值电压的选择因素	270
3.8.6 绝缘层上的 Si 单晶衬底	272
3.8.7 高迁移率沟道工程	274
3.9 互连革新工程	289
3.9.1 互连对时间延迟和功耗的影响	291
3.9.2 互连的低 k 介质膜	293
3.9.3 Cu 互连	295
3.9.4 65 nm 和 45 nm 技术节点的互连	301
3.9.5 可能的候选互连	307

3.10	光刻革新工程.....	309
3.11	清洗革新工程.....	314
3.12	非传统纳米芯片制造技术.....	315
3.13	纳米芯片制造技术评述.....	318
第4章 候选纳米电子器件原理.....		325
4.1	引言	325
4.2	MOS 器件物理概要	325
4.2.1	能带论概念和载流子迁移率	325
4.2.2	经典 MOS 器件物理概要	328
4.2.3	MOS 纳米晶体管中沟道原子数	330
4.2.4	非经典 MOS 纳米晶体管的量子效应	330
4.3	MOS 器件准 2D 分析模型	334
4.3.1	超短沟道效应	334
4.3.2	准 2D 分析模型	335
4.4	弹道纳米 MOS 器件理论	352
4.4.1	器件物理	353
4.4.2	精简分析模型	357
4.4.3	分子场效应晶体管	364
4.4.4	分析和讨论	367
4.5	纳米 MOS 器件精简分析散射模型	372
4.5.1	精简分析散射模型	373
4.5.2	背散射系数	376
4.5.3	精简分析散射模型的检验	377
4.5.4	分析和讨论	381
4.6	共振隧穿器件原理	388
4.6.1	双势垒结构	388
4.6.2	双势垒结构传输系数	393
4.6.3	隧穿时间	404
4.6.4	RTD 的电流特性	406
4.6.5	多峰谷 RTD	417
4.6.6	共振隧穿双极晶体管	419
4.6.7	多态共振隧穿双极晶体管	424
4.6.8	共振隧穿热电子晶体管	428

4.6.9 超晶格基区晶体管	431
4.6.10 共振隧穿模式中的单电子晶体管	434
4.6.11 共振隧穿效应电路	447
第5章 候选纳米芯片	464
5.1 引言	464
5.2 散热能力是电子型纳米芯片的最终限制	466
5.2.1 按比例缩小规则的预测和 Heisenberg/SNL 模型	466
5.2.2 逻辑开关的物理模型	468
5.2.3 散热的限制	471
5.2.4 理论模型和现实的比较	473
5.3 候选存储器	475
5.3.1 候选存储器的分类和性能	480
5.3.2 浮体 DRAM	481
5.3.3 单电子与少数几个电子存储器	487
5.3.4 3D 可编程存储器	514
5.3.5 分子存储器	515
5.3.6 相变存储器	519
5.3.7 铁电存储器 FeRAM	525
5.3.8 磁存储器 MRAM	528
5.3.9 电阻随机存储器 RRAM	532
5.3.10 静态数据存储器 ESTOR	533
5.4 候选逻辑电路	536
5.4.1 共振隧穿器件 RTD	543
5.4.2 量子蜂窝式自动装置 QCA	544
5.4.3 量子线器件 QWD	545
5.4.4 单电子器件 SED	546
5.4.5 单分子器件 SMD	547
5.4.6 快速单磁通量子器件 RSFQD	548
5.4.7 自旋器件 SD	549
5.5 候选体系机构	550
5.5.1 纳米尺度蜂窝式阵列平行格栅	553
5.5.2 过错容忍体系机构	555
5.5.3 由生物学获得灵感的体系机构	556

5.5.4 相干量子计算	558
5.6 候选纳米材料	559
5.6.1 候选纳米材料的性质	560
5.6.2 候选纳米材料的综合	561
5.6.3 候选纳米材料的表征	563
5.7 候选纳米芯片的评估	565
5.7.1 功能比较	566
5.7.2 临界评论	570
5.7.3 风险评估	573
附录 缩写和英汉对照.....	579
主要符号表.....	587

第 4 章 候选纳米电子器件原理

4.1 引言

纳米电子器件是指以电子或电荷为输运机制的纳米器件。这类器件中最基本、最现实的候选例子是纳米 MOS 器件和化合物,特别是Ⅲ-V 族半导体量子效应器件,当然,单电子及少数几个电子器件、人造原子和分子器件也是重要的候选纳米电子输运器件。本书仅基于候选纳米芯片可能的发展需求,描述候选纳米 MOS 器件和Ⅲ-V 族半导体量子效应器件的原理。有关纳米 MOS 器件,作者在《纳电子学导论》^[1]一书中曾经描述了它们的实验型器件结构、特性、按比例缩小法则、BSIM-4 模型和基本的逻辑与模拟电路结构,对于这些内容有兴趣的读者可参阅该书。这里要讨论的主要是候选纳米 MOS 器件的准 2D 分析模型、精简弹道输运理论和散射理论。后两个理论的适用范围不仅是候选硅纳米 MOS 器件,甚至还包括候选分子纳米 MOS 器件。但限于本书篇幅,这种描述只能是基本的和简洁的,在此之前将给出 MOS 器件物理概要。对于Ⅲ-V 族半导体量子效应器件,将主要阐述共振隧穿器件,它们主要包括共振隧穿二极管和共振隧穿晶体管。共振隧穿晶体管有多种工作模式,包括双极型、热电子型、超晶格基区型和单电子型等。最后还描述了相应的共振隧穿电路。对于具有代表性的候选纳米器件的物理和模拟的系统及深入的论述可参阅作者在科学出版社已经出版或者待出版的纳电子学领域著作的相关专册。

4.2 MOS 器件物理概要^[2]

4.2.1 能带论概念和载流子迁移率

自由空间中的粒子能量 E 和动量 p 有如下的基本关系式:

$$E = p^2/2m \quad (4.2.1)$$

式中: $p = mrv$, $v = at$; $E = (1/2)mrv^2$; $m = \left(\frac{d^2E}{dp^2}\right)^{-1}$ ——自由粒子的质量。

图 4.2.1 显示了自由粒子能量上的质量效应,与此相关的表达式有

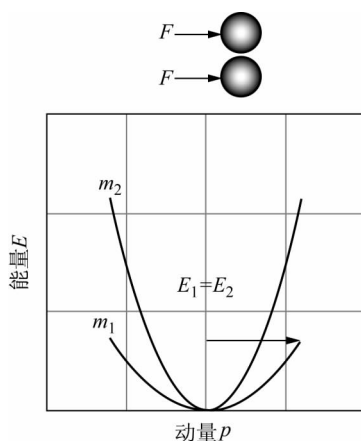


图 4.2.1 自由粒子能量上的质量效应

$$F = ma, E_1 = p_1^2/2m_1, E_2 = p_2^2/2m_2;$$

$$E_1 = E_2, p_1 > p_2 \Rightarrow m_1 > m_2 \quad (4.2.2)$$

图 4.2.2(a)展示的是自由粒子的直接能隙；(b)给出的是间接能隙，或称动量偏移。能隙也称禁带。

在晶体中运动的粒子具有关系式

$$F = m^* a \quad (4.2.3)$$

式中： $m^* = \hbar^2 / (d^2 E / dk^2)$ ——有效质量，这是个很重要的概念。

能带理论为电子器件的构建和传导特性的描述提供了基础。当把原子集合在一起时，在适当的条件下构成有规则的结构，则称为固体晶体。当外部电子轨道相交叠，则形成能带。当两个最

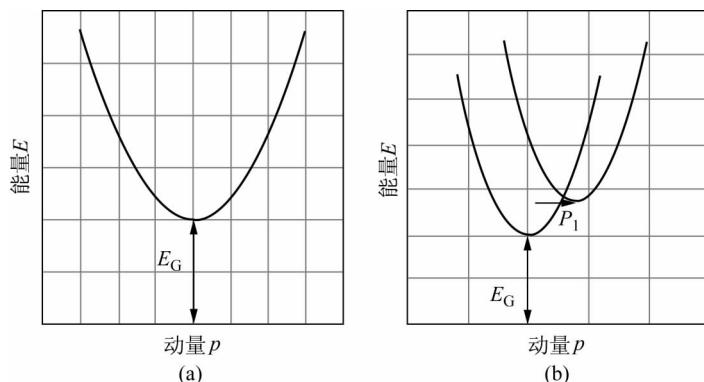


图 4.2.2 自由粒子的直接能隙(a)和间接能隙(b)

外层的能带交叠(双重)且含有许多电子时，则构成高传导性金属。当两个最外层的能带远离，则构成不能导电(或传导性极差)的绝缘体。当两个最外层的能带接近，但保持距离，则构成中等传导性的半导体(所谓传导性是指可能传导电流)。

图 4.2.3 示出了固体的能带结构。图 4.2.4 为电子在晶体中运动的示意图。注意到甚至在纳米尺度相当宽的范围内电子器件迁移率特性在纳米器件物理的描述中有极其重要的意义，所以有必要给出其定量表示。

晶体中电子迁移率可以表示为

$$\mu_E = q\tau / (2m^*) \quad (4.2.4)$$

此式可由以下关系演化而得：

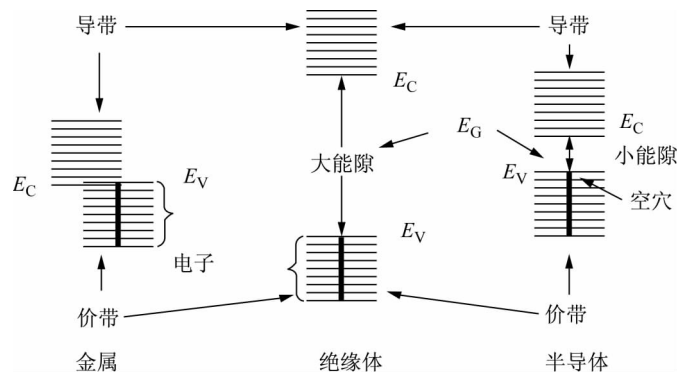


图 4.2.3 固体的能带结构

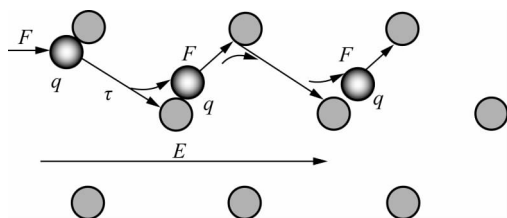


图 4.2.4 电子在晶体中运动的示意图

$$F = m^* a = qE \Rightarrow a = qE/m^* \Rightarrow V_{\max} = a\tau = (qE/m^*)\tau \quad (4.2.5)$$

$$\Rightarrow \langle v \rangle = [0 + V_{\max}]/2 = (q\tau/(2m^*))E = \mu_E \cdot E$$

图 4.2.5 给出了直接带隙和间接带隙半导体的电子迁移率随带隙 E_G 减小而增加的关系。

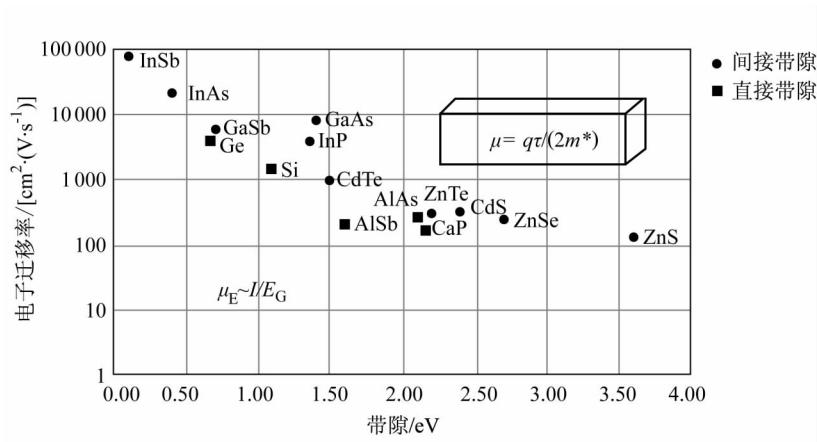


图 4.2.5 半导体的电子迁移率与带隙的关系

4.2.2 经典 MOS 器件物理概要

当在 MOS 结构(电容器)上外加栅电压以后在半导体表面首先出现耗尽层, 如图 4.2.6 所示。其厚度

$$x_D = [2\epsilon_0\epsilon_{Si}\Phi_S/(qN_A)]^{1/2} \quad (4.2.6)$$

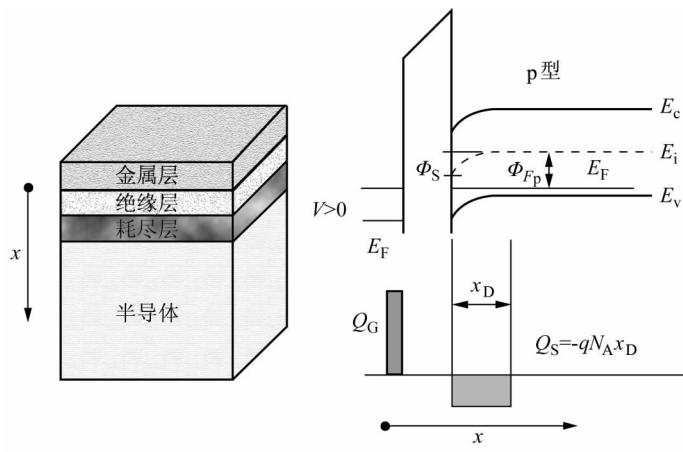


图 4.2.6 MOS 结构中半导体表面的耗尽层能带图

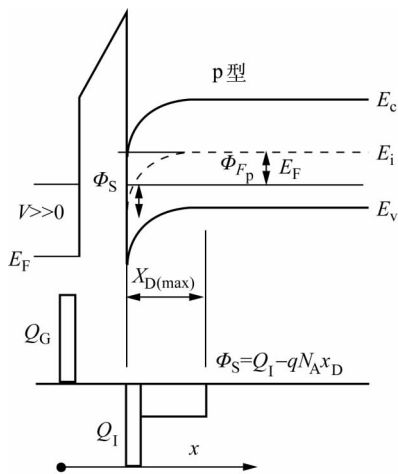


图 4.2.7 MOS 结构中反型层的能带结构

式中: ϵ_{Si} ——Si 的相对介电常数; Φ_S ——半导体表面势, 可以表示为

$$\Phi_S = qN_A x_D^2 / (2\epsilon_0\epsilon_{Si}) \quad (4.2.7)$$

这里 N_A 是 p 型半导体的受主杂质浓度。此时半导体表面的电荷

$$Q_S = -qN_A x_D \quad (4.2.8)$$

进一步外加栅电压, MOS 结构中半导体表面出现强反型层, 能带结构如图 4.2.7 所示, 此时耗尽层厚度达到最大值 $x_{D(max)}$, 其表达式为

$$x_{D(max)} = [2\epsilon_0\epsilon_{Si}(2\Phi_{Fp})/(qN_A)]^{1/2} \quad (4.2.9)$$

强反型层的表面势

$$\Phi_S(inv) = 2\Phi_{Fp} \quad (4.2.10)$$

此时表面电荷

$$Q_S = Q_I - Q_D \quad (4.2.11)$$

式中: Q_1 ——反型层电荷;

$Q_D = -qN_A x_{D(\max)}$ ——强反型时耗尽层电荷。

当金属(M)-绝缘体(SiO_2)-半导体(Si)构成 MOS 结构(如 n-MOS)后,不加栅电压时,因为 M 和 Si 之间存在着接触电势差,也即功函数差 Φ_{MS} ,将使能带发生向下弯曲(如图 4.2.8(a)所示),要使能带变平(如图 4.2.8(b)所示),必须外加一个栅电压,其大小正好等于金属的功函数 Φ_M 和半导体的功函数 Φ_{Si} 之差,而这个栅电压亦称平带电压 V_{FB} ,即有

$$\Phi_{MS} = \Phi_M - \Phi_S = V_{FB} \quad (4.2.12)$$

MOS 晶体管的阈值电压 V_{TH} 是开启电压和夹断电压的总称。对于增强型管是指漏-源电压为零时产生导电沟道所需的栅极电压(称为开启电压)。而对于耗尽管,因为栅电压为零时已存在导电沟道,故漏-源电压为零时使导电沟道消失所需的栅极电压,称为夹断电压。

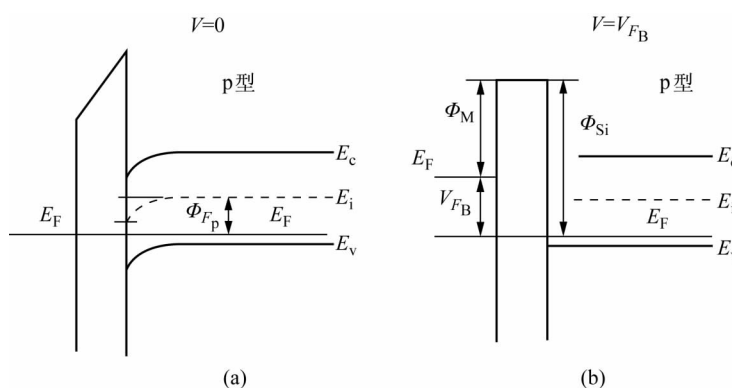


图 4.2.8 MOS 结构的功函数之差和平带电压

阈值电压通常由三部分组成,如下式所示:

$$V_{TH} = V_{FB} + 2\Phi_{Fp} + [2\epsilon_0\epsilon_S q N_A (2\Phi_{Fp})]^{1/2} / C_{OX} \quad (4.2.13)$$

其一为能带平坦化的平带电压 V_{FB} ,其二为使表面发生强反型、形成导电沟道时的表面势 $\Phi_S(\text{inv}) = 2\Phi_{Fp}$,其三是强反型时耗尽层电荷 Q_D 对应的栅电压。

MOS 晶体管的饱和区电流

$$I_{DSAT} \sim \frac{1}{2} \mu C_{OX} \left(\frac{W}{L_G} \right) (V_G - V_{TH})^2 \quad (4.2.14)$$

带负载的 MOS 晶体管的栅延迟 τ_G ,最高频率 $f_{\max}$ 和功耗 P 分别为

$$\tau_G = V_{DD} C_{OX} / I_{DSAT} \quad (4.2.15)$$

$$f_{\max} = \frac{1}{\tau_G} = I_{DSAT} / (V_{DD} C_{OX}) \quad (4.2.16)$$

$$P = V_{DD} I_{DSAT} = V_{DD} (V_{DD} C_{OX}) / \tau_G = V_{DD}^2 C_{OX} f_{max} \quad (4.2.17)$$

表 4.2.1 示出了 MOS 晶体管主要特性的最优化所期望的结构和物理参数的最大化(箭头向上)和最小化(箭头向下)趋势。而通常采取的切实具体优化措施为:为了优化 I_{DSAT} , 需要减小 L_G 和 C_{OX} ; 为了优化 f_{max} , 需要减小 X_j ; 为了优化 P , 需要减小 V_{DD} ; 为了优化 I_{OFF} 和 V_{TH} , 需要增加掺杂; 为了优化闭锁上升(Latch Up)和软误差(Soft Error), 需要优化阱。

表 4.2.1 影响 MOS 晶体管主要特性的结构和物理参数

MOS 晶体管	L_G	μ_E	C_{OX}	V_{DD}	V_{TH}
$I_{DSAT} \sim \frac{1}{2} \mu_E C_{OX} \left(\frac{W}{L_G} \right) (V_G - V_{TH})^2, V_{TH} \sim V_{FB} + 2\Phi_{FP}$	↓	↑	↑	↑	↓
$f_{max} = I_{DSAT} / (V_{DD} C_{OX})$			↓	↓	
$P = V_{DD}^2 C_{OX} f_{max}$			↓	↓	
$I_{OFF} \rightarrow V_{P_T} = L_G^2 q N_A / (2\epsilon_0 \epsilon_{Si})$	↑				↑

综上所述,描述 MOS 晶体管的基本参数是 I_{DSAT} , f_{max} , P , I_{OFF} 和 V_{TH} 。减小 L_G , 对提高频率 f_{max} 有决定性作用。减小 V_{DD} , 可使 P 最小化。要减小 I_{OFF} , 既要较高的掺杂, 又要增大 L_G 。 V_{TH} 由表面掺杂和栅对 Si 传导的功函数差控制。

4.2.3 MOS 纳米晶体管中沟道原子数

在此计算一下 Si MOS 纳米晶体管中沟道中原子数。假定这个沟道的长度为 10 nm, 宽度为 10 nm, 厚度为 5 nm, 则沟道体积为 $10 \times 10 \times 5 \text{ nm}^3 = 500 \text{ nm}^3$ 。 $1 \text{ cm} = 10^7 \text{ nm}$, 对于 Si 每立方厘米体积中有原子数为 $5 \times 10^{22} \text{ Atoms/cm}^3$ 。本沟道中总的原子数为 $(5 \times 10^{22} \times 500 \times 10^{-21}) = 25000$ 个, 每立方厘米掺杂原子数为 $10^{19} \text{ Atoms/cm}^3$, 本沟道中总的掺杂原子数只有 $(10^{19} \times 500 \times 10^{-21}) = 5$ 。阈值电压 V_{TH} 必须经过 Φ_{MS} 进行调节。

4.2.4 非经典 MOS 纳米晶体管的量子效应

这里所述的非经典 Si MOS 纳米晶体管中量子效应主要包括: 导带有多个子带组成, 较低能量的子带有较小的 m^* , 因而有较大的 μ_E , 较高能量的子带有较大的 m^* , 因而有较小的 μ_E ; 把 UTB SOI MOS 晶体管沟道厚度减至 10 nm 以下, 能级分裂成子带更为明显, 较小 m^* 的子带有较高的电子占有, 因而有较大的 μ_E 、较小的反型层宽度、较大的电容 C_{INV} ; 应变 Si, 如 SiGe, 同样会导致能级分裂成子带, 较小 m^* 的子带有较高的电子占有, 因而有较大的 μ_E 。这些效应中的大部分, 在第

3 章中已有所描述,在此仅简单列出。

图 4.2.9 展示了由于多晶硅栅中的耗尽层引起的电容分量 C_{pd} , 这将减小栅控总电容。为排除多晶硅耗尽层, 必须使用金属栅。

图 4.2.10 给出的正是图 3.8.28 中见到的 n-MOS 纳米晶体管 Si(100) 面上反型层的子带等能面及其谷结构的物理特性。 E_c, E_0, E'_0 分别是导带端的能量, 二重简并谷的基底子带能量和四重简并谷的基底子带能量。由于在硅的导带中有效

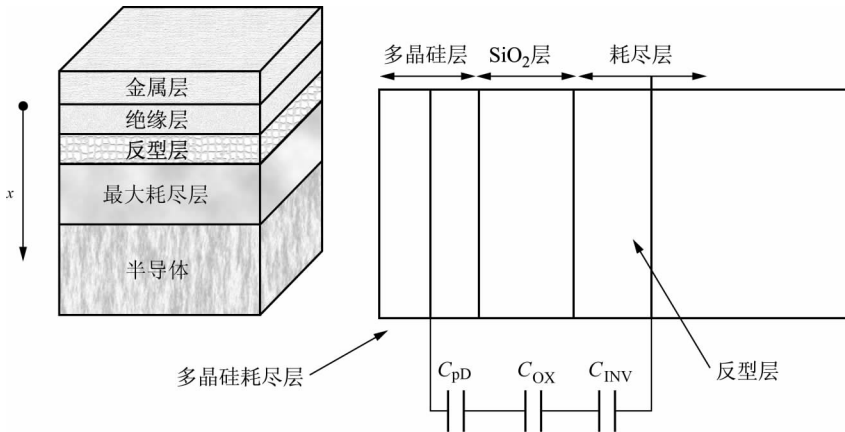


图 4.2.9 多晶硅栅 MOS 晶体管总栅控电容的减小和为排除多晶硅栅耗尽层电容而必须使用金属栅

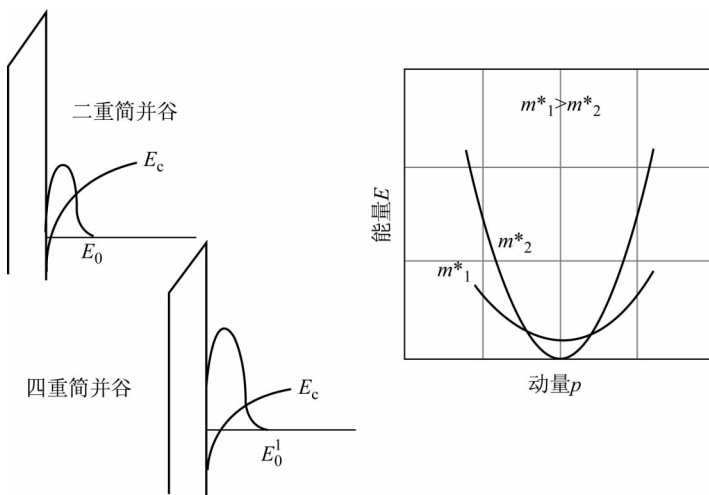


图 4.2.10 硅的导带中有效质量是各向异性的, 因而二重简并谷和四重简并谷间的物性是不相同的

质量是各向异性的,因而二重简并谷和四重简并谷间的物性是不相同的。比较轻的 m^* 表明有较高的 μ_E ,因而 MOS 纳米晶体管有更快的速度。

同样沟道厚度 T_{SOI} 效应也反映在子能带工程中,如图 4.2.11 所示。 E_0^1 随量

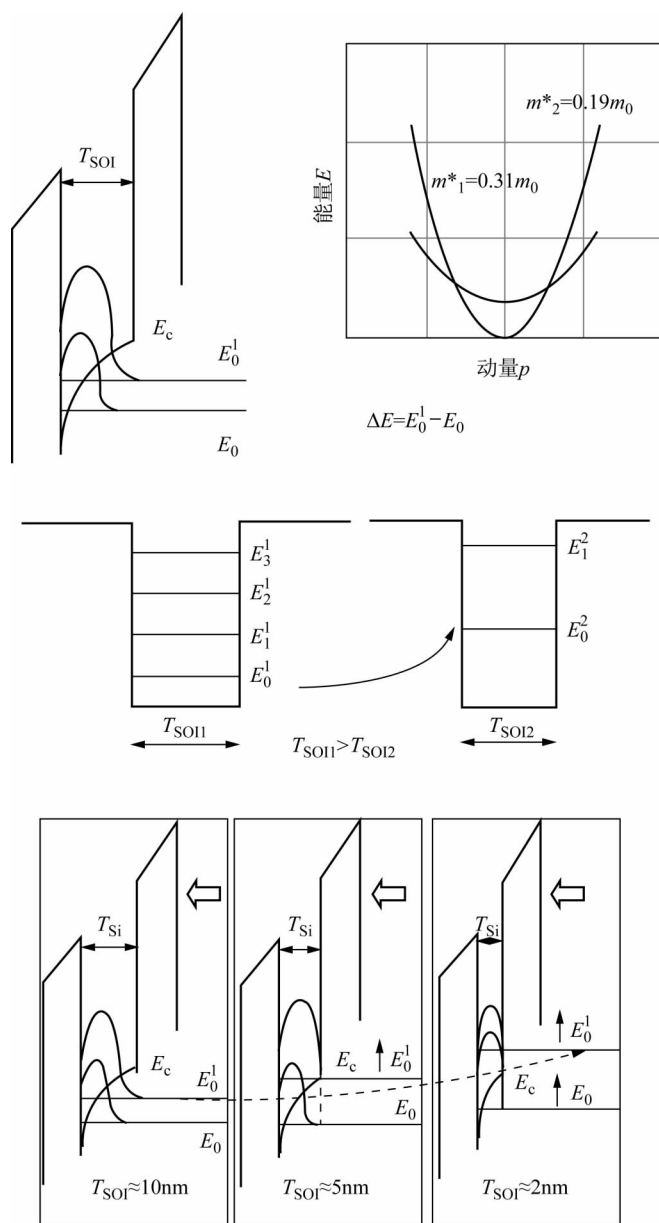


图 4.2.11 MOS 纳米晶体管的沟道厚度 T_{SOI} 效应在子能带上的反映