

国家“十五”重点图书  
微米纳米科学与技术丛书

# 纳米芯片学

蒋建飞 编著

上海交通大学出版社

## 内 容 提 要

本书包括芯片技术发展的历史、现状和可能的未来。首先回顾了器件栅长在 100 nm 以上的硅 CMOS 存储器、逻辑电路和微处理器等微米芯片核心技术。然后论述了 100 nm 至 3 nm 栅长现实的和可能的存储器、逻辑电路和微处理器纳米芯片技术,比较了从微米芯片到纳米芯片发展中每次升级所必须进行的器件结构和工艺技术的创新。进而探讨了电子输运基存储器、逻辑电路和微处理器发展的终极限制的根本要素,介绍和评述了各类非电子输运基存储器、逻辑电路和微处理器器件的结构和原理及其所遇到的挑战,并进行了发展风险的评估。

本书是系统地论述纳米芯片技术的重要学术著作,可作为从事纳米尺度大规模集成电路芯片和从事纳电子科学技术及纳米科学和技术与相关学科的科学家的参考书,也可供相关专业研究生研读。

图书在版编目(CIP)数据

纳米芯片学/蒋建飞编著. —上海:上海交通大学出版社,2007

(微米纳米科学与技术丛书)

国家“十五”重点图书/上海交通大学学术著作出版基金资助项目

ISBN978-7-313-04976-6

I. 纳... II. 蒋... III. 纳米材料—芯片  
IV. TB383

中国版本图书馆 CIP 数据核字(2007)第 148715 号

纳米芯片学

蒋建飞 编著

上海交通大学出版社出版发行

(上海市番禺路 877 号 邮政编码 200030)

电话:64071208 出版人:韩建民

昆山市亭林印刷有限责任公司 印刷 全国新华书店经销

开本:787mm×960mm 1/16 印张:37.5 插页:4 字数:712 千字

2007 年 12 月第 1 版 2007 年 12 月第 1 次印刷

印数:1~2 050

ISBN978-7-313-04976-6/TB·089 定价:70.00 元

---

版权所有 侵权必究

# 前言

随着半导体大规模集成电路芯片研究和生产进入纳电子学时代,纳电子工业获得了迅速的发展,而这种发展的核心技术是纳米芯片,100 nm 栅长以下的纳米芯片已经广泛地应用在计算机、通信系统和家用及个人数据与声音电子设备中。基于这个发展背景,系统地论述纳米芯片技术对本领域的发展有十分重要的意义。

本书系统地论述了芯片技术发展的历史、现状和可能的未来。首先回顾了器件栅长在 100 nm 以上的硅 CMOS 存储器、逻辑电路和微处理器等微米芯片核心技术。然后论述了 100 nm 至 3 nm 栅长现实的和可能的存储器、逻辑电路和微处理器纳米芯片技术,比较了从微米芯片到纳米芯片发展中每次升级所必须进行的器件结构和工艺技术的创新。进而探讨了电子输运基存储器、逻辑电路和微处理器发展的终极限制的根本要素,介绍和评述了各类非电子输运基存储器、逻辑电路和微处理器器件的结构和原理及其所遇到的挑战,并进行了发展风险的评估。

对各类候选器件、存储器、逻辑电路和微处理器等芯片的发展前景的描述不持先验性观点,虽然方案繁多,并且还会不断有新的发展,但叙述的要点是基于现有的实验或模拟结果评估其竞争力,强调以其自然的优胜劣汰决定其最后的生存与否。作者在书中坚持的是所有发展最终必须以硅为平台或者说与其兼容。

本书不仅系统地论述了纳米芯片学的基本原理、发展概要、客观评介现状,并且展示出多方位的未来研究课题,有利于研究者深入探讨。

在本书出版之际,我要衷心感谢上海交通大学学术著作专项出版基金的资助。

我要真诚地感谢蔡琪玉副教授及我们的全体博士和硕士研究生,特别是胡潮红博士所提供的最热心帮助。在和他们相处的时间内,雷打不动的多年定期的师生“纳电子学学术研讨会”从另一个侧面为本书编著提供了支持。最后我还要感谢蒋惠玲博士和蒋惠敏在本书编著中所给予的热心帮助。

在本书编著过程中,参阅了大量文献和专著,谨对这些作者表示真切的谢意。特别应该指出的是 Intel 公司的 R. Chau, P. Gargini, G. Bourianoff, M. Bohr, K. David, S. Datta, S. Chou, S. Thompson, J. M. Maiz, K. Kuhn, J. A. Maiz, P. Bai 等博士的研究文献对本书的编著有很大的帮助。

本书是国家“十五”重点图书,书中系统地论述了纳米芯片学的原理和技术,可作为从事纳米尺度大规模集成电路芯片和从事纳电子及纳米科学技术与相关学科的科学家、工程师、教师的参考书,也可供相关专业博士和硕士研究生研读。

本书是“微米纳米科学与技术丛书”之一,也是作者迄今在纳电子学领域的三部著作之一,其他两部为《纳电子学导论》(科学出版社,2006)、《单电子学》(科学出版社,2007)。

虽然对书稿历经多次修改和校正,由于涉及很多全新的领域,且发展又日新月异,再加上作者水平有限,对书中的错误与不妥,恳请广大读者批评指正。

蒋建飞

2006 年 5 月于上海

# 目录

|                           |     |
|---------------------------|-----|
| 第1章 微米芯片 .....            | 1   |
| 1.1 引言 .....              | 1   |
| 1.2 电子管的发明 .....          | 8   |
| 1.3 晶体管的发明 .....          | 9   |
| 1.4 微米芯片 .....            | 13  |
| 1.4.1 微米芯片的诞生 .....       | 13  |
| 1.4.2 电子器件百年史 .....       | 16  |
| 1.4.3 微米芯片实例 .....        | 19  |
| 1.5 Moore 定律 .....        | 22  |
| 1.6 材料的选择 .....           | 27  |
| 1.7 器件结构的创新 .....         | 32  |
| 1.7.1 微米芯片的关键技术 .....     | 32  |
| 1.7.2 双极型晶体管 .....        | 33  |
| 1.7.3 异质结双极型晶体管 .....     | 36  |
| 1.7.4 MOS 场效应晶体管 .....    | 37  |
| 1.7.5 异质结场效应晶体管 .....     | 41  |
| 1.7.6 双极-CMOS 器件 .....    | 44  |
| 1.8 制造技术的创新 .....         | 46  |
| 1.8.1 薄膜制备技术 .....        | 48  |
| 1.8.2 图形发生技术 .....        | 73  |
| 1.8.3 双极-CMOS 技术工程 .....  | 75  |
| 第2章 MOS 纳米芯片 .....        | 81  |
| 2.1 引言 .....              | 81  |
| 2.2 特征长度 .....            | 85  |
| 2.3 MOS 纳米芯片的发展 .....     | 89  |
| 2.4 MOS 纳米芯片的基本技术工程 ..... | 93  |
| 2.4.1 双阱工程 .....          | 93  |
| 2.4.2 浅槽隔离工程 .....        | 97  |
| 2.4.3 多晶硅栅工程 .....        | 99  |
| 2.4.4 轻掺杂源/漏区注入工程 .....   | 100 |

|        |                                    |     |
|--------|------------------------------------|-----|
| 2.4.5  | 侧墙形成工程 .....                       | 102 |
| 2.4.6  | 高掺杂源/漏区注入工程 .....                  | 103 |
| 2.4.7  | 接触孔金属形成工程 .....                    | 104 |
| 2.4.8  | 互连工程 .....                         | 105 |
| 2.5    | 180 nm 技术节点纳米芯片 .....              | 113 |
| 2.6    | 130 nm 技术节点纳米芯片 .....              | 122 |
| 2.6.1  | 双阈值电压 CMOS 芯片 .....                | 122 |
| 2.6.2  | 高密度 Etox <sup>TM</sup> 快闪存储器 ..... | 130 |
| 2.7    | 90 nm 技术节点纳米芯片 .....               | 138 |
| 2.7.1  | 应变硅 CMOS 晶体管 .....                 | 138 |
| 2.7.2  | 90 nm 技术节点纳米芯片的互连 .....            | 146 |
| 2.7.3  | 90 nm 技术节点纳米芯片实例 .....             | 150 |
| 2.8    | 65 nm 技术节点纳米芯片 .....               | 153 |
| 2.8.1  | 增强型应变硅 CMOS 晶体管 .....              | 154 |
| 2.8.2  | 193 nm 波长和交互相移掩膜相结合的光刻技术 .....     | 161 |
| 2.8.3  | 65 nm 技术节点互连 .....                 | 162 |
| 2.8.4  | 65 nm 技术节点原型纳米芯片 .....             | 164 |
| 2.9    | 45 nm、32 nm、22 nm 技术节点纳米芯片 .....   | 165 |
| 2.10   | 数字和模拟兼容纳米芯片 .....                  | 169 |
| 2.10.1 | 电路和工艺流程 .....                      | 170 |
| 2.10.2 | 高压 RF 模拟 CMOS .....                | 171 |
| 2.10.3 | SiGe HBT .....                     | 175 |
| 2.10.4 | 无源元件 .....                         | 177 |
| 2.10.5 | 测试电路 .....                         | 181 |
| 第3章    | 纳米芯片的候选器件和工程技术 .....               | 183 |
| 3.1    | 引言 .....                           | 183 |
| 3.2    | MOS 纳米器件发展中的关键制约因素 .....           | 184 |
| 3.3    | ITRS 建议的非经典候选 MOS 纳米晶体管 .....      | 188 |
| 3.3.1  | 增强输运 CMOS 纳米晶体管 .....              | 195 |
| 3.3.2  | 超薄体 SOI CMOS 纳米晶体管 .....           | 195 |
| 3.3.3  | 源和漏电极工程 .....                      | 201 |
| 3.3.4  | $N$ 栅( $N > 2$ ) MOSFET .....      | 201 |
| 3.3.5  | 双栅 MOSFET .....                    | 201 |

|                                     |     |
|-------------------------------------|-----|
| 3.4 Intel 研究的非经典候选 MOS 纳米晶体管 .....  | 212 |
| 3.4.1 候选三栅 MOS 纳米晶体管 .....          | 214 |
| 3.4.2 候选纳米线 MOS 晶体管 .....           | 217 |
| 3.4.3 候选纳米管 MOS 晶体管 .....           | 218 |
| 3.4.4 候选 III-V FET 器件 .....         | 222 |
| 3.5 非 MOS 候选纳米器件 .....              | 227 |
| 3.5.1 光子晶体器件 .....                  | 227 |
| 3.5.2 快速单磁通量子器件 .....               | 228 |
| 3.5.3 自旋器件 .....                    | 231 |
| 3.6 控制栅革新工程 .....                   | 237 |
| 3.6.1 栅氧的按比例缩小 .....                | 237 |
| 3.6.2 高 $k$ 介质材料 .....              | 241 |
| 3.6.3 金属栅 .....                     | 245 |
| 3.6.4 候选纳米器件中高 $k$ 栅介质和金属栅的作用 ..... | 246 |
| 3.7 源和漏革新工程 .....                   | 256 |
| 3.7.1 源/漏工程 .....                   | 257 |
| 3.7.2 超浅结的形成 .....                  | 257 |
| 3.7.3 SDE 的按比例缩小 .....              | 259 |
| 3.7.4 最小的 SDE 对栅的交叠 .....           | 259 |
| 3.7.5 最小化的 SDE 结深 .....             | 261 |
| 3.8 沟道和衬底革新工程 .....                 | 262 |
| 3.8.1 倒掺杂阱工程 .....                  | 263 |
| 3.8.2 SSRW 的基本原理 .....              | 266 |
| 3.8.3 Halo 工程 .....                 | 267 |
| 3.8.4 Halo 阱工程杂质剖面的基本原理 .....       | 268 |
| 3.8.5 电源电压和阈值电压的选择因素 .....          | 270 |
| 3.8.6 绝缘层上的 Si 单晶衬底 .....           | 272 |
| 3.8.7 高迁移率沟道工程 .....                | 274 |
| 3.9 互连革新工程 .....                    | 289 |
| 3.9.1 互连对时间延迟和功耗的影响 .....           | 291 |
| 3.9.2 互连的低 $k$ 介质膜 .....            | 293 |
| 3.9.3 Cu 互连 .....                   | 295 |
| 3.9.4 65 nm 和 45 nm 技术节点的互连 .....   | 301 |
| 3.9.5 可能的候选互连 .....                 | 307 |

|                     |                          |     |
|---------------------|--------------------------|-----|
| 3.10                | 光刻革新工程.....              | 309 |
| 3.11                | 清洗革新工程.....              | 314 |
| 3.12                | 非传统纳米芯片制造技术.....         | 315 |
| 3.13                | 纳米芯片制造技术评述.....          | 318 |
| 第4章 候选纳米电子器件原理..... |                          | 325 |
| 4.1                 | 引言 .....                 | 325 |
| 4.2                 | MOS 器件物理概要 .....         | 325 |
| 4.2.1               | 能带论概念和载流子迁移率 .....       | 325 |
| 4.2.2               | 经典 MOS 器件物理概要 .....      | 328 |
| 4.2.3               | MOS 纳米晶体管中沟道原子数 .....    | 330 |
| 4.2.4               | 非经典 MOS 纳米晶体管的量子效应 ..... | 330 |
| 4.3                 | MOS 器件准 2D 分析模型 .....    | 334 |
| 4.3.1               | 超短沟道效应 .....             | 334 |
| 4.3.2               | 准 2D 分析模型 .....          | 335 |
| 4.4                 | 弹道纳米 MOS 器件理论 .....      | 352 |
| 4.4.1               | 器件物理 .....               | 353 |
| 4.4.2               | 精简分析模型 .....             | 357 |
| 4.4.3               | 分子场效应晶体管 .....           | 364 |
| 4.4.4               | 分析和讨论 .....              | 367 |
| 4.5                 | 纳米 MOS 器件精简分析散射模型 .....  | 372 |
| 4.5.1               | 精简分析散射模型 .....           | 373 |
| 4.5.2               | 背散射系数 .....              | 376 |
| 4.5.3               | 精简分析散射模型的检验 .....        | 377 |
| 4.5.4               | 分析和讨论 .....              | 381 |
| 4.6                 | 共振隧穿器件原理 .....           | 388 |
| 4.6.1               | 双势垒结构 .....              | 388 |
| 4.6.2               | 双势垒结构传输系数 .....          | 393 |
| 4.6.3               | 隧穿时间 .....               | 404 |
| 4.6.4               | RTD 的电流特性 .....          | 406 |
| 4.6.5               | 多峰谷 RTD .....            | 417 |
| 4.6.6               | 共振隧穿双极晶体管 .....          | 419 |
| 4.6.7               | 多态共振隧穿双极晶体管 .....        | 424 |
| 4.6.8               | 共振隧穿热电子晶体管 .....         | 428 |

|                                           |     |
|-------------------------------------------|-----|
| 4.6.9 超晶格基区晶体管 .....                      | 431 |
| 4.6.10 共振隧穿模式中的单电子晶体管 .....               | 434 |
| 4.6.11 共振隧穿效应电路 .....                     | 447 |
| 第5章 候选纳米芯片 .....                          | 464 |
| 5.1 引言 .....                              | 464 |
| 5.2 散热能力是电子型纳米芯片的最终限制 .....               | 466 |
| 5.2.1 按比例缩小规则的预测和 Heisenberg/SNL 模型 ..... | 466 |
| 5.2.2 逻辑开关的物理模型 .....                     | 468 |
| 5.2.3 散热的限制 .....                         | 471 |
| 5.2.4 理论模型和现实的比较 .....                    | 473 |
| 5.3 候选存储器 .....                           | 475 |
| 5.3.1 候选存储器的分类和性能 .....                   | 480 |
| 5.3.2 浮体 DRAM .....                       | 481 |
| 5.3.3 单电子与少数几个电子存储器 .....                 | 487 |
| 5.3.4 3D 可编程存储器 .....                     | 514 |
| 5.3.5 分子存储器 .....                         | 515 |
| 5.3.6 相变存储器 .....                         | 519 |
| 5.3.7 铁电存储器 FeRAM .....                   | 525 |
| 5.3.8 磁存储器 MRAM .....                     | 528 |
| 5.3.9 电阻随机存储器 RRAM .....                  | 532 |
| 5.3.10 静态数据存储器 ESTOR .....                | 533 |
| 5.4 候选逻辑电路 .....                          | 536 |
| 5.4.1 共振隧穿器件 RTD .....                    | 543 |
| 5.4.2 量子蜂窝式自动装置 QCA .....                 | 544 |
| 5.4.3 量子线器件 QWD .....                     | 545 |
| 5.4.4 单电子器件 SED .....                     | 546 |
| 5.4.5 单分子器件 SMD .....                     | 547 |
| 5.4.6 快速单磁通量子器件 RSFQD .....               | 548 |
| 5.4.7 自旋器件 SD .....                       | 549 |
| 5.5 候选体系机构 .....                          | 550 |
| 5.5.1 纳米尺度蜂窝式阵列平行格栅 .....                 | 553 |
| 5.5.2 过错容忍体系机构 .....                      | 555 |
| 5.5.3 由生物学获得灵感的体系机构 .....                 | 556 |

|                       |     |
|-----------------------|-----|
| 5.5.4 相干量子计算 .....    | 558 |
| 5.6 候选纳米材料 .....      | 559 |
| 5.6.1 候选纳米材料的性质 ..... | 560 |
| 5.6.2 候选纳米材料的综合 ..... | 561 |
| 5.6.3 候选纳米材料的表征 ..... | 563 |
| 5.7 候选纳米芯片的评估 .....   | 565 |
| 5.7.1 功能比较 .....      | 566 |
| 5.7.2 临界评论 .....      | 570 |
| 5.7.3 风险评估 .....      | 573 |
| 附录 缩写和英汉对照.....       | 579 |
| 主要符号表.....            | 587 |

# 第 1 章 微米芯片

## 1.1 引言

如果把发明第一个单片集成电路的时间——1959 年定为第一个半导体芯片（或称微米芯片）的诞生期，则已是近半个世纪之前的事<sup>[1]</sup>。随后经历了从小规模到中规模到大规模到超大规模直至极大规模的发展历程。小规模集成电路（Small scale integration circuit, SSI）盛行于 20 世纪 60 年代前期，每个芯片集成的元、器件数在 2~50 个之间。中规模集成电路（Medium scale integration circuit, MSI）盛行于 20 世纪 60 年代到 70 年代的前期，每个芯片集成的元、器件数在 50~5 000 个之间。大规模集成电路（Large scale integration circuit, LSI）盛行于 20 世纪 70 年代前期到 70 年代后期，每个芯片集成的元、器件数在 5 000~100 000 个之间。超大规模集成电路（Very large scale integration circuit, VLSI）盛行于 20 世纪 70 年代后期到 90 年代初期，每个芯片集成的元、器件数在 100 000~1 000 000 个之间。极大规模集成电路（Ultra large scale integration circuit, ULSI）盛行于 20 世纪 90 年代后期到 20 世纪末，每个芯片集成的元、器件数大于 1 000 000。从 2000 年开始进入纳米芯片时代。

根据现在普遍的观点，把结构或器件的特征长度降至 0.1~100 nm 时在广义上就称其为纳米结构和纳米器件似乎已成为基本的共识。作者为了更具体地表述这一概念，曾建议把 0.1~1.0 nm 特征长度的器件称为亚纳米器件，把 1.0~10 nm 特征长度的器件称为纳米器件，把 10~100 nm 特征长度的器件称为准纳米器件<sup>[2]</sup>。这种建议也可以看作为狭义纳米尺度的表述。同样，可以认为 100 nm (0.1  $\mu\text{m}$ )~100 000 nm (100  $\mu\text{m}$ ) 特征长度的器件广义上称为微米器件。进而分成 0.1~1.0  $\mu\text{m}$  特征长度的器件称为亚微米器件，1.0~10  $\mu\text{m}$  特征长度的器件称为微米器件，10~100  $\mu\text{m}$  特征长度的器件称为准微米器件。由以上各特征长度器件相应构成的芯片分别称为准微米芯片、微米芯片、亚微米芯片、准纳米芯片、纳米芯片和亚纳米芯片。图 1.1.1 示出了各种芯片开始或预期开始生产的大约时间。没有给出各芯片终止生产的时间，主要是因为即使是分立器件，在半个世纪后的今天仍然存在。尽管这种器件的类型和性能已经和当年生产的大不一样，但它表明应用领域有这种需求，有些有特种性能要求的器件也可能由于当前存在集成化制

造上的难度,或成本的不合算,其他 SSI、MSI、LSI、VLSI 和 ULSI 均是同样道理。

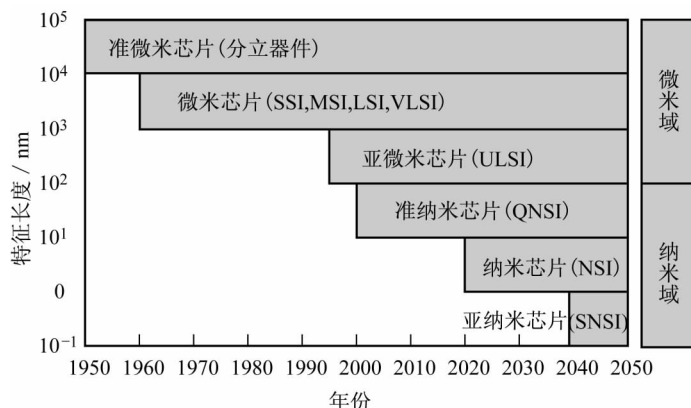


图 1.1.1 各种芯片开始或预期开始生产的大约时间

现在微米芯片和亚微米芯片的生产已经成熟。准纳米芯片 (Quasi-nano chip, 或 Quasi-nanoscale integrated, QNSI) 的生产和研究正在加速进行, 对其 10 nm 栅长器件芯片的技术对策日趋明朗。纳米芯片 (Nano chip 或 Nanoscale integrated, NSI) 和亚纳米芯片 (Sub-nanoscale integrated, SNSI) 在材料类型、器件结构和制造技术的选择上将更具有挑战性。但似乎已经逐步明朗的是 Moore(莫尔)定律将继续支配纳米芯片和亚纳米芯片的发展; 或者说, 纳米芯片和亚纳米芯片的发展将会继续支撑 Moore 定律的生命力。人们预期, Moore 定律的寿命将会远远超过纯硅 CMOS 时代, 目前对这个时间的估计约为 2050 年<sup>[3]</sup>, 但硅或许永远不会退出芯片世界的舞台, 最大的可能是改变其原来基本上独唱的地位, 变成多种方案的联合演出。这多种方案从器件结构的角度而言, 将有可能从仅用电荷作为信息的载体变成使用多种物理态。它们可能包括:

- 单磁通量子态;
- 光子态;
- 核子态;
- 自旋态;
- 相位态;
- 机械形变态;
- 偶极子取向态;
- 分子态;

等等。而对使用这些态的器件结构的选择依据必须由其

- 可测量性；
- 性能的竞争力；
- 能量效率；
- 增益；
- 工作的可靠性；
- 室温下工作；

等等因素决定。

由于硅来自地球甚至宇宙中取之不尽的沙子,因此经过半个世纪的研究和开发,已经对其制备技术、性能和应用有了充分的认识,它在芯片工业中的地位将会具有类似于钢铁在人类生产和生活中的作用。在未来纳米芯片中引进的任何新材料、新器件结构和新工艺技术要想具有竞争力,都必须考虑能和硅或 CMOS 兼容。

亚纳米芯片中深亚纳米芯片部分已进入原子尺度,这就加剧了对更小尺寸器件结构研究的挑战。然而,作者认为基于对人类认识自然界和改造自然界永无止境的信念,随着对基础科学和工程技术更深入的研究和创新,芯片的发展或许最终还不会停止在亚纳米芯片阶段,也可能向 pm ( $10^{-12}$  m),甚至 fm ( $10^{-15}$  m) 的芯片发展。当然,这要由未来的研究去审视了。为了对较大跨度的长度量有一比较,图 1.1.2 给出一些在本书中感兴趣的特征长度。这里的 pm 是指 picometre(称皮米)。fm 是指 femtometre(称飞米)。

在正式对纳米芯片进行阐述之前,必须简单地回顾一下它的发展历程。因为今天的发展正是过去历史的延伸和持之以恒不断创新的结果。研究者和生产者所经历的一个世纪的奋斗,积累了丰富的经验和可贵的知识,将为后人继续创新提供借鉴。自然,详细描述这段历史不是本书的任务,因为各个时期的专著已经堆积如山,可供参考。我们的目的仅是提纲性地提及相关事件,以强调过去 100 年中电子器件是在大胆创新中发展的,未来 100 年的电子器件(此间称其为纳米芯片)仍将会是在更大胆的创新中前进。也许在未来 100 年,或者在更后的 100 年的某个时期,皮米科学和技术,飞米科学和技术会成为热门话题。

今天成为世界上最具有活力和发展最为迅速的信息产业,广泛、深入,甚至支配性地影响着其他一切工业、科学技术、教育、医疗卫生、文化传媒和人类的日常生活。其中半导体工业的发展对促使微米芯片发展到纳米芯片起着核心的作用。它们最充分地结合了计算、通信和信息数字化的功能<sup>[4]</sup>。图 1.1.3 示意性地展示了这些功能在芯片上的会聚。这种会聚已经出现在各办公系统、生活与家用系统和其他任何需要声音和数据处理的系统。图 1.1.4 给出了计算和通信的会聚可以在任何地方和任何时间获取信息的示意图。图 1.1.5 示出硅芯片可以作为推动计算

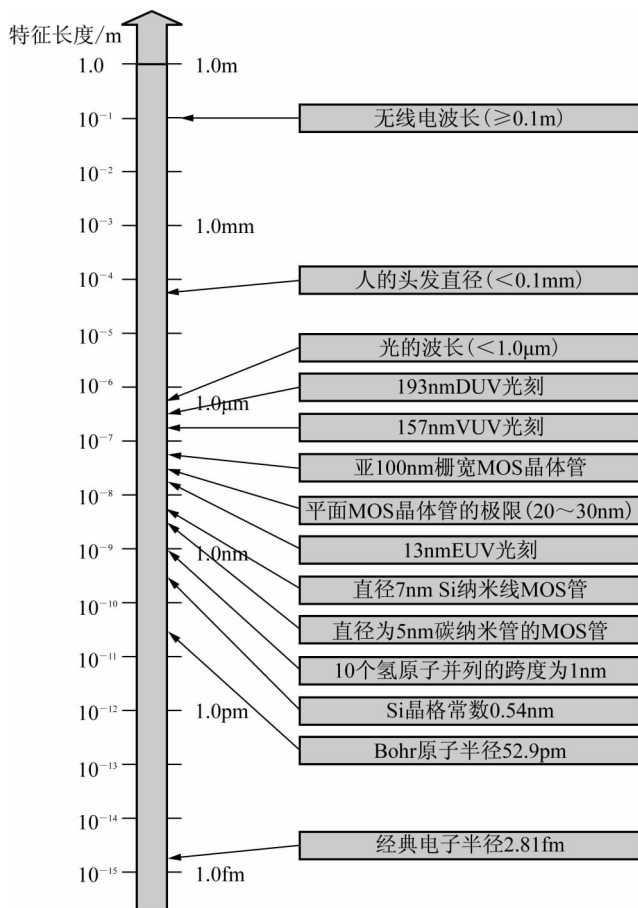


图 1.1.2 本书中某些感兴趣的特征长度

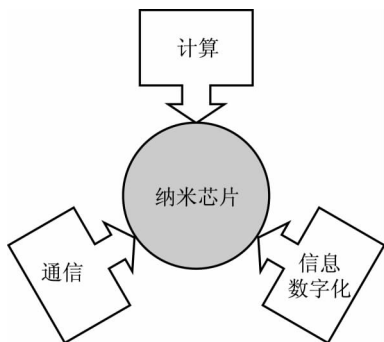


图 1.1.3 计算、通信和信息数字化的功能在纳米芯片上的会聚

和通信会聚的动力，起着发动机的作用。图 1.1.6 表示硅芯片的按比例缩小改进了延迟性能，降低了开关能量和价格。图中横坐标第二行所示的长度尺度为所对应的技术节点。有关技术节点概念的描述将在第 2 章给出。图 1.1.7 示出会聚增加了硅芯片的使用范围，导致兼有声音和数据信息功能的蜂窝式电话机（手机）的高速发展，图中展示的是日本快闪存储器密度不断提高的表述。蜂窝式电话机的不断发展

还为进一步会聚通信、计算和存储功能的芯片发展提供了机会,如图 1.1.8 所示。图 1.1.9 和图 1.1.10(见书前彩色插图)则示出包括非 CMOS 纳米器件和技术在内的更广义硅纳米芯片上多种材料、器件和技术的集成。图 1.1.11 展示的是通过封装也可以提高芯片功能的会聚和集成化。

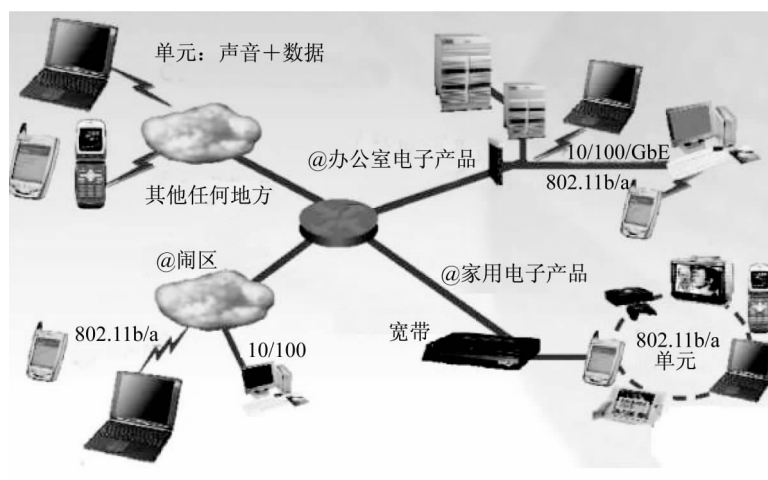


图 1.1.4 计算和通信的会聚可以在任何地方和任何时间获取信息示意图

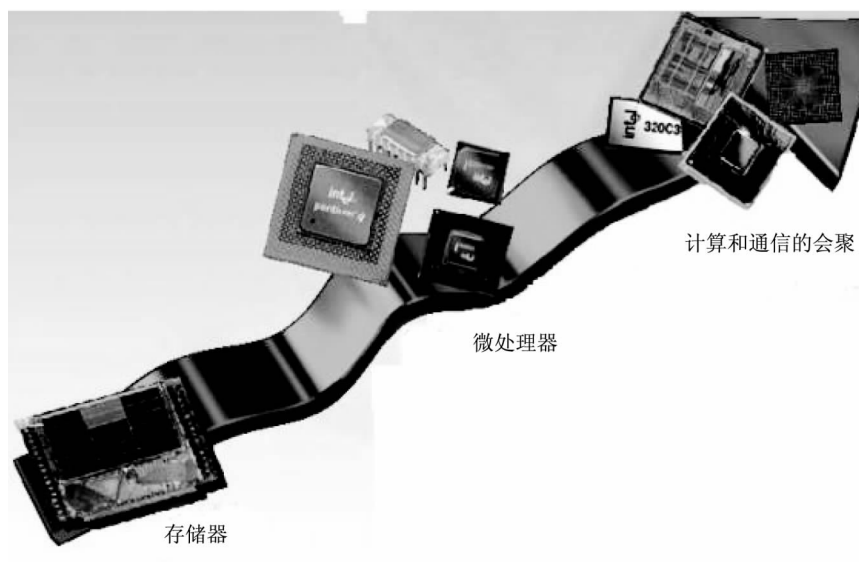


图 1.1.5 硅芯片在计算和通信领域的会聚中起着推进器的作用

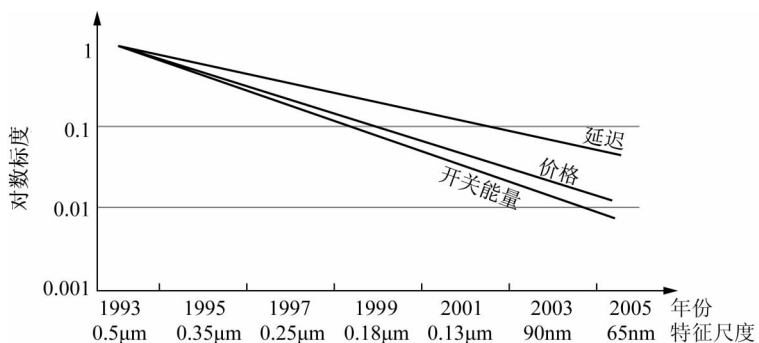


图 1.1.6 硅芯片按比例缩小改进了延迟性能,降低了开关能量和价格



图 1.1.7 日本快闪存储器密度不断提高示意图

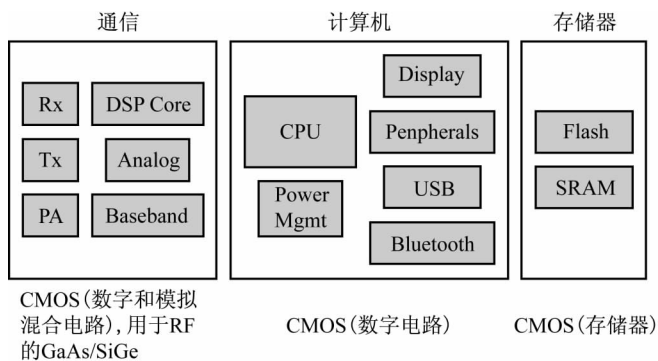


图 1.1.8 蜂窝式电话机的不断发展为进一步会聚通信、计算和存储功能的芯片发展提供了机会

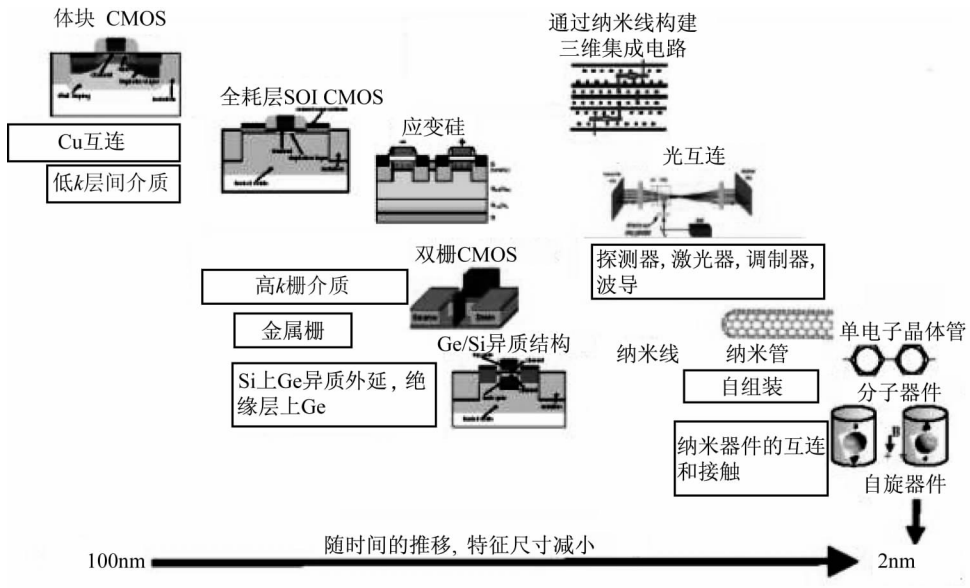


图 1.1.9 候选非传统 CMOS 纳米器件和非 CMOS 纳米器件

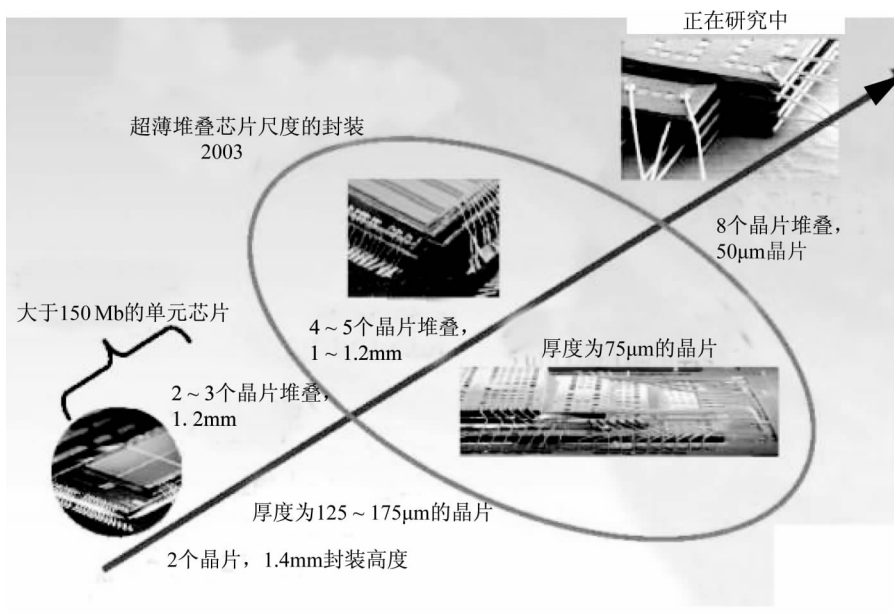


图 1.1.11 通过封装可以提高芯片功能的会聚和集成化

根据以上的阐述,可从以下三方面的结合看到以硅芯片为基础的集成化的会聚:首先考虑的是将计算、通信和信息数字化的结合,它是基于硅 CMOS 的按比例缩小和集成,从而不断提高性能和能量效率,降低成本和价格;其二是将 CMOS 基芯片和特种应用模块相结合,并对每种模块工艺进行优化,从而可以共享 CMOS 基按比例缩小所带来的效益;其三是将 CMOS 基芯片技术和原子与分子基纳米技术相结合,这种会聚将使原子与分子基纳电子科学技术的发展可以在硅基纳米芯片上获得最充分的发挥。

## 1.2 电子管的发明

芯片发展的传奇成果和美好前景开始于 1906 年 Lee De Forest 发明了真空三极管(见图 1.2.1),他称其为音频管,人们习惯称其为电子管。这是一项划时代的创新性发明。他是在弗莱明和爱迪生真空管基础上的创新突破。他使用了三个电极:阳极、阴极和栅极。为保证电子在电极间传输,且不因过热而烧毁,必须将电极置于真空之中。它具有开关和放大功能。因为有了电子管,人类才有可能构建电子管收音机、电子管电视机和其他电子管产品,出现了消费类电子产品,改变了古老通信系统的面貌。因为有了电子管,人类才有构建电子管计算机的可能。1947 年,美国宾夕法尼亚大学首先构建了这种类型的第一台电子计算机。它被称为电子数字集成器和计算器 ENIAC。该“电子计算机”占地面积大约  $140\text{ m}^2$  ( $1500\text{ ft}^2$ ),重达  $30\text{ t}$ ,使用了 19000 个电子管、70000 个电阻器、10000 个电容器、6000 个开关,需由一小型的  $150\text{ kW}$  电站供电,工作时是一个巨大热源,耗资 40 万美元(按 1940 年计)。它与当今的手携多功能电脑在大小和性能上相比有天壤之别。图 1.2.3 给出了半个世纪前的 ENIAC-Circa 1947 和当今的 HP Jornada-Circa 2001 的比较,后者体积减小为原先的  $10^{-8}$ ,而功率效率则提高了  $10^8$  倍。

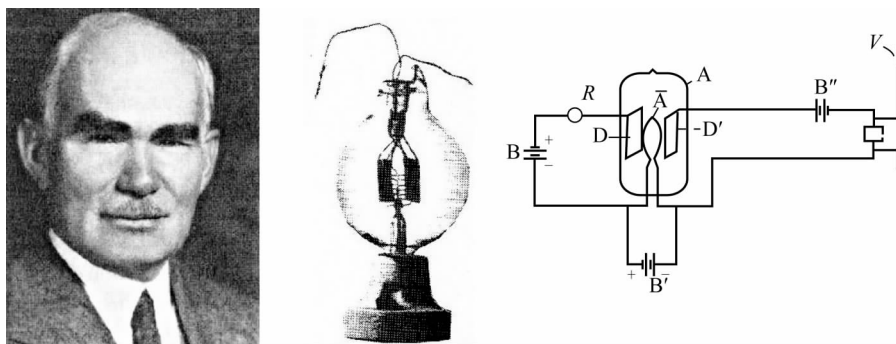


图 1.2.1 Lee De Forest 的照片和他的音频管及其使用的电路图