

“十五”国家重点图书出版规划项目

纳米电子学

Nanoelectronics

杜 磊 庄奕琪 编著

電子工業出版社

Publishing House of Electronics Industry

北京 • BEIJING

内 容 简 介

纳米电子学是纳米科学与技术这一新兴学科的重要组成部分。它代表了微电子学的发展趋势并将成为下一代电子科学与技术的基础。本书内容分为三个部分。第一部分系统地阐述了纳米电子学的基本概念和理论。主要内容包括现代集成电路的物理极限和技术障碍,纳米结构中的新现象(第1章),纳米电子结构及其电子态(第2章),纳米电子器件输运理论(第3章)。第二部分介绍纳米尺度的电子器件;包括共振隧穿器件(第4章)、单电子器件(第5章)、量子点器件(第6章)和纳米CMOS器件(第7章)。第三部分论述对纳米器件性能有极大影响的电噪声理论及应用(第8章)。全书强调新概念、新现象的阐述以及定性描述与定量理论表述相互结合。

本书可以作为高等院校电子科学与技术、微电子学、应用物理、电子工程和材料科学等有关专业高年级学生及研究生教材,也适于有关领域的科学家、工程师及高校师生参考。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

纳米电子学/杜磊,庄奕琪编著. —北京:电子工业出版社,2004.11

“十五”国家重点图书出版规划项目

ISBN 7-121-00447-X

I. 纳… II. ①杜…②庄… III. 纳米材料;电子材料—研究 IV. TN04

中国版本图书馆 CIP 数据核字(2004)第 104216 号

责任编辑:陈晓莉 特约编辑:李双庆 钟 鸣

印 刷:

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

经 销:各地新华书店

开 本:787×980 1/16 印张:36.75 字数:765 千字

印 次:2004 年 11 月第 1 次印刷

印 数:4 000 册 定价:46.00 元

凡购买电子工业出版社的图书,如有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系。联系电话:(010)68279077。质量投诉请发邮件至 zltz@phei.com.cn,盗版侵权举报请发邮件至 dbqq@phei.com.cn。

前 言

纳米科学与技术是当前科学研究的热点之一,它涉及范围极为广泛。纳米电子学是纳米科技的重要领域之一。一方面,随着微电子技术发展,半导体集成电路的特征尺寸已经自然进入纳米尺度范围。特征尺度为 0.13 微米的芯片已逐渐成为主流产品,90 纳米的 CMOS 工艺技术也即将投入生产。这些产品中 MOS 器件的栅氧化层厚度仅有几纳米。另一方面,精确到单原子层的薄膜外延生长技术、隧道探针技术和先进的光刻技术可以制造纳米尺度的半导体、导体及绝缘体结构。这些结构表现出奇特的量子效应,在这些效应基础上人们发明了共振隧穿器件、单电子器件、量子点器件等与传统半导体器件工作原理完全不同的新型量子器件。进入新世纪以来,纳米电子学有了突飞猛进的发展,全世界每时每刻都有新理念、新现象、新效应和新器件不断提出和发现。由于历史原因,我国微电子技术相对世界发达国家的水平有较大差距。这种差距也带到并反映到纳米电子学中。中国科技部部长、国家纳米科技发展指导协调委员会主任徐冠华指出,中国纳米科技整体水平和西方发达国家相比差距很大,而且这种差距有拉大的危险。他提出,中国纳米科技发展,必须加快实现由以往跟踪为主向自主创新为主的战略转变;必须把纳米科技人才队伍建设放在突出位置;必须十分重视纳米科技基地建设。在 2003 年 8 月份召开的全国纳米工作会议将纳米电子学定为我国 2010 年以前重点发展的领域,并将纳米科技人才培养列为纳米科技发展的三大目标之一。

电子类的大学生和研究生是培养纳米电子科技人才的最佳候选人。我们从本世纪初就开始给本科生和研究生讲授纳米电子学的课程。本书就是在我们讲稿的基础上发展而来的。几年来我们先后开设了几种不同类型和特点的纳米电子学课程。第一种课程偏重于纳米电子学基础知识与理论。这种课程的讲稿整理为本书的前三章。第 1 章绪论的主要内容包括现代集成电路的物理极限和技术障碍,纳米结构中的介观新现象与新效应;第 2 章主要内容为纳米尺度的低维电子结构及电子态;第 3 章为纳米结构中电子器件输运理论。第二种课程以讲授纳米器件为主。这部分讲稿整理为本书第二部分。主要介绍了四种纳米器件。第 4 章为共振隧穿现象与器件;第 5 章为单电子现象与器件;第 6 章为半导体量子点及器件;第 7 章为纳米 CMOS 技术。本书第三部分(第 8 章)论述对纳米器件性能有极大影响的电噪声理论及应用。之所以写这一章,一方面电子器件和电路噪声是作者多年研究的课题之一,另一方面噪声对纳米电子器件的影响要比微米尺度器件强烈得

多。从某种意义上说,噪声直接关系着纳米电子器件开发的成败。为了适应本科生和研究生教学需要,将本书的理论深度以电子科学与技术本科高年级学生和电子类工科研究生的水平为限度。

纳米电子学是一个正在发展的新学科,如何对这一学科进行分类?如何选材?纳米电子学著作的章节如何划分?都没有现成的范式可供参考。限于作者水平、学识、时间,本书有很大局限性,还有许多有意义的研究课题并没有涉及到,例如分子电子学、自旋纳米电子学、纳米碳管电子学和自组装技术等。另一方面,书中的内容也肯定会有许多错误和疏漏,诚恳欢迎广大读者批评指正。

在本书出版之际,我们首先要感谢电子工业出版社的陈晓莉编辑,本书从创意到出版的每一个环节都倾注了她的心血。我们还要感谢我们的学生李伟华、包军林、胡净、宗兆翔、肖昱、程雪梅、何亮、李瑞珉、毛旭在公式和图形绘制方面所做的工作。

我们还要感谢陕西省科技厅自然科学基金和国家部委基金项目的资助。

在本书编写过程中参考了主要参考书目中所列著作,在此对这些著作的作者表示感谢。

本书可以作为高等院校电子科学与技术、电子工程、应用物理、微电子学和材料科学等有关专业高年级学生及研究生教材。根据近几年我们“纳米电子学”教学的经验和体会,本书前三章可以作为“纳米电子学基础”课程的教材,教学时数以30学时为宜。本书的第4章到第7章可以作为“纳米电子器件”教材单独使用,教学时数为40学时左右。若教学时数在60学时以上,可以以全书作为“纳米电子学”课程的教材。

作 者

2004 年 8 月

目 录

第 1 章 绪论	(1)
1.1 引言	(1)
1.2 微电子技术现状和极限	(3)
1.2.1 微电子技术的发展	(3)
1.2.2 传统器件的基本极限	(4)
1.2.3 传统集成电路进一步小型化的技术障碍	(5)
1.3 纳米结构中的新现象	(6)
1.3.1 弹道输运	(8)
1.3.2 相位干涉	(12)
1.3.3 普适电导涨落	(16)
1.3.4 弱局域化	(18)
1.3.5 载流子热化	(22)
1.3.6 隧穿现象	(23)
1.3.7 单电子现象与库仑阻断	(24)
1.4 特征时间、空间尺度	(28)
1.4.1 特征长度	(28)
1.4.2 系统尺度与半导体材料特征参数	(33)
参考文献	(35)
第 2 章 纳米电子结构及其电子态	(37)
2.1 引言	(37)
2.2 低维限制系统	(44)
2.2.1 二维电子气	(44)
2.2.2 一维限制系统	(45)
2.2.3 零维系统	(46)
2.2.4 量子点接触	(49)
2.2.5 反点格子	(50)
2.2.6 超小隧道结	(51)
2.3 低维系统中电子态描述方法	(52)
2.3.1 引言	(52)

2.3.2	包络函数方法	(53)
2.3.3	量子阱与准二维系统中的电子态	(55)
2.3.4	耦合量子阱与超晶格	(59)
2.3.5	掺杂异质结系统与自洽解	(62)
2.4	纳米限制结构中的电子态	(67)
2.4.1	量子线中的电子态	(67)
2.4.2	量子点中的电子态	(68)
2.4.3	量子点中的电子统计	(78)
2.5	磁场对纳米结构电子态的影响	(79)
2.5.1	磁场中的 2DEG	(79)
2.5.2	处于磁场中的 1D 波导: 边沿态	(82)
2.5.3	磁场中的量子点	(86)
2.5.4	量子点的能谱	(88)
	参考文献	(94)
第 3 章	纳米电子器件输运理论	(96)
3.1	引言	(96)
3.2	隧穿理论	(97)
3.2.1	隧穿的波函数描述方法	(97)
3.2.2	隧穿时间	(109)
3.2.3	隧穿电流	(111)
3.2.4	量子化电荷隧穿	(121)
3.3	Landauer 公式	(124)
3.3.1	单通道形式	(125)
3.3.2	多通道 Landauer 公式	(128)
3.3.3	Büttiker 公式	(131)
3.3.4	Landauer 公式讨论	(134)
3.4	纳米结构中的量子化电导	(152)
3.4.1	实验结果与定性解释	(152)
3.4.2	绝热输运模型	(154)
3.4.3	温度的效应	(157)
3.4.4	非均匀效应	(158)
3.4.5	非线性输运	(162)
3.4.6	应用 Landauer 公式的条件	(164)

3.5 复杂纳米结构中的输运	(167)
3.5.1 引言	(167)
3.5.2 S 矩阵组合方法	(168)
3.5.3 格林函数	(172)
3.5.4 模式匹配方法	(178)
3.5.5 拐弯波导的输运	(183)
3.5.6 横向共振隧穿	(185)
3.5.7 耦合波导	(187)
参考文献	(189)
第 4 章 共振隧穿现象与器件	(191)
4.1 引言	(191)
4.2 半导体异质结构中的共振隧穿现象	(195)
4.2.1 结构与现象概述	(195)
4.2.2 共振隧穿机理	(196)
4.2.3 负微分电阻起源	(199)
4.3 共振隧穿器件输运理论	(199)
4.3.1 引言	(199)
4.3.2 RTD 相干隧穿理论	(200)
4.3.3 发射极态的量子化与 2D-2D 共振隧穿	(211)
4.3.4 双势阱异质结构共振隧穿	(213)
4.3.5 散射破坏相位干涉与相继隧穿	(218)
4.4 RTD 器件特性分析	(222)
4.4.1 引言	(222)
4.4.2 散射因素对器件性能的影响	(222)
4.4.3 瞬态特性分析 隧穿时间	(243)
4.4.4 材料和结构对器件性能的影响	(248)
4.5 RTD 器件模型	(252)
4.5.1 电路模拟 RTD 器件模型	(253)
4.5.2 物理基础 RTD 模型	(259)
4.6 共振隧穿器件的应用	(263)
4.6.1 RTD 在高速电路中的应用	(263)
4.6.2 RTD 在功能电路中的应用	(270)
参考文献	(289)

第 5 章 单电子现象与器件	(292)
5.1 引言	(292)
5.1.1 单电荷现象产生条件	(292)
5.1.2 单电子系统的基本结构及类型	(293)
5.2 单电荷输运的唯象理论	(295)
5.2.1 单电子隧穿率	(295)
5.2.2 相继隧穿的主方程	(297)
5.2.3 高阶隧穿过程	(299)
5.3 隧道结偏置方式	(302)
5.3.1 电流偏置单个隧道结	(302)
5.3.2 电压偏置单电荷隧道结	(308)
5.3.3 充电能	(309)
5.3.4 单隧道结的局部与整体观点	(310)
5.4 环境描述方法	(310)
5.4.1 经典描述方法	(310)
5.4.2 LC 电路的量子力学	(312)
5.4.3 与环境耦合隧道结系统的哈密顿量	(313)
5.5 单隧道结的电子隧穿率	(314)
5.5.1 隧穿哈密顿量	(314)
5.5.2 隧穿率计算	(316)
5.5.3 相位—相位相关函数和环境阻抗	(319)
5.5.4 $P(E)$ 的普遍性质	(320)
5.5.5 电流—电压特性	(322)
5.5.6 低阻抗环境	(323)
5.5.7 高阻抗环境	(324)
5.6 环境耦合例子	(325)
5.6.1 单模式环境耦合	(325)
5.6.2 欧姆阻抗	(329)
5.6.3 具有有限品质因子的模型	(331)
5.6.4 传输线	(333)
5.6.5 LC 传输线	(335)
5.6.6 RC 传输线	(335)
5.7 双隧道结系统	(337)

5.7.1	岛电荷模式	(337)
5.7.2	网络分析方法	(338)
5.7.3	双隧道结系统隧穿率	(341)
5.7.4	低阻抗环境中的双隧道结系统	(343)
5.7.5	高阻抗环境中的双隧道结系统	(344)
5.7.6	双隧道结系统的电流—电压特性	(345)
5.7.7	库仑台阶	(347)
5.8	单电子器件	(351)
5.8.1	小隧道结电路描述方法	(351)
5.8.2	单电子盒	(356)
5.8.3	单电子陷阱	(361)
5.8.4	单电子晶体管	(362)
5.8.5	单电子旋转门	(368)
5.8.6	单电子泵	(371)
5.8.7	多隧道结电路	(375)
5.9	单电子器件在模拟电路中的应用	(379)
5.9.1	超灵敏电表	(379)
5.9.2	单电子能谱仪	(382)
5.9.3	直流电流标准	(383)
5.9.4	温度标准	(385)
5.9.5	红外辐射探测器	(386)
5.10	单电子器件在数字电路中的应用	(387)
5.10.1	逻辑电路	(387)
5.10.2	单电子存储器	(390)
	参考文献	(400)
第 6 章	半导体量子点器件	(406)
6.1	引言	(406)
6.2	量子点系统的共振隧穿	(407)
6.2.1	低维共振隧穿结构	(407)
6.2.2	三维 S 矩阵理论	(411)
6.2.3	横向模式守恒与不守恒共振隧穿	(415)
6.2.4	面积可变共振隧穿器件	(423)
6.2.5	三维限制对于隧穿特性的影响	(427)

6.2.6	通过单杂质态的隧穿	(431)
6.2.7	一维共振隧穿二极管	(435)
6.3	量子点系统的单电子现象	(436)
6.3.1	能级量子化对于单电子隧穿的影响	(437)
6.3.2	量子点库仑振荡周期	(440)
6.3.3	量子点库仑振荡幅值与线型	(443)
6.3.4	量子点非线性输运	(446)
6.3.5	量子点其他输运理论工作综述	(447)
6.3.6	库仑振荡的线性响应	(448)
6.3.7	单个横向量子点非线性输运区	(451)
6.3.8	共振隧穿与库仑阻塞的互相影响	(454)
6.4	耦合量子点系统	(455)
6.4.1	静电耦合量子点	(456)
6.4.2	隧道耦合量子点	(458)
6.4.3	耦合量子点的谱技术	(464)
6.4.4	通过多量子点的相干隧穿	(465)
6.5	量子点输运的交流特性	(468)
6.5.1	半导体量子点电子旋转门	(468)
6.5.2	非绝热区; Tien-Gordon 理论	(469)
6.5.3	量子点的光电流谱	(471)
6.5.4	双量子点中的 Rabi 谐振	(471)
6.6	量子点计算 ^[77]	(476)
6.6.1	引言	(476)
6.6.2	QCA 的量子模拟	(480)
6.6.3	QCA 阵列开关	(484)
6.6.4	流水线(Pipelining)操作绝热开关电路	(494)
6.6.5	QCA 的可能实现方法	(498)
6.6.6	结论	(499)
	参考文献	(499)
第 7 章	纳米 CMOS 技术	(504)
7.1	引言	(504)
7.2	纳米 CMOS 器件面临的挑战	(505)
7.2.1	电源电压和阈值电压	(505)

7.2.2 栅氧化层	(507)
7.2.3 高场效应	(508)
7.2.4 杂质随机分布效应	(510)
7.2.5 互连线延迟	(513)
7.3 纳米 CMOS 的新器件结构	(514)
7.3.1 SOI CMOS	(514)
7.3.2 SiGe CMOS	(518)
7.3.3 低温 CMOS	(520)
7.3.4 双栅 CMOS	(521)
7.3.5 环栅 CMOS	(525)
7.3.6 动态阈值 CMOS	(526)
7.4 小结	(527)
参考文献	(528)
第 8 章 纳米电子结构与器件的噪声	(529)
8.1 引言	(529)
8.1.1 纳米器件稳固性	(529)
8.1.2 介观系统中的噪声 ^[2]	(529)
8.2 纳米器件中的散粒噪声及其抑制 ^[6]	(530)
8.2.1 电流涨落	(530)
8.2.2 散粒噪声的散射理论	(531)
8.2.3 简单纳米结构中的散粒噪声	(534)
8.2.4 散粒噪声的动力学理论	(536)
8.2.5 相位破坏、热化和非弹性散射	(537)
8.2.6 传导电荷统计	(539)
8.2.7 双势垒结构的散粒噪声抑制	(540)
8.2.8 量子点中的散粒噪声抑制	(543)
8.2.9 无序金属中的散粒噪声抑制	(544)
8.3 纳米器件中的 $1/f$ 噪声	(547)
8.3.1 介观系统中的 $1/f$ 噪声	(547)
8.3.2 单电子器件 $1/f^\alpha$ 噪声产生机理	(550)
8.4 单电子晶体管背景电荷噪声控制 ^[65]	(551)
8.4.1 引言	(551)
8.4.2 BCN 的一般特性	(552)

8.4.3	利用改变晶体管设计降低噪声	(553)
8.4.4	讨论	(554)
8.5	噪声用于单电子电路可靠性表征 ^[70]	(555)
8.5.1	引言	(555)
8.5.2	E_b/N_0 -BET 特征	(555)
8.5.3	E_b/N_0 -BER 表征单电子电路可靠性	(556)
8.6	单电子器件低噪声化技术 ^[69]	(560)
8.6.1	低噪声化设计	(561)
8.6.2	噪声分析与结论	(563)
8.7	单电子器件优化设计技术 ^[63]	(564)
8.7.1	纳米结构自加热模型	(565)
8.7.2	单电子器件的电流特性	(566)
8.7.3	单电子器件中的电荷噪声	(568)
8.7.4	单电子器件岛尺寸综合优化技术	(570)
参考文献		(572)
主要参考书目		(575)

第 1 章 绪 论

1.1 引言

众所周知,当前信息技术的不断进步主要归功于低价格,高速度,高密度和高可靠的信息表述和处理方式的进步。固体电子器件小型化和集成度持续不断的发展是计算机技术取得成功的关键。先进的多媒体技术的基础部件和将来信息处理的需求也都需要进一步减小芯片上器件的尺寸。以存储技术为代表的半导体集成电路遵守著名的 Moore 定律,即:在过去的 30 年间,大约每三年集成度增加四倍,特征尺寸缩小为原尺寸的 $1/\sqrt{2}$ 倍,而且在可以预知的未来,这种趋势仍将保持下去。例如,在 1997 年发布的第一块 4GB 的动态随机存储器(Dynamic Random Access Memory, DRAM)采用了 0.15 微米(μm)工艺。当前硅微电子芯片的特征线宽已经做到了 0.13 微米。据美国半导体工业协会(SIA)在 2002 年的预测,已经规划到了 0.035 微米(见表 1.1)。按照预测,0.030 微米似乎应当是现代半导体集成电路的经典尺度极限(见下文)。从信息技术发展来看,为了满足无所不在的海量智能化需要,硅微电子芯片技术即使达到 0.030 微米,也还是不能够满足信息处理的需求。面对这样一种情况,人们自然会问,现代半导体器件的物理极限是什么?当传统晶体管和集成电路最终达到它的极限的时候,信息技术将如何发展?器件物理学家和 IC(Integrated Circuits)工程师都需要思考这个问题。答案就是用发展和革命迎接这些挑战。实际上,在传统晶体管的尺度下降到当前不寻常尺度——纳米(nm)尺度的时候,人们已经在积极构思具有革命性概念的新型器件,两个崭新的学科领域——纳米电子学和单电子学——已经有了迅速的发展。

表 1.1 SIA 对半导体技术发展趋势的预测(2002.6)

动态随机存储器(DRAM)与微处理器				
	2001 年	2005 年	2010 年	2016 年
DRAM 特征线宽(nm)	130	80	45	22
DRAM 存储容量(字节)	512M	2G	8G	64G
DRAM 每比特价格(微美分)	7.7	1.9	0.34	0.042
DRAM 栅电极长度(nm)	65	32	18	9
微处理器速度(MHz)	1 684	5 173	11 511	28 751

当系统的尺寸小到可以与电子的波长比较的时候,量子效应就成为支配载流

子行为的主要因素。当现代晶体管尺寸进一步下降,其特征尺度会达到纳米尺度(100 纳米以下),就会发生量子效应占支配地位的现象。新现象和新效应既是对原来的半导体器件的挑战,也为开发新的器件提供了机遇。新型的纳米器件就是以这些新效应和新现象为工作原理的器件。纳米电子学发展的前提是纳米精度的制造技术。纳米器件物理与传统器件物理不相同,纳米电子学中的电路也需要新的概念和设计构思。所有这些导致了纳米电子学的三个主要研究领域:纳米制造技术,量子器件物理及模拟技术和电路创新。

为了实现纳米电子器件,在过去的十年间制造纳米尺度半导体结构的纳米制造技术有了长足进展。纳米制造技术包括分子束外延(Molecular Beam Epitaxy, MBE),金属有机化学气相淀积(Metal Organic Chemical Vapor Deposition, MOCVD)和化学束外延(Chemical Beam Epitaxy, CBE)。应用这些技术制造的异质结构系统,在半导体材料表面外延生长方向(一般称为竖直方向),可以控制的精度小到单个原子层。利用电子束光刻技术实现纳米尺度的光刻和横向形成图形的精度已有很大进展,可以制造纳米尺度的二维(2D),一维(1D)和零维(0D)结构。本书第 2 章将介绍纳米尺度电子结构。与此同时,迅速发展的介观输运理论也为纳米电子器件和电路的理论分析做好准备。本书第 3 章论述近年来发展的介观输运理论。

纳米电子结构领域进一步的发展需要更精确的控制技术,需要原子尺寸分辨率的仪器和高界面质量的制造技术。纳米制造技术最新进展已经给量子效应概念的器件奠定了基础。纳米电子学的思想是在 20 世纪 80 年代中期提出并迅速普及的。当共振隧穿低维半导体量子阱的能带工程,以及超晶格生长方面有了突破以后,几个小组开始研究用新的外延生长材料和技术制造小尺寸电子结构和器件。双势垒结构和共振隧穿器件首先成为纳米电子学集中研究的对象,其研究进展令人鼓舞,有望成为可以在模拟和数字电路两方面应用的主要纳米电子器件。本书第 4 章将介绍共振隧穿器件及其应用。量子点和单电子器件是另一类引起人们极大兴趣的纳米结构和器件,也是近年来纳米电子学研究的热门课题。在本书的第 5 章和第 6 章分别介绍单电子器件和量子点器件。在今后相当长的时间内,硅 CMOS 技术仍将是信息工程的主要支柱。超大规模集成电路发展也会在不久以后使 MOSFET 特征尺度进入纳米范围。纳米 CMOS 技术仍然是半导体工业界最主要的研究对象。此外,纳米 CMOS 技术也有望制造 MOSFET 结构的量子效应器件。MOSFET 与共振隧穿二极管(Resonant Tunneling Diodes, RTD)器件、单电子器件的混合集成技术,不仅在技术兼容上具有优越性,而且也是电路设计的需要。本书将在第 7 章讨论这方面问题。

本书最后一章将讨论纳米系统的噪声问题。之所以安排这样一章,一方面是因为电子器件与电路的噪声是本书作者长期研究的课题。另一方面,噪声在纳米器件和纳米电子学中占有重要的地位,因为噪声对于小尺寸器件的影响远比大尺

寸器件严重。作为绪论,本章主要讨论现代微电子技术的极限并介绍近年来在纳米结构中发现的新的物理现象和效应。这些新的物理现象和效应是构思新型电子器件的基础。

当然,纳米电子学无论是在制造技术方面,测量技术方面,还是在器件物理等方面都还存在对人类的巨大挑战。本书希望能够为迎接这个挑战的人们做一点思想上的武装。

1.2 微电子技术现状和极限

1.2.1 微电子技术的发展

自从20世纪50年代后期集成电路问世以来,单个芯片集成电路上的晶体管数量大约每三年增加四倍。芯片上有更多的晶体管,也就能够完成更多的功能。从一代到另一代芯片的基本价格(以美元/ cm^2 为单位)变化却很小,这是由于较高的集成度导致完成每项功能的价格降低。这是驱动芯片发展的最基本动力。在1980年,Hewlett-Packard生产出单片微处理器,在 1cm^2 的面积上,包含近0.5兆个器件。这个芯片上晶体管的栅长 $1.25\mu\text{m}$ 。在历史上这一成就被认为是一个里程碑。今天,动态随机存储器(DRAM)是半导体先进制造水平的代表。64Mbit DRAM包含数量级为6000万个的晶体管,栅长为 $0.35\mu\text{m}$ 。预计在21世纪初单片集成度将达到 10^9 个器件。一般来说,芯片密度的迅速进步遵守复杂的尺度关系。每一代特征尺寸(例如栅的长度)的实际减小因子是0.7,由此得到每一代芯片器件密度增加1倍(其他的增长因素是增加芯片的实际面积,改变电路的实现方案,例如引入沟槽电容器等)。技术飞速的进步,促使人们探究现代半导体器件最终的物理极限。1972年,Hoeneisen和Mead^[1]讨论了MOS器件(以及双极器件)预期的最小尺寸。像氧化层击穿、源-漏穿通(Punch Through)、沟道的离子注入等限制尺度下降的主要效应都考虑到了。几年以后,Mead按照当时的技术水平重新分析了这一极限^[2],得到的结论之一是,如果宏观输运理论仍然成立,人们能够轻易将器件的栅长降到30nm。

以上的讨论说明,工业界推动器件特征尺寸下降速度非常迅速。同时,研究者制造了一些尺寸很小的分立晶体管。在室温下,这些器件或多或少仍然能以普通器件的原理工作。例如,Schottke栅FET和GaAs高电子迁移率FET,它们的栅长度可以下降到 20nm ^[3],Si中的MOSFET的栅长达到 40nm ^[4],其有效栅长为27nm。它们仍能以通常的方式工作。由于通过栅耗尽区域的隧穿效应变得更严重,输运特性与大器件相比还是有明显的改变。可以预料,更突出的问题存在于从单个器件到芯片上包含几千万个晶体管的过渡所引起的变化之中。如果存在杂质

和电子(空穴)数目的明显涨落,在整个芯片上的晶体管性能会有明显的变化。这是小尺度器件主要的质量和可靠性问题,因为它将导致芯片上器件的有效噪声限急剧减小(逻辑门的状态没有改变的情况下,电压水平能够变化的范围)。此外,它也能导致芯片性能的降低。

信息技术的需求推动了器件向更小尺寸发展,技术上也确实制备了更小的器件。很显然,因为现在器件的工作原理是建立在半经典理论基础上的,所以,现在我们必须回答这样的问题:是否对于传统器件及其工作原理的物理理解可以外推到更小的空间和时间尺度?或者说,电子的量子效应是否会阻止目前工作原理的器件尺度进一步下降?对于这些问题的考虑已经有二十年的时间。在这期间,实验技术在不断进步,人们在纳米结构中已经观察到许多新的物理现象,例如已经在 GaAs/AlGaAs 热电子晶体管的基区观察到弹道输运(相干的且没有散射的输运)现象^[5]。估计 GaAs 中的电子非弹性平均自由程在室温可以达到 $0.12\mu\text{m}$, 数值模拟表明 Si 中的非弹性平均自由程比这个值小^[6]。弹性平均自由程与能量弛豫长度具有相同的数量级(一般是相等的)。能量弛豫长度可以表示为

$$l_e = v\tau_e$$

式中, τ_e 是能量弛豫时间, v 是载流子的特征速度(在简并系统中一般是费米速度)。这些结果说明,即使在 Si 中,电子非弹性平均自由程可以达到 $50\sim 100\text{nm}$ 。这个长度可以与不久的将来制造出的器件特征长度(如栅长)具有同样量值。因为在这个距离,载流子的相位仍保持相干性,人们自然会预料到这种结构中的输运过程出现干涉效应。这样也将违反 Boltzmann 图像中的载流子的波函数不相干性的假设。小器件的输运特性也明确反映出在特定器件中杂质分布影响。可以预料杂质随机分布,使得一个器件与另一个器件可观测特性会有明显差别。这种效应是介观器件所特有的。介观器件的研究表明,即使在低温下,也会出现这些效应。

1.2.2 传统器件的基本极限

在过去的几十年间,电子器件工作原理和理论基础是以 Boltzmann 输运方程为基础的理论。该理论的假设如下:

- ① 散射过程是局部的并且在空间的单一点发生;
- ② 散射是瞬态的(时间局域性);
- ③ 散射非常弱,而且场很弱;
- ④ 仅考虑时间尺度小于电子平均自由时间的事件。

简而言之,在所处理的结构中,势能在空间和时间两方面都是缓变的,在这里

空间是以热电子的波长为尺度,时间以散射过程为尺度的。

当器件的特征尺度达到纳米范围的会出现新问题。以 FET 器件为例,做一个简单的说明。如果半导体掺杂浓度为 $10^{18}/\text{cm}^3$,杂质原子之间的平均距离是 10nm。所以,任何一个器件的尺寸,比如说是 $0.1\mu\text{m}$,包含的杂质原子数目就相当少。也就是说,以 $0.1\mu\text{m}$ 为边长的立方体内,仅包含 1 000 个杂质原子。这些原子在材料中不是均匀分布,而是随机分布的。在这样的尺度范围内原子实际的浓度会有(相当)大的涨落。再者,在不同体积中原子数目 N 的变化(即,一个体积与另一个体积原子数目的差)大约是 $\sqrt{N}$,在这个例子中大约为 32(掺杂浓度的 3.3%)。在低温下,这些原子一般是主要的散射中心,器件中的材料可以认为是高度无序的导电材料,因为材料在所感兴趣的空间尺度是非均匀的。由于电流线为了避开局部高密度杂质而弯曲,材料内的电流密度在空间为非均匀分布,这一现象可以预料会影响电荷输运。当系统尺度小于特征散射长度时,输运可能是弹道的,因而输运对边界条件(接触,表面和界面)极为敏感。在这样的系统中,可以观察到许多新的与复杂多体效应相关的现象,而不能用简单的单电子近似理论(如 Hartree 近似)来描述。最后,在尺寸小于相位破坏长度(它通常描述电子波在某些过程中被破坏)时,粒子的相位变得重要了,许多相位干涉效应开始出现在材料的特征电导中。

1.2.3 传统集成电路进一步小型化的技术障碍

限制半导体器件进一步缩小、集成度进一步提高的因素除了上面所论述的工作原理上物理极限之外,还有一些很具体的技术因素。

1. 强电场问题

对于尺度非常小的器件,在短距离内加偏置电压,器件中会产生很强的电场。载流子在强电场加速下,并通过碰撞,使大量电子具有很高的能量,会出现所谓载流子热化现象。具有很高能量的电子通过半导体,引起“雪崩击穿”,致使电流急剧增加,器件受到破坏。这个问题在纳米尺度半导体器件中会很严重。

2. 热耗散问题

随着器件尺度缩小和集成电路密度提高,散热问题会越来越严重。由于存在这个问题,必须限制集成电路的热功率,限制电路密度,因为过热会引起电路的故障。热功耗对于任何类型纳米尺度器件的高密度封装都是问题。

3. 体材料特性消失和小尺度半导体掺杂非均匀性

考虑 MOSFET 栅长为 50nm,栅宽为 100nm 的简单例子,如果沟道中的载流