

面向微系统芯片的建模 方法

清华大学出版社

内 容 简 介

本书在详细介绍适合于 SoC(微系统芯片)发展需要的 MOS 器件、电阻、电容等传统电路元件模型的基础上,重点讨论了互连线的约减、延时与噪声模型,以及 SoC 的衬底噪声模型与噪声消除技术,并具体给出了几个系统级的设计实例。本书内容丰富而又新颖,既有 SoC 中数字和模拟功能模块的宏模型设计方法,又介绍了 VHDL-AMS 的主要特点和与之适应的系统级建模方法;许多内容都是近几年 SoC 领域的最新研究成果。本书可供集成电路设计及设计自动化领域的高年级本科生、研究生和研究人员参考。

图书在版编目(CIP)数据

面向微系统芯片的建模方法/杨华中等著.—北京:清华大学出版社,2002
ISBN 7-302-06187-4

.面... .杨... .电子计算机-电子电路-系统建模-方法
.TP331

中国版本图书馆 CIP 数据核字(2002)第 107466 号

出 版 者:清华大学出版社(北京清华大学学研大厦,邮编 100084)

<http://www.tup.tsinghua.edu.cn>

责任编辑:邹开颜

印 刷 者:北京牛山世兴印刷厂

发 行 者:新华书店总店北京发行所

开 本:787×960 1/16 印张:13.5 字数:240千字

版 次:2003年3月第1版 2003年3月第1次印刷

书 号:ISBN 7-302-06187-4/TN·35

印 数:0001~3000

定 价:26.00元

前 言

集成电路工艺经过 40 余年的高速发展,已经具备将完整的系统集成到单个芯片上的能力,但集成电路设计方法的发展速度却远远落后于集成电路工艺的发展速度,因而成为制约微系统芯片(system-on-a-chip, SoC)发展的瓶颈。

SoC 的目标是将包含模拟电路、射频电路、微处理器、数字信号处理器(DSP)、存储器和微机械等的完整系统集成到一个芯片上,从而降低成本,提高系统的性能和可靠性。设计 SoC 所面临的难题主要来自两个方面:一方面是系统的规模庞大、功能复杂;另一方面是缺乏处理 SoC 中的各种效应的有效措施。解决这两方面难题的前提是必须建立与 SoC 相适应的模型,否则将无法奢谈 SoC 的解决之道。本书中关于快速电路模拟、宏模型技术、模拟与混合信号系统的建模等内容则是试图解决规模庞大、功能复杂的问题;考虑到 SoC 中最关键的核心效应是因工艺特征尺寸缩小和工作频率升高所带来的互连线问题和噪声问题,而且基于可重用芯核(intellectual property, IP)的 SoC 设计方法中最重要也最难处理的就是与互连线和噪声相关的各种问题,因此本书用较多的篇幅讨论了互连线的约减、噪声和延时模型,以及射频集成电路中的衬底噪声模型和噪声消除技术。

本书共 9 章,第 1、2、5、8 章由杨华中和汪蕙执笔,第 3 章由王永执笔,第 4 章和第 9 章由罗嵘执笔,第 6 章由冒小建和燕昭然执笔,第 7 章由陈彬执笔。全书由杨华中统稿。

本书是根据我们近五年的研究工作总结而成,同时也综合了 R. W. Freund、C. K. Cheng、Stever Kang、Tom Lee 等著名学者的一些相关成果。我们将这些初步研究成果整理成书,以期对解决 SoC 关键技术,集成电路设计自动化的研究工作有所推动。SoC 领域的科学技术问题很多,解决这些问题的道路不仅蜿蜒曲折,更是荆棘密布,谨奉献此书与涉足 SoC 的同仁们共勉。

我们在 SoC 的模型设计方面的工作曾先后获得国家“九五”科技攻关、国家

重点基础研究发展规划和国家自然科学基金的资助。在具体开展这些工作的过程中,曾得到中国科学院声学所侯朝焕院士、浙江大学 VLSI 研究所严晓浪教授、清华大学电子工程系刘润生教授、中国华大集成电路设计中心刘伟平教授等众多专家学者的鼎力相助。清华大学数学科学系胡冠章教授对表格模型提出了许多很有价值的建议;另外,本书的某些成果还得益于我的同事陈一虹、研究生贾耀炜、蔡霞、曹旻和龙长勃等人的工作。仅借此机会向关心和支持我们的工作以及和我们一起为 SoC 的建模方法贡献过青春才华的人们致谢!

杨华中

2002 年 9 月 于清华园

目 录

前言		
第 1 章 序论.....	杨华中 汪蕙	1
1.1 集成电路及其设计自动化的发展历程		1
1.2 SoC 对电路模拟技术的挑战		2
1.3 模型设计的新方向		4
1.4 本书的主要内容		5
参考文献.....		6
第 2 章 表格器件模型.....	杨华中 汪蕙	7
2.1 引言		7
2.2 MOS 器件的 $I-V$ 特性		7
2.3 表格模型		8
2.4 MOS 器件的电容模型		13
2.5 通用逻辑门模型.....		15
2.6 有效电容.....		16
参考文献		19
第 3 章 宏模型	王永	21
3.1 引言.....		21
3.2 宏模型技术的历史和现状.....		22
3.3 宏模型设计的基本原则和常用方法.....		23
3.4 宏模型设计的基本单元.....		24
3.4.1 比较器单元		24
3.4.2 限幅单元		25

3 4 3	基准电压单元	26
3 4 4	运算放大器单元	27
3 4 5	压控电阻单元	30
3 4 6	采样/保持单元.....	31
3 4 7	触发器单元	32
3 4 8	延迟单元	37
3 4 9	分频器单元	39
3 4 .10	振荡器单元.....	44
3 4 .11	压控振荡器单元.....	46
3 4 .12	输出单元.....	49
3 4 .13	数学运算单元.....	50
3 4 .14	温度控制单元.....	51
3 4 .15	数字组合逻辑门单元.....	52
3 5	小结.....	55
	参考文献	55
第 4 章	芯片级宏模型设计实例	罗嵘 56
4 .1	引言.....	56
4 .2	电池的宏模型设计.....	56
4 2 .1	设计原理	57
4 2 .2	测试结果	60
4 .3	脉宽调制器的宏模型设计.....	61
4 3 .1	电路划分	61
4 3 .2	模块电路模型设计	65
4 3 .3	测试结果	70
	参考文献	78
第 5 章	MOS 基元瞬态响应的解析模型	杨华中 汪蕙 79
5 .1	引言.....	79
5 .2	MOS 数字电路的特点与电路划分	81
5 .3	MOS 基元的结构及其电路方程	83
5 .4	MOS 基元瞬态响应的解析表达式	85
5 .5	含互连线的 MOS 基元及其瞬态响应	92

目 录

5.6	小结	93
	参考文献	93
第6章	互连线网络压缩	冒小建 燕昭然 94
6.1	引言	94
6.2	AWE 网络压缩算法	95
6.2.1	AWE 算法的基本思想	95
6.2.2	关于 AWE 算法的补充说明	97
6.3	网络压缩算法 MPVL	97
6.3.1	RCL 网络的特点及网络压缩的基本思想	97
6.3.2	预处理	99
6.3.3	块 Krylov 子空间	100
6.3.4	基于投影的降阶模型	107
6.3.5	基于 Krylov 子空间的网络压缩算法 MPVL	108
6.3.6	MPVL 算法与 Padé 逼近的联系	109
6.4	PACT 网络压缩算法	112
6.4.1	多端口网络的极点	113
6.4.2	合同变换	114
6.5	网络压缩的无源性	115
6.6	分块网络压缩算法	117
	参考文献	119
第7章	互连线的行为模型	陈彬 121
7.1	引言	121
7.2	互连线 RC 模型的延时估算	121
7.2.1	Elmore 延时的定义	122
7.2.2	RC 树 Elmore 延时的计算方法	122
7.2.3	Elmore 延时的特点	123
7.2.4	Elmore 延时的改进模型	124
7.3	互连线 RCL 模型的延时估算	125
7.3.1	RCL 树模型简化	125
7.3.2	RCL 树简化模型参数的确定	125
7.3.3	RCL 树的延时和其他电路特性	126

7 3 4	电路参数对精度的影响.....	127
7 4	互连线的串扰模型	127
7 4 1	串扰对电路性能的影响.....	128
7 4 2	串扰峰值的估算方法.....	129
7 4 3	串扰对延时的影响.....	134
7 5	小结	136
	参考文献.....	138
第 8 章	射频电路模型.....	杨华中 汪蕙 140
8 1	引言	140
8 2	无源器件模型	141
8 2 1	电阻.....	142
8 2 2	电容.....	144
8 2 3	平面螺旋电感.....	148
8 3	MOSFET 的等效电路模型	151
8 3 1	长沟道 MOSFET	151
8 3 2	高频品质参数.....	154
8 3 3	短沟道效应.....	154
8 3 4	等效小信号模型.....	155
8 4	衬底耦合噪声	156
8 4 1	衬底耦合噪声对模拟电路的影响.....	156
8 4 2	衬底耦合噪声的特性.....	158
8 4 3	降低衬底耦合噪声的措施.....	160
8 5	开路时间常数、Cochrun-Grabel 模型及高频截止频率	162
8 6	短路时间常数与低频截止频率	164
8 7	设计实例	165
8 7 1	共源放大器与共源共栅放大器.....	166
8 7 2	宽带放大器设计实例.....	168
	参考文献.....	169
第 9 章	混合信号系统的描述与仿真.....	罗嵘 171
9 1	引言	171
9 2	VHDL-AMS 简介	173

目 录

9 2 1	VHDL-AMS 语言的起源: VHDL 语言	173
9 2 2	VHDL-AMS 语言基本特点	174
9 2 3	VHDL-AMS 语言的语法	175
9 2 4	VHDL-AMS 语言的用途和优点	181
9 3	混合信号系统的仿真方法	183
9 3 1	概述	183
9 3 2	混合信号仿真器的基本结构	184
9 3 3	混合信号仿真算法	185
9 4	系统级设计与仿真策略	187
9 5	混合信号系统设计实例	188
9 5 1	系统级设计	188
9 5 2	子系统设计	188
9 5 3	系统仿真结果	197
9 6	小结	198
	参考文献	199
附录	基于 VHDL-AMS 的音频系统的描述文件	201

第 1 章 序 论

杨华中 汪 蕙

北京清华大学电子工程系

1.1 集成电路及其设计自动化的发展历程

Robert Royce 和 Jack Kelby 于 1959 年发明的平面集成电路技术为电子与信息科学注入了新的活力,推动了计算机、网络与通信技术的高速发展,从而彻底改变了人们的生活模式和价值观念。自从 1961 年以来,集成电路就一直按摩尔(Moore)定律高速发展,即单个芯片上所集成的晶体管数目每隔 18 个月到两年就翻一番,在先后经历了小规模、中规模、大规模、甚大规模等历程之后,发展到今天的微系统芯片(system-on-a-chip, SoC)时代。

随着集成电路不断发展,传统的面包板加烙铁的分立电路设计方法逐步退出了历史舞台,而借助计算机的集成电路自动化设计方法则得到了高速发展。事实上,早在计算机刚诞生不久,集成电路尚未问世之前,人们就开始采用计算机来协助完成电子线路的设计工作,而线性滤波器就是人们最早利用计算机设计的一类电路。1961 年诞生的 SPARC 是最早的电路方程求解程序,但它不能自动建立电路方程;1962 年诞生的 SCAN 程序能够自动建立电路方程组。因此,SCAN 和 SPARC 的结合就成为 20 世纪 60 年代的设计者所采用的电路分析程序。当然,计算机辅助集成电路设计方法真正起步是在 20 世纪 70 年代,它有三方面的显著标志。首先,集成电路模拟工具 SPICE 诞生了(Nagel 1975),而与之适应的器件模型也随着集成电路工艺的发展不断推陈出新;其次,随着图论和计算机技术的发展,计算机辅助集成电路布图工具应运而生,它解决了集成电路设计过程中最繁杂的环节,极大地提高了设计效率;第三,逻辑模拟软件的

出现,使早期的数字集成电路能按逻辑级、电路级和物理版图级这种层次化模式进行设计。人们在这三方面的研究成果在 20 世纪 80 年代孕育出了 Cadence 和 Mentor Graphics 等一批目前依然十分活跃的公司。80 年代中后期,专用集成电路(application specific integrated circuit, ASIC)的规模和复杂性呼唤新型高效率的集成电路设计方法。在美国国防部超前研究计划署(DARPA)的支持下,硬件描述语言(hardware description language, HDL)和逻辑综合(logic synthesis)软件成为 20 世纪 80 年代末到 90 年代中期最重要的电子系统设计自动化(electronic design automation, EDA)工具之一,而 80 年代后期诞生的 Synopsys 公司则由此成为集成电路设计方法的领头羊。

经过 20 余年的发展,EDA 于 20 世纪 90 年代中期就已发展成为一个比较独立的产业。从产值来看,EDA、集成电路和电子工业的关系呈倒金字塔形,参见图 1.1。尽管 EDA 产业的规模比集成电路工业小数十倍,但它是集成电路高速发展的支柱,特别是随着 SoC 时代的到来,没有 EDA 的集成电路工业不但不能高速发展,甚至还会停滞不前。

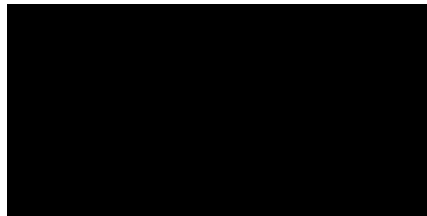


图 1.1 EDA、集成电路和电子工业的关系

1.2 SoC 对电路模拟技术的挑战

20 世纪 90 年代末,随着深亚微米集成电路工艺技术的成熟,人们已经能够将包含模拟电路、射频电路、微处理器、数字信号处理器(DSP)、存储器和微机械等模块的完整系统集成到一个芯片上,集成电路也因此迈入了 SoC 的时代。根据美国半导体工业协会(SIA)的预测(参见表 1-1),单个芯片所集成的晶体管数目很快达到 10 亿以上,而芯片的工作频率也将迅速增长。

从表 1-1 不难看出,芯片设计者在 SoC 时代所面临的主要难题来自芯片的规模和复杂性日益剧增、工作频率增加和器件尺寸缩小所带来的互连线延时和噪声问题,由单一数字系统向数模混合系统以及向混合信号系统转化的难题,低电压低功耗问题,设计验证与可测性问题等(杨 2001)。正因为此,基于可重用芯核(intellectual property, IP)和基于平台(platform)的设计方法,软硬件划

与协同设计,物理综合,互连线规划,高速、大容量、高精度的电路模拟方法,功耗估计与优化等成为 SoC 时代设计自动化领域的研究热点。在 SoC 时代,传统的“逻辑模拟 + 电路模拟 + 版图设计”的模式已经不再适用。因为随着工作频率的升高,逻辑模拟的精度已经不能满足设计者的需要;而电路模拟虽然非常精确,但能处理的电路规模却非常小,不能满足 SoC 的需要;至于版图设计,由于关键路径中互连线的延时已经大大超过了门延时,这使得独立开展版图设计的模式需要反复迭代,因此必须在高层次行为综合和逻辑综合阶段加入关于互连线延时方面的重要信息。

表 1-1 集成电路工业的发展路标 (SIA 1999)

年 代	1999	2000	2001	2002	2003	2004	2005	2008	2011	2014
特征尺寸/ nm	180			130			100	70	50	35
最低电源电压/ V	1.5	1.5	1.2	1.2	1.2	0.9	0.9	0.6	0.5	0.3
工作频率/ MHz	1 250	1 486	1 767	2 100	2 490	2 952	3 500	6 000	10 000	13 500
芯片面积/ cm ²	4.50	—	4.50	—	5.67	—	6.22	7.13	8.17	9.37
器件密度/ 10 ⁶ / cm ²	12	—	16	—	24	—	40.6	100	247	609

由于 SoC 中包含模拟和射频电路,这使得 SoC 设计依然离不开电路模拟工具。当然,将 SPICE 和 HSPICE 原封不动地搬来处理 SoC 设计所面临的设计难题也是不现实的,因为适于 SoC 设计的电路模拟器必须具备下列特征:

(1) 能处理包含千万乃至数亿个晶体管的电路。这是因为 SoC 中数字部分的电路规模高达数亿、数十亿。

(2) 模拟精度要高。以瞬态模拟为例,必须精确到 50ps。

(3) 模拟速度快。影响模拟速度的因素不仅来自电路规模的迅速增加,还来自电路工作频率的升高。这主要表现在两个方面:首先,工作频率增高后,连线将不再是理想导体,而是一个包含成千上万个电阻、电容、电感和互感的网络,互感的出现将使电路矩阵的稀疏性消失,从而严重影响计算速度;其次,工作频率的升高将使混频器、锁相环等典型的射频电路模块的模拟变得异常费时。

(4) 能快速适应集成电路工艺的发展。由于集成电路工艺每 2 至 3 年就更新一次,而每次工艺更新必然出现一些新的器件特征,电路模拟工具必须能及时地处理各种新器件。

(5) 能处理不同形式的电路描述。传统的电路模拟器只能处理网表格式的输出,而在 SoC 时代,构成 SoC 的射频、数字以及微机械等模块的描述模式可

大相径庭。这不仅要求电路模拟器应当具备混合信号和混合层次的处理能力,更需要帮助设计者准确诊断电路性能不能满足要求的原因,从而帮助设计者提出解决方案。

前面 3 项需求使得基于解析计算公式的快速电路模拟方法和静态时序估计方法近年来得到了广泛应用,而后 2 项需求则使传统的模型设计方法出现了一些新的特点和新动向。本书将重点讨论 SoC 所面临的模型设计问题,同时也将介绍关于混合信号模拟和快速电路模拟的最新进展。

1.3 模型设计的新方向

在电路模拟领域,模拟算法的更新相对比较慢,物理器件模型的更新却相当频繁。仅以 SPICE 中 MOS 晶体管模型为例,最简单的 Level 1 模型是基于 H. Shichman 和 D. A. Hodges 方程而构建的,Level 2 模型考虑了沟道长度调制效应和更为精确的阈电压模型,Level 3 模型考虑了短沟和窄沟道效应,BSIM 1、BSIM 2 和 BSIM 3 模型考虑了深亚微米器件效应(Cheng 1997),而 BSIM 4 则考虑了频变电感等射频效应。另外,宏模型已经有数十年的发展历史,在系统设计方面有重要作用。随着 SoC 时代的到来,模型设计也出现了下列发展趋势:

(1) 基于 VHDL-AMS(Ernst 1999)或 Verilog-AMS(Miller 2000)的混合信号模型。SoC 中不仅有电信号,而且还有声、光、热、化学乃至生命等其他信号,为此,IEEE 于 2000 年通过了关于模拟及混合信号系统的硬件描述语言标准 VHDL-AMS,后来 Cadence 公司推出的 Verilog-AMS 也为工业界所接受。它们极大地拓展了传统的电路网表描述的功能,已成为建立混合信号系统模型设计的有力工具。

(2) 表格模型。与物理模型相比,表格模型的优点是物理概念清晰、实现容易、模型参数容易获得、适合于快速电路模拟等;表格模型的不足是不便于获得电路或系统行为的解析表达式,因而难以进行理论分析。

(3) 噪声模型和功耗模型。在 SoC 出现之前,主要是延时模型和电流电压模型,各种等效模型主要是从延时等价的角度来定义和实施的;SoC 时代需要从噪声等价、功耗等价和延时等价这三方面综合考虑。

(4) 互连线模型。因为互连线的延时已经占关键路径延时的 70% ~ 80%,互连线延时模型精确与否直接影响到芯片的性能;另外,由于可重用芯核的设计方法是 SoC 设计的主流,而在基于可重用芯核的设计流程中最主要、最困难的

就是互连线的行为估计、综合与优化,所有这些工作都离不开精确、简单的互连线模型。

(5) *RCLM* 网络的精简模型。很显然,采用电磁场的方法建立互连线的模型是最准确的,但其计算量太大,而且电路设计工程师掌握起来也异常困难,因此将互连线等效为电阻、电容、电感和互感所构成的网络(简称 *RCLM*)网络是目前最常用的方法。但遗憾的是现有方法大都采用边界元法或有限元法来产生互连线的等效网络,所产生的 *RCLM* 网络非常庞大,而同时又包含许多不必要的冗余信息,所以对这类 *RCLM* 网络进行约减,以获得规模小、但精度足够的等效模型是解决该问题的有力手段。

(6) 衬底窜扰模型。将模拟、射频和数字电路集成到同一芯片,数字部分高速翻转的信号将通过集成电路衬底耦合到模拟和射频部分,从而形成衬底窜扰噪声。建立该耦合过程的等效模型是解决衬底窜扰噪声的必由之路。

(7) 芯片级宏模型。早期的宏模型主要局限于运放等功能模块,芯片级宏模型能有效解决 SoC 所面临的规模大和设计复杂的难题。

1.4 本书的主要内容

本书主要围绕 SoC 所面临的设计复杂性难题,介绍与之适应的建模方法和电路模拟技术,重点面向电路级的问题。

本书后续 8 章将分别探讨与延时、噪声、系统描述相关的问题。其中第 2 章介绍 MOS 器件模型,包括快速电路仿真所使用的表格模型、通用的逻辑门模型和等效电容等;第 3 章介绍模拟单元和数字逻辑门的宏模型设计方法;第 4 章以电池和脉冲宽度调制(PWM)芯片为例,介绍如何设计完整芯片(系统)的宏模型;第 5 章介绍 ILLIADS、ADM 和 RSPICE 等 3 个最具代表性的快速电路模拟系统;第 6 章介绍用于电路模拟器的互连线模型,主要介绍目前比较流行的网络约减技术;第 7 章介绍用于 SoC 布图系统的互连线的延时和噪声模型,主要是窜扰噪声的峰值估计以及窜扰噪声对延时的影响,计算量小是这类模型的主要特点;第 8 章介绍射频电路模型,主要包括平面螺旋电感和 MOS 晶体管模型、衬底噪声模型以及相应的噪声消除技术、射频系统的带宽估计方法等;第 9 章介绍混合信号系统的描述语言 VHDL-AMS、混合信号系统的模拟方法和一个音频系统设计实例。

参考文献

- Cheng Yuhua, et al . 1997 . A physical and scalable I-V model in BSIM3v3 for analog/ digital circuit simulation . IEEE Trans . Electron Devices, 44(2) : 277 ~ 287 , February
- Ernst Christen, Kenneth Bakalar . 1999 . VHDL-AMS—a hardware description language for analog and mixed-signal applications . IEEE Trans . Circuits and Systems : Analog and Digital Signal Processing, 46(10) : 1263 ~ 1272, October
- Miller Ira, Thierry Cassagnes . 2000 . Verilog-A and Verilog-AMS provides a new dimension in modeling and simulation . In: Proc . of IEEE intern . conf . on devices, circuits and systems (ICCDACS) . C49_1 ~ C49_6, Mar .15 ~ 17
- Nagel L W . 1975 . SPICE2: A computer program to simulate semiconductor circuits: [ERL Memo No . ERL-M520] . Electronics Research Laboratory, Berkeley: University of California, May
- Semiconductor Industry Association . 1999 . The national technology roadmap for semiconductors
- 杨华中、汪蕙、侯朝焕 . 2001 . 十亿晶体管级芯片系统集成所面临的挑战与机遇 . 半导体情报, 1 ~ 3, 1 月

第 2 章 表格器件模型

杨华中 汪 蕙

北京清华大学电子工程系

2.1 引言

电路性能不仅与电路结构相关,而且与电路中各器件的行为密切相关。由于受短沟道和窄沟道效应等的影响,深亚微米器件的物理模型非常复杂。目前工业界广泛使用的器件模型是由加州大学伯克利分校研究成功的 BSIM 3 和 BSIM 4 模型,考虑到这些模型非常复杂,而绝大多数电路设计者又不需要了解如此深入、细致的器件模型,因此本章着重介绍器件的表格模型。另一方面,由于 $C-V$ 等其他特性与 $I-V$ 特性的处理方式雷同,因此,本章重点介绍 $I-V$ 表格模型。由于延时是数字系统设计者普遍关注的问题,本章还将介绍用于延时计算的器件模型。

2.2 MOS 器件的 $I-V$ 特性

图 2.1 是 MOS 场效应晶体管的顶视图,其中, S、G 和 D 分别代表器件的源极、栅极和漏极,而 L 和 W 则分别表示沟道的长度和宽度。

这里仅讨论 N 沟道 MOS 场效应晶体管, P 沟道的情形类似。我们用 V_{gs} 、 V_{ds} 和 V_{bs} 分别表示 MOS 场效应晶体管的栅源电压、漏源电压和衬源电压,则沟道电流 I_{ds} 可以表示为 (Tsividis 1989, 1996)

$$I_{ds} = \begin{cases} \frac{W}{L} \frac{\mu_{ox}}{t_{ox}} [(V_{ds} - V_{th})V_{ds} - V_{ds}^2/2], & V_{ds} \leq V_{gs} - V_{th} \\ \frac{1}{2} \frac{W}{L} \frac{\mu_{ox}}{t_{ox}} (V_{gs} - V_{th})^2, & V_{ds} > V_{gs} - V_{th} \end{cases} \quad (2.1)$$

其中, V_{th} 称为阈值电压, t_{ox} 为栅氧化层厚度, μ 为电子迁移率, ϵ_{ox} 为栅氧化层(通常为 SiO_2) 的介电常数。

图 2.2 是 MOS 场效应晶体管的 $I-V$ 特性曲线。通常将 MOS 场效应晶体管的 $I-V$ 特性曲线分为线性区 ($V_{ds} \leq V_{gs} - V_{th}$) 和饱和区 ($V_{ds} > V_{gs} - V_{th}$), 其中 $V_{gs} - V_{th}$ 称为饱和电压。图 2.2 中的虚线则是饱和区和线性区的分界线, 在饱和区 I_{ds} 趋于饱和, 不受 V_{ds} 的影响, 但在线性区, 受 V_{ds} 的影响非常大。顺便指出: 当 V_{gs} 低于 V_{th} 时, I_{ds} 近似为零; 当 V_{gs} 超过 V_{th} 时, I_{ds} 才从零开始增长。

需要特别指出的是: 在深亚微米工艺中, 由于受短沟道和窄沟道效应的影响, MOS 晶体管的沟道电流 I_{ds} 还受许多复杂因素的影响, 不再遵循(2.1)式。

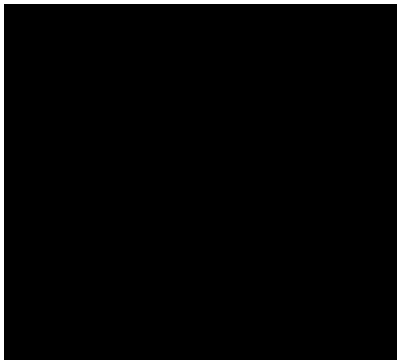


图 2.1 MOS 场效应晶体管顶视图



图 2.2 MOS 场效应晶体管 $I-V$ 特性曲线

2.3 表格模型

在深亚微米工艺中, 由于短沟和窄沟效应的影响, 沟道电流的计算非常复杂。例如: 目前工业界广泛采用的 BSIM3V3.2.2 模型就包含 100 多个模型参数。众所周知, 加州大学伯克利分校研究出 BSIM3V3.2.2 模型花费了相当多的人力和时间, 而且该模型还不能处理沟道长度小于 $0.15\mu\text{m}$ 的器件。这种模型不仅复杂, 而且随着工艺水平的提高, 研究这类新模型将是费时费力的事。

表格模型是解决该问题的有效手段。表格模型的基本思想是将沟道电流 I_{ds} 看作器件端口电压 (V_{gs} 、 V_{ds} 和 V_{bs}) 的函数, 将端口电压构成的三维空间分割为一系列长方体, 在每一个长方体内用端口电压的多项式来表示沟道电流。表