

清华大学计算机系列教材

# 计算机组成与设计

王 诚 主编

清华大学出版社

(京)新登字 158 号

## 内 容 简 介

本书共分 5 章。第 1 章简单介绍逻辑代数和常用逻辑器件;第 2 章~第 5 章讲解计算机组成原理与设计的核心内容,包括计算机系统的中央处理器(CPU)、存储器子系统和输入输出(I/O)子系统;每一章末尾,用少量篇幅介绍计算机体系结构方面最基本的内容。还用配套的光盘,提供对教学重点、难点内容的动画与实验演示。

本书可以作为高等院校计算机或相关专业“计算机组成原理”课的教材,也可供从事与计算机业务相关的生产、科研人员及其他有关人员参考。

版权所有,翻印必究。

本书封面贴有清华大学出版社激光防伪标签,无标签者不得销售。

### 图书在版编目(CIP)数据

计算机组成与设计/王诚主编.—北京:清华大学出版社,2002

清华大学计算机系列教材

ISBN 7-900643-58-3

.计... .王... .计算机体系结构-高等学校-教材 . TP303

中国版本图书馆 CIP 数据核字(2002)第 059146 号

出 版 者:清华大学出版社(北京清华大学学研大厦,邮编 100084)

<http://www.tup.tsinghua.edu.cn>

责任编辑:马瑛珺

封面设计:傅瑞学

版式设计:韩爱军

印 刷 者:北京市清华园胶印厂

发 行 者:新华书店总店北京发行所

开 本:787×1092 1/16 印张:24.5 字数:558 千字

版 次:2002 年 9 月第 1 版 2002 年 9 月第 1 次印刷

书 号:ISBN 7-900643-58-3

印 数:0001~5000

定 价:39.00 元(配光盘)

## 作者简历



王诚,男,1940年3月出生,现为清华大学计算机系责任教授。1959年考入清华大学自动控制系(现在的计算机系),学习计算机专业,1965年毕业留校任教至今。期间于1973—1975年到法国进修专业知识,其余时间均在校从事计算机硬、软件的科研和教学工作。目前主要承担计算机系本科生的计算机组成原理等课程的教学工作,科学研究方向是计算机体系结构、网络 and 大型分布式信息系统。

多年来,在科研工作中,主持或参加国家和部委级攻关等重大科研课题、横向科研课题20余项,其中有4项获部委级科技进步奖。这其中连续工作时间最长、最终成果在全国应用影响最大的当属“全国普通高校招生网上录取系统”和“全国成人高校招生网上录取系统”两项课题。这是国家863攻关子课题和“面向21世纪教育振兴行动计划”中的一项任务,经过几十人近6年的不懈努力,这两个系统先后研制成功并在全国各个省市和绝大多数院校全面应用,实现了高考招生录取手段的巨大变革,产生了明显的社会效益和经济效益,也成为建立全国高校在校学生信息库,进一步建立全国范围的人才信息库系统的龙头工程,在推动政府办公信息化系统建设方面有良好的示范作用。

在教学工作中,先后承担过多门专业课程的主讲任务,出版教材10本,其中有2本获部委级优秀教材奖。多种教学成果多次获得清华大学的奖励。在计算机组成原理课程的教学过程中,始终坚持把主教材和实验指导书编写、教学实验设备研制与配备、电子版的教学课件设计与制作等综合考虑,整体安排,注重理论和实践的统一;强调在传授知识的同时,还必须加强学生的创新意识和提高学生的开创能力,初步形成了一套比较新的课程教学改革的思路,并努力在课程的教学过程中不断地探索和完善,力争在提高课程教学质量和学生的全面素质两个方面取得更好的成绩。提出的国家“十五”教材立项申请已经得到教育部批准并进入实施阶段,力争把上述认识和思路体现到教材编写、设备改进、课件完善的诸项工作中。

# 序

清华大学计算机系列教材已经出版发行了近 30 种,包括计算机专业的基础数学、专业技术基础和专业等课程的教材,覆盖了计算机专业大学本科和研究生的主要教学内容。这是一批至今发行数量很大并赢得广大读者赞誉的书籍,是近年来出版的大学计算机教材中影响比较大的一批精品。

该系列教材的作者都是我熟悉的教授与同事,他们长期在第一线担任相关课程的教学工作,是一批很受大学生和研究生欢迎的任课教师。编写高质量的大学(研究生)计算机教材,不仅需要作者具备丰富的教学经验和科研实践,还需要对相关领域科技发展前沿的正确把握和了解。正因为该系列教材的作者们具备了这些条件,才有了这批高质量优秀教材的出版。可以说,教材是他们长期辛勤工作的结晶。系列教材出版发行以来,从其发行的数量、读者的反映、已经获得的许多国家级与省部级的奖励、以及在各个高等院校教学中所发挥的作用上,都可以看出该系列教材所产生的社会影响与效益。

计算机科技发展异常迅速、内容更新很快。作为教材,一方面要反映本领域基础性、普遍性的知识,保持内容的相对稳定性;另一方面,又需要跟踪科技的发展,及时地调整和更新内容。该系列教材都能按照自身的需要及时地做到了这一点,如《计算机组成与结构》一书十年中共出版了三版,其他如《数据结构》等也已出了第二版,使教材既保持了稳定性,又达到了先进性的要求。该系列教材内容丰富、体系结构严谨、概念清晰、易学易懂,符合学生的认识规律,适合于教学与自学,深受广大读者的欢迎。系列教材中多数配有丰富的习题集和实验,有的还配备多媒体电子教案,便于学生理论联系实际地学习相关课程。

随着我国进一步的开放,我们需要扩大国际交流,加强学习国外的先进经验。在大学教材建设上,我们也应该注意学习和引进国外的先进教材。但是,计算机系列教材的出版发行实践以及它所取得的效果告诉我们,在当前形势下,编写符合国情的具有自主版权的高质量教材仍具有重大意义和价值。它与前者不仅不矛盾,而且是相辅相成的。本系列教材的出版还表明,针对某个学科培养的要求,在教育部等上级部门的指导下,有计划地组织任课教师编写系列教材,还能促进对该学科科学、合理的教学体系和内容的研究。

我希望今后有更多、更好的我国优秀教材出版。

清华大学计算机系教授,中科院院士

张钹

2002 年 6 月 28 日

# 前 言

本书是为高等院校计算机专业的学生编写的,对非计算机专业的学生和从事计算机科学与技术工作的工程技术人员也有参考价值。本书共分5章,第1章介绍逻辑代数的入门性知识和教学计算机实例使用的逻辑器件。第2章~第5章讲解计算机组成原理与设计、实现的核心内容,包括计算机系统的中央处理器(CPU)中的运算器部件和控制器部件、存储器子系统和输入输出(I/O)子系统、输入输出设备等。

作为教材,它有以下3个突出的特点。

一是本书突出授课内容的系统性与完整性。在讲解计算机组成的一般原理的基础上,还重视计算机基本组成的设计和实现方面的能力的培养。讲解运算器、控制器、内存储器、总线和I/O接口都给出了具体组成、设计与使用实例。此外,书中素材较新,某些都是最近几年出现的新知识、新技术,计算机体系结构的一些基本知识也有适当体现。全书内容相当充实,但叙述简明,篇幅相对较小。

二是有我们专门研制的、与本课程教学配套使用的教学实验计算机系统。其硬、软件配置比较完备,分为8位字长和16位字长的两种机型,支持组合逻辑和微程序两种不同的控制器方案,内存储器组成和使用也颇有特色。该系统的组成原理与设计技术既是讲课的实例,又是教学实验的内容,如此举一反三可加深学生对原理性知识的理解,增强对计算机整机系统组成原理与运行机制的理解;有利于提高学生的研究、设计和实验动手的能力。本书的配套用书是《计算机组成与设计实验指导》。

三是有我们专门研制的、供教师使用的电子版教学课件。它包括课堂授课用的教学课件,以及对重点、难点教学内容的动画和实验演示课件两大部分。既可以大大减轻讲课和辅导实验教师的工作负担,又有利于提高授课水平和教学质量。动画和实验演示课件对深入理解所学知识中重点、难点内容,拓展学生的知识面,培养学生的创新意识和设计能力大有益处。

本书第1章由王尔乾教授编写;第2章和第3章由王诚教授编写;第4章由刘卫东副教授编写;第5章由宋佳兴讲师编写。王诚对全书进行了统编与审查。作者都有多年从事计算机硬件和软件的教学、科研工作的经历。

由于时间和作者水平所限,本书中可能有一些不足甚至不当之处,欢迎广大读者批评指正。

编 者  
2002年3月

# 目 录

序 .....	
前言 .....	
<b>第 1 章 计算机的逻辑部件</b> .....	<b>1</b>
本章主要教学内容 .....	1
1.1 三种基本逻辑操作及布尔代数的基本公式 .....	1
1.2 逻辑函数的化简 .....	2
1.2.1 代数化简法 .....	2
1.2.2 卡诺图化简法 .....	2
1.3 逻辑门的实现 .....	4
1.4 计算机中常用的组合逻辑电路 .....	5
1.4.1 加法器 .....	5
1.4.2 算术逻辑单元 .....	7
1.4.3 译码器 .....	11
1.4.4 数据选择器 .....	11
1.5 时序逻辑电路 .....	12
1.5.1 触发器 .....	12
1.5.2 寄存器和移位寄存器 .....	16
1.5.3 计数器 .....	18
1.6 阵列逻辑电路 .....	20
1.6.1 只读存储器(ROM) .....	20
1.6.2 可编程序逻辑阵列(PLA) .....	21
1.6.3 可编程序阵列逻辑(PAL) .....	27
1.6.4 通用阵列逻辑(GAL) .....	27
1.6.5 门阵列(GA)、宏单元阵列(MCA)和标准单元阵列(SCA) .....	31
1.6.6 可编程序门阵列(PGA) .....	39
习题 .....	44
<b>第 2 章 数据表示、运算和运算器部件</b> .....	<b>47</b>
本章主要教学内容 .....	47
2.1 数字化信息编码的概念和二进制编码知识 .....	47
2.1.1 数字化信息编码的概念 .....	47
2.1.2 二进制编码和码制转换 .....	48
2.1.3 检错纠错码 .....	54

2.2	数据表示——常用的信息编码	63
2.2.1	逻辑数据的表示	63
2.2.2	字符数据的表示	63
2.2.3	数值型数据的表示	65
2.3	二进制数值数据的编码与运算算法	72
2.3.1	原码、反码、补码的定义	72
2.3.2	补码加、减运算规则	77
2.3.3	原码一位乘法的实现算法	78
2.3.4	定点补码一位乘法的实现算法	81
2.3.5	原码一位除法的实现算法	83
2.3.6	定点补码一位除法的实现算法	87
2.3.7	加速乘除法运算的有关算法介绍	88
2.4	运算器部件的组成与设计	93
2.4.1	运算器部件的功能与组成概述	93
2.4.2	位片结构的运算器芯片 Am2901	94
2.4.3	教学计算机运算器的设计与实现	99
2.4.4	教学计算机的运算器使用实例	109
2.5	浮点运算与浮点运算器	115
2.5.1	浮点数的运算规则	115
2.5.2	浮点运算器举例	122
2.6	提高运算器部件处理能力的可行途径	128
2.6.1	计算机性能的演变和并行性发展概述	128
2.6.2	提高计算机运算器处理能力的可行途径	129
	习题	130

<b>第3章</b>	<b>指令、指令系统和控制器部件</b>	<b>133</b>
	本章主要教学内容	133
3.1	指令和指令系统概述	134
3.2	寻址方式	139
3.2.1	寻址方式概述	139
3.2.2	寻址方式举例	141
3.3	指令系统举例	143
3.3.1	TEC-2000 16位教学计算机的指令系统	144
3.3.2	PDP-11 计算机指令系统介绍	155
3.3.3	NOVA(DJS-130)计算机指令系统介绍	159
3.4	控制器的功能、组成与指令执行步骤	161
3.4.1	控制器部件的功能和组成概述	161
3.4.2	指令的执行步骤概述	162

3.5	微程序控制器部件 .....	166
3.5.1	微程序控制器的基本工作原理.....	166
3.5.2	TEC-2000 16 位机微程序控制器的实际组成、设计与实现 .....	170
3.5.3	TEC-2000 教学计算机微程序控制器的教学实验 .....	189
3.6	组合逻辑的控制器部件 .....	191
3.6.1	组合逻辑控制器的组成和运行原理简介.....	191
3.6.2	16 位机的组合逻辑控制器的组成、设计与实现 .....	193
3.6.3	组合逻辑的控制器教学实验.....	227
3.7	提高指令执行速度的可行途径 .....	228
3.7.1	指令流水的基本概念和实现思路.....	228
3.7.2	RISC 计算机中的指令系统和指令流水线实例 .....	229
3.7.3	RISC 计算机中的通用寄存器组织和编译程序简介 .....	232
3.8	TEC-2 教学计算机的微程序的控制器部件 .....	233
3.8.1	TEC-2 教学计算机指令系统介绍 .....	233
3.8.2	TEC-2 教学计算机微程序控制器的设计与实现 .....	243
3.8.3	自行设计新指令的微程序.....	264
3.8.4	在 TEC-2000 机系统中实现软件兼容的 TEC-2 机系统 .....	269
	习题.....	270
<b>第 4 章</b>	<b>存储器系统.....</b>	<b>272</b>
	本章主要教学内容.....	272
4.1	存储器系统综述 .....	272
4.1.1	存储器分类.....	273
4.1.2	存储器系统设计目标和解决思路.....	274
4.2	主存储器 .....	276
4.2.1	主存储器概述 .....	276
4.2.2	动态存储器的记忆原理和读写过程.....	278
4.2.3	静态存储器的存储原理和芯片内部结构.....	280
4.2.4	主存储器实现与应用中的几项技术.....	282
4.2.5	TEC-2000 教学计算机主存储器的组成与设计 .....	283
4.3	外存储器 .....	289
4.3.1	外存储设备概述.....	289
4.3.2	磁盘设备和磁盘阵列技术.....	292
4.3.3	光盘设备与技术.....	300
4.4	高速缓冲存储器 .....	307
4.4.1	层次存储器系统的运行原理和必须遵守的原则.....	307
4.4.2	高速缓冲存储器(cache) .....	309
4.4.3	Pentium 机的 cache 管理 .....	318

4.5	虚拟存储器 .....	321
4.5.1	虚拟存储器概念.....	321
4.5.2	段式虚拟存储器.....	322
4.5.3	页式虚拟存储器系统.....	323
4.5.4	Pentium 机的存储器管理 .....	325
4.6	提高存储器系统性能的可行途径 .....	328
4.6.1	本章内容小结.....	328
4.6.2	提高存储器系统性能的可行途径.....	329
	习题.....	331
<b>第5章</b>	<b>输入输出设备与输入输出系统.....</b>	<b>333</b>
	本章主要教学内容.....	333
5.1	输入输出设备 .....	334
5.1.1	输入输出设备概述.....	334
5.1.2	点阵式设备运行原理.....	334
5.1.3	显示器设备的组成与运行原理.....	336
5.1.4	打印机设备的组成与运行原理.....	343
5.1.5	计算机键盘运行原理.....	347
5.2	输入输出系统 .....	349
5.2.1	输入输出系统概述.....	349
5.2.2	计算机总线.....	350
5.2.3	输入输出接口概述 .....	356
5.2.4	串行接口的内部组成与传送协议.....	358
5.2.5	并行接口芯片与并行输入输出操作.....	364
5.2.6	常用的输入输出方式.....	366
5.3	提高数据输入输出能力和可靠性的可行途径 .....	374
	习题.....	375
	参考文献.....	377

# 第 1 章 计算机的逻辑部件

## 本章主要教学内容

数字集成电路是实现计算机硬件的最重要的物理基础。在本章中将主要介绍 3 种基本逻辑操作、布尔代数的基本公式和逻辑化简方法;基本逻辑门电路的实现,计算机中常用的组合逻辑电路的设计和使用方法;时序逻辑电路触发器的运行原理,和用其构成的寄存器、计数器在计算机中的使用方法,以及主要的阵列逻辑电路的类型、内部组成和它们的应用场合。这些内容是计算机组成原理课程的预备性知识,对理解计算机组成的基本原理和完成计算机逻辑部件设计很重要。

### 1.1 三种基本逻辑操作及布尔代数的基本公式

布尔代数有三种基本逻辑操作——“与”(逻辑乘,符号 $\cdot$ )、“或”(逻辑加,符号 $+$ )、“非”(求反,符号 $\bar{\quad}$ )。它们的逻辑含义如下:

“与”逻辑操作:当且仅当  $X, Y$  均为“1”时,其逻辑乘  $X \cdot Y$  才为“1”,否则为“0”。

“或”逻辑操作:只要  $X, Y$  任一(或者同时)为“1”时,其逻辑加  $X + Y$  即为“1”,否则为“0”。

“非”逻辑操作:当  $X$  为“1”时, $\bar{X}$  即为“0”;当  $X$  为“0”时, $\bar{X}$  即为“1”。

有了这三种基本逻辑操作,就可以构造出任何逻辑函数来。

布尔代数是以前题为对象,包含三种基本逻辑操作的完整的代数学,它可以对命题进行运算,而运算的基本依据是以下的基本公式:

基本公式

$$\text{变换律} \quad A + B = B + A \quad (1.1)$$

$$A \cdot B = B \cdot A \quad (1.1)$$

$$\text{结合律} \quad A + (B + C) = (A + B) + C \quad (1.2)$$

$$A \cdot (B \cdot C) = (A \cdot B) \cdot C \quad (1.2)$$

$$\text{分配律} \quad A + B \cdot C = (A + B) \cdot (A + C) \quad (1.3)$$

$$A \cdot (B + C) = A \cdot B + A \cdot C \quad (1.3)$$

$$\text{吸收律} \quad A + A \cdot B = A \quad (1.4)$$

$$A \cdot (A + B) = A \quad (1.4)$$

$$\text{第二吸收律} \quad A + \overline{A \cdot B} = A + B \quad (1.5)$$

$$A \cdot \overline{(A + B)} = A \cdot B \quad (1.5)$$

$$\text{反演律} \quad \overline{A + B} = \overline{A} \cdot \overline{B} \quad (1.6)$$

$$\overline{A \cdot B} = \overline{A} + \overline{B} \quad (1.6)$$

包含律	$A \cdot B + \overline{A} \cdot C + B \cdot C = A \cdot B + \overline{A} \cdot C$	(1.7)
	$(A + B) \cdot (\overline{A} + C) \cdot (B + C) = (A + B) \cdot (\overline{A} + C)$	(1.7)
重叠律	$A + A = A$	(1.8)
	$A \cdot A = A$	(1.8)
互补律	$A + \overline{A} = 1$	(1.9)
	$A \cdot \overline{A} = 0$	(1.9)
0 - 1 律	$0 + A = A$	(1.10)
	$1 \cdot A = A$	(1.10)
	$0 \cdot A = 0$	(1.11)
	$1 + A = 1$	(1.11)

## 1.2 逻辑函数的化简

将一个逻辑函数变成一个形式更简单、与之等效的逻辑函数,称为化简。由于每个逻辑表达式是和—个逻辑电路相对应的,因此表达式的化简也就能减少实现它的电路所用元件。下面介绍两种常用的化简方法:代数化简法和卡诺图化简法。

### 1.2.1 代数化简法

代数化简法是直接利用布尔代数的基本公式和规则进行化简的一种方法。

例:化简逻辑函数  $F = A \cdot B + \overline{A} \cdot C + B \cdot C \cdot D$

$$\begin{aligned}
 F &= AB + \overline{A}C + BCD \quad \xrightarrow{\text{包含律}} \quad (AB + \overline{A}C + BC) + BCD \quad \xrightarrow{\text{结合律}} \quad (AB + \overline{A}C) + \\
 &\quad (BC + BCD) \quad \xrightarrow{\text{吸收律}} \quad (AB + \overline{A}C) + BC \quad \xrightarrow{\text{包含律}} \quad AB + \overline{A}C
 \end{aligned}$$

### 1.2.2 卡诺图化简法

卡诺图化简法是借助于卡诺图的一种几何化简法。代数化简法技巧性强,化简的结果是否最简不易判断;而卡诺图化简法是一种肯定能得到最简结果的方法,但是它只适用于变量较少的情况。

由全部变量或其反变量形成的逻辑乘积项称为最小项,对  $n$  个变量,共有  $2^n$  个最小项。例如,有  $A, B$  两个变量,它有 4 个最小项:  $\overline{A}\overline{B}, \overline{A}B, A\overline{B}$  和  $AB$ 。卡诺图是一种直观的平面方块图。它将平面划分为  $2^n$  个小格,用来表示  $n$  个变量的全部  $2^n$  个最小项。图 1.1 给出了三变量和四变量的卡诺图。卡诺图的左边和上边书写的规则必须是这样的:两相邻小格之间只能有一个变量是相反的,而其余的变量都是相同的。为了简单起见,往往把周边变量的原码用“1”表示、反码用“0”表示。小格中的数字对应的是最小项的取值(图 1.1 中以  $A$  为最低位)。

---

在以后的逻辑函数中,常常把“·”省去

图 1.1 卡诺图

任何一个函数都可展开为若干个最小项之和,因此,可用卡诺图表示任意一个逻辑函数。例如,函数  $F = ABC + B\bar{A}D$ , 可以转换成四个最小项  $ABCD$ 、 $ABC\bar{D}$ ,  $AB\bar{A}D$ ,  $\bar{A}B\bar{A}D$  之或,我们就在四变量卡诺图相应的四个小格上填“1”来表示该函数(图 1.2)。

下面用实例来说明卡诺图化简法。

例:用卡诺图法化简函数  $F = \bar{A}\bar{B}C + \bar{A}B\bar{C} + \bar{A}BD + \bar{A}\bar{B}C + AC + BCD + A\bar{B}C$ 。

首先,将函数  $F$  用卡诺图表示(图 1.3(a))。

其次,合并最小项。由于“相邻”两小块所表示的最小项只有一个变量是互为相反的(这里对“相邻”的理解应扩大,即位于卡诺图同一行或同一列两端的小格,如四变量卡诺图中的 4 和 6, 3 和 11 等,也是“相邻”的),因此,相邻两小块合并后的布尔表

图 1.2 逻辑变量的卡诺图表示

达式显然会减少一个变量。例如,小块 5、13 合并后的布尔式为  $A\bar{B}C$ 。任意两个相邻小块所构成的块叫 1 维块。两个相邻 1 维块合并后又可减少一个变量,例如 1 维块(5, 13)、(7, 15)合并后的布尔表达式为  $AC$ 。两相邻的 1 维块所构成的块叫 2 维块。两相邻 2 维块合并(称 3 维块)又可减少一个变量。由此可见,越是高维块,其所占的小块越多,而表示这块区域的变量却越少。因此在逻辑化简时应将卡诺图中填“1”的小块尽量合并成高维块,然后就可用最少的变量写出这块区域的布尔式。对于不能合并成一个高维块的区域可以分成几块合并,然后再叠加起来。但特别要注意的是同一小块可以重复使用多次。

根据上述思想,对本例函数  $F$  可以合并的小块是  $(0, 2)$ 、 $(1, 5)$ 、 $(14, 10)$ 、 $(5, 7, 13, 15)$ 。可以选择的另一个方案是  $(0, 1)$ 、 $(2, 10)$ 、 $(5, 7, 13, 15)$ 、 $(14, 10)$ 。因此可得两个等价的最简布尔式分别为:

$$F = \overline{A}\overline{B}\overline{C} + A\overline{B}\overline{C} + \overline{A}BD + AC$$

$$F = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + AC + \overline{A}BD$$

它们的卡诺图分别示于图 1.3(b)和图 1.3(c)。还可以选择其他合并方案。

图 1.3 用卡诺图化简逻辑函数

有时在某些实际问题中,一个  $n$  变量函数的某些最小项是不会出现或者是不被利用的,因此对应这些最小项的布尔值就可不加指定,在进行卡诺图化简时,它们可指定为“1”或“0”,可参加或不参加小格的合并。

### 1.3 逻辑门的实现

任何复杂的逻辑运算都可通过基本逻辑操作“与”、“或”、“非”来实现。实现这三种基本逻辑操作的电路是三种基本逻辑门电路:“与”门、“或”门、“非”门(反相门)。把这三种基本逻辑门串联组合,可形成实现“与非”、“或非”、“与或非”、“异或”( $A\overline{B} + \overline{A}B$ )、“同或”( $AB + \overline{A}\overline{B}$ )功能的与非门、或非门、与或非门、异或门、同或门(异或非门)。图 1.4 给出了这些门电路的图形符号。

图 1.4 各种逻辑门的图形符号

## 1.4 计算机中常用的组合逻辑电路

如果逻辑电路的输出状态仅和当时的输入状态有关,而与过去的输入状态无关,称这种逻辑电路为组合逻辑电路。常见的组合逻辑电路有加法器、算术逻辑单元、译码器、数据选择器等。

### 1.4.1 加法器

加法器是计算机基本运算部件之一。

不考虑进位输入时,两数码  $X_n, Y_n$  相加称为半加。图 1.5(a)是其功能表。由表写出半加和  $H_n$  的表达式如下:

$$H_n = X_n \oplus Y_n + X_n Y_n \quad (1.12)$$

图 1.5(b)是它的逻辑图。半加器可用反相门及与或非门来实现,也可用异或门来实现。

图 1.5 半加器的功能表和逻辑图

$X_n, Y_n$  及进位输入  $C_{n-1}$  相加称全加,图 1.6(a)是其功能表。由表可得全加和  $F_n$  和进位输出  $C_n$  的表达式:

$$F_n = X_n \oplus Y_n \oplus C_{n-1} + X_n Y_n C_{n-1} \quad (1.13)$$

$$C_n = X_n Y_n C_{n-1} + X_n Y_n + X_n C_{n-1} + Y_n C_{n-1} \quad (1.14)$$

图 1.6 全加器的功能表及逻辑图

图 1.6(b)是其逻辑图。全加器还可用两个半加器来形成。 $F_n$  是  $A_n$ 、 $B_n$  相加再和  $C_{n-1}$  相加的结果(图 1.6(c)), 其表达式为:

$$F_n = X_n \oplus Y_n \oplus C_{n-1} \quad (1.15)$$

将  $n$  个全加器相连可得  $n$  位加法器(图 1.7), 但其加法时间较长。这是因为其位间进位是串行传送的, 本位全加和  $F_i$  必须等低位进位  $C_{i-1}$  来到后才能进行, 加法时间与位数有关。只有改变进位逐位传送的路径, 才能提高加法器工作速度。解决办法之一是采用“超前进位产生电路”来同时形成各位进位, 从而实现快速加法。我们称这种加法器为超前进位加法器。

图 1.7 串行加法器

超前进位产生电路是根据各位进位的形成条件来实现的。只要满足下述两条件中任一个, 就可形成  $G$ : (1)  $X_1, Y_1$  均为“1”; (2)  $X_1, Y_1$  任一个为“1”, 且进位  $G_0$  为“1”。由此, 可写得  $G$  的表达式为

$$G = X_1 Y_1 + (X_1 + Y_1) G_0 \quad (1.16)$$

只要满足下述条件中任一个即可形成  $G_2$ : (1)  $X_2, Y_2$  均为“1”; (2)  $X_2, Y_2$  任一为“1”, 且  $X_1, Y_1$  均为“1”; (3)  $X_2, Y_2$  任一为“1”, 同时  $X_1, Y_1$  任一为“1”, 且  $G_0$  为“1”。由此可得  $G_2$  表达式为

$$G_2 = X_2 Y_2 + (X_2 + Y_2) X_1 Y_1 + (X_2 + Y_2) (X_1 + Y_1) G_0 \quad (1.17)$$

同理, 可有  $G_3, G_4$  表达式如下:

$$G_3 = X_3 Y_3 + (X_3 + Y_3) X_2 Y_2 + (X_3 + Y_3) (X_2 + Y_2) X_1 Y_1 + (X_3 + Y_3) (X_2 + Y_2) (X_1 + Y_1) G_0 \quad (1.18)$$

$$G_4 = X_4 Y_4 + (X_4 + Y_4) X_3 Y_3 + (X_4 + Y_4) (X_3 + Y_3) X_2 Y_2 + (X_4 + Y_4) (X_3 + Y_3) (X_2 + Y_2) X_1 Y_1 + (X_4 + Y_4) (X_3 + Y_3) (X_2 + Y_2) (X_1 + Y_1) G_0 \quad (1.19)$$

下面引入进位传递函数  $P_i$  和进位产生函数  $G_i$  的概念。它们的定义为:

$$P_i = X_i \oplus Y_i \quad (1.20)$$

$$G_i = X_i \cdot Y_i \quad (1.21)$$

$P_i$  的意义是: 当  $X_i, Y_i$  中有一个为“1”时, 若有进位输入, 则本位向高位传送进位, 这个进位可看成是低位进位越过本位直接向高位传递的。 $G_i$  的意义是: 当  $X_i, Y_i$  均为“1”时, 不管有无进位输入, 定会产生向高位的进位。

将  $P_i, G_i$  代入  $G_1 \sim G_4$  式, 便可得:

$$C_1 = G_1 + P_1 C_0 \quad (1.22)$$

$$C_2 = G_2 + P_2 G_1 + P_2 P_1 C_0 \quad (1.23)$$

$$C_3 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_0 \quad (1.24)$$

$$C_4 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 C_0 \quad (1.25)$$

由图 1.6(a)可知,当全加器的输入均取反码时,它的输出也均取反码。据此,可把它们以“与非”、“或非”、“与或非”形式改写成如下形式:

$$C_1 = \overline{\overline{G_1} + \overline{P_1 C_0}} \quad (1.26)$$

$$C_2 = \overline{\overline{\overline{G_2} + \overline{P_2 G_1} + \overline{P_2 P_1 C_0}}} \quad (1.27)$$

$$C_3 = \overline{\overline{\overline{\overline{G_3} + \overline{P_3 G_2} + \overline{P_3 P_2 G_1} + \overline{P_3 P_2 P_1 C_0}}}} \quad (1.28)$$

$$C_4 = \overline{\overline{\overline{\overline{\overline{G_4} + \overline{P_4 G_3} + \overline{P_4 P_3 G_2} + \overline{P_4 P_3 P_2 G_1} + \overline{P_4 P_3 P_2 P_1 C_0}}}}}} \quad (1.29)$$

由  $P_i$ 、 $G_i$  定义,也可把半加和改写成以下形式:

$$H_i = P_i \quad G_i \quad (1.30)$$

根据式(1.26)~(1.29)可画得“超前进位产生电路”及“4位超前进位加法器”的逻辑图如图 1.8 所示。由图可以看到,只要  $X_1 \sim X_4$ ,  $Y_1 \sim Y_4$  和  $C_0$  同时到来,就可几乎同时形成  $C_1 \sim C_4$  和  $F_1 \sim F_4$ 。

图 1.8 4 位超前进位加法器

## 1.4.2 算术逻辑单元

算术逻辑单元简称 ALU,是一种功能较强的组合逻辑电路。它能进行多种算术运算和逻辑运算。ALU 的基本逻辑结构是超前进位加法器,它是通过改变加法器的  $G_i$  和  $P_i$  来获得多种运算能力的。下面通过介绍国际流行的美国 SN74181 型 4 位 ALU 中规模集成电路来介绍 ALU 的原理。

图 1.9 是 SN74181 型 ALU 逻辑图及其在正逻辑下的功能表,在功能表中,“加”表示

				正 逻辑		
$S_3$	$S_2$	$S_1$	$S_0$	$M=H$ 逻辑 运算	$M=L$ 算术运算	
					$C_n = 1$	$C_n = 0$
$L$	$L$	$L$	$L$	$\overline{A}$	$A$	$A + 1$
$L$	$L$	$L$	$H$	$A + B$	$A + B$	$(A + B) + 1$
$L$	$L$	$H$	$L$	$\overline{A} \cdot B$	$A + \overline{B}$	$(A + \overline{B}) + 1$
$L$	$L$	$H$	$H$	"0"	减 1	"0"
$L$	$H$	$L$	$L$	$\overline{A \cdot B}$	$A$ 加 $(A \cdot \overline{B})$	$A$ 加 $(A \cdot \overline{B}) + 1$
$L$	$H$	$L$	$H$	$\overline{B}$	$(A \cdot \overline{B})$ 加 $(A + B)$	$(A \cdot \overline{B})$ 加 $(A + B) + 1$
$L$	$H$	$H$	$L$	$A \cdot B$	$A$ 减 $B$ 减 1	$A$ 减 $B$
$L$	$H$	$H$	$H$	$A \cdot \overline{B}$	$(A \cdot \overline{B})$ 减 1	$A \cdot \overline{B}$
$H$	$L$	$L$	$L$	$\overline{A} + B$	$A$ 加 $(A \cdot B)$	$A$ 加 $(A \cdot B) + 1$
$H$	$L$	$L$	$H$	$A \cdot B$	$A$ 加 $B$	$A$ 加 $B + 1$
$H$	$L$	$H$	$L$	$\overline{B}$	$(A \cdot B)$ 加 $(A + \overline{B})$	$(A \cdot B)$ 加 $(A + \overline{B}) + 1$
$H$	$L$	$H$	$H$	$A \cdot B$	$(A \cdot B)$ 减 1	$A \cdot B$
$H$	$H$	$L$	$L$	"1"	$A$ 加 $A$	$A$ 加 $A + 1$
$H$	$H$	$L$	$H$	$A + \overline{B}$	$A$ 加 $(A + B)$	$A$ 加 $(A + B) + 1$
$H$	$H$	$H$	$L$	$A + B$	$A$ 加 $(A + \overline{B})$	$A$ 加 $(A + \overline{B}) + 1$
$H$	$H$	$H$	$H$	$A$	$A$ 减 1	$A$

(b) 功能表(正逻辑)

图 1.9 4 位 ALU 逻辑图及功能表