

实验 1 常用仪器的使用及集成门电路功能测试

一、实验目的

1. 熟悉 BS303—4 型（或其它型号）数字电路实验箱的基本工作原理，学会使用方法；
2. 熟悉 SR8（或其它型号）双踪示波器的基本工作原理，学会使用方法；
3. 掌握与非门、三态门电路的逻辑功能及特点，典型应用及测试方法；
4. 掌握 CMOS 门电路和 TTL 门电路在使用上的区别、集成电路的功能和使用方法。

二、实验内容和步骤

（一）BS303—4 型数字电路实验箱（见附录 1）功能测试。

1. 直流稳压电源

用万用表检测电源是否提供 5V 直流电压。

2. “方波输出”功能测试

用导线将“方波输出”端插孔和发光二极管显示器的输入端相连，旋转“方波输出”端旋钮，观察发光二极管闪动频率的变化和输出方波频率改变的关系。

3. “电平输出器”功能测试

用导线将“电平输出器”的输出端和发光二极管显示器的输入端相连。拨动开关。观察发光二极管亮、灭和输出高、低电平的关系。

4. “数码显示管”功能测试

用四根导线，分别将“电平输出器”的输出端 A, B, C, D （或 E, F, G, H ）依次和“数码显示管”的输入端 A_3, A_2, A_1, A_0 （ B_3, B_2, B_1, B_0 ）相连，拨动“电平输出器”的开关，当 A, B, C, D 状态由 $0000 \rightarrow 0001 \rightarrow \dots \rightarrow 1001$ 变化时，数码显示管分别显示“0, 1, …, 9”字型。

（二）SR8 型（或其它型号）双踪示波器（见附录 1）实验

1. 光点及时基线的调节

（1）将面板控制有关旋钮置于表 1.1 所示的位置，然后打开电源开关寻找光点（或时基线）。若没有光点，可按下“寻迹”键，判断光点所在位置，再适当调节 X 或 Y 位移旋钮，使光点或时基线出现在荧光屏的中间位置。再适当调节“亮度”、“辉度”、“聚焦”、“辅助聚焦”等旋钮，使光点（或时基线）达到最清晰程度（特别注意：辉度旋钮在不使用时，不要让过亮的光点长期停留在一个地方，以免烧坏荧光屏）。

（2）将触发方式开关置于“高频”，这时荧光屏上可能出现光点，调节触发的“电平”旋钮，使荧光屏上出现时基线。

(3) 将触发方式开关置于“自动”，观察时基线变化情况。

表 1.1

控制旋钮	作用位置	控制旋钮	作用位置
辉度	适当	内触发拉 Y_B	常态 (按下位置)
显示方式	Y_A	触发方式	常态
极性拉- Y_A	常态 (按下位置)	Y 轴位移	居中
DC- \perp -AC	接地	Y 轴位移及微调	居中

(4) 改变扫描速度，观察时基线变化情况。将扫描速度开关，(t/div) 拨到 50ms，观察时基线上光点扫描情况，当扫描速度为 2ms 和 0.5ms 时，观察光点移动情况。

2. 脉冲波形的单踪显示及测量

(1) 将面板控制有关旋钮置于表 1.2 所示的位置。将示波器产生的 1V、1kHz 的方波经同轴电缆线接入 Y_A ，屏幕上可能出现两点，调节触发的“电平”旋钮，使波形稳定。

(2) 观察矩形波的幅度 (在荧光屏上纵向占几格) 和周期 (横向占几格)。

(3) 改变扫描速度，使 t/div 为 0.5ms 和 0.2ms 时，观察波形变化情况。

(4) 改变触发极性，观察信号扫描的边沿。将触发极性置于“+”，观察示波器的波形是否从信号上升沿开始扫描；将触发极性置于“-”时，观察示波器是否从信号下降沿开始扫描。

表 1.2

控制旋钮	作用位置	控制旋钮	作用位置
触发方式	常态	扫描 t/div	1ms
触发源开关	内	扫描微调	标准
触发耦合方式	AC	灵敏度 V/div	0.2V
触发耦合 DC- \perp -AC	DC	微调	标准
极性拉- Y_A	常态	显示方式	Y_A
内触发拉- Y_B	常态		

(5) 脉冲波形周期、频率的测量。将扫描速度开关“ t/div ”的“微调”旋钮旋至“标准”位置 (即红色旋钮满刻度)，选择合适的扫描速度档级，要求在荧光屏上显示两个周期的稳定波形，按公式

$$T = t/div \times D$$

计算出信号周期 T 。式中 t/div 为扫速指示数值， D 为一个周期波形所占的荧光屏方格数。根据公式

$$f = 1/T$$

算出信号的频率。

3. 脉冲波形的双踪显示

将示波器显示方式置于“交替”位置、“内触发拉 Y_B ”置于“拉出”位置，适当调节扫描速度开关，荧光屏上会出现两条时基线。

将实验箱产生的方波信号接至双踪示波器的 Y_A 将示波器标准信号接至 Y_B 比较两个波形的频率，幅度等参数。

4. 直流电压的测量

将触发方式置于“自动”、 Y 轴输入耦合选择开关“DC- \perp -AC”置于“接地”， Y_A 的极性为“常态”，观察时基线的位置，并将它调至屏幕中线位置，作为零电位的参考基准线。然后将 Y 轴输入耦合选择开关从“接地”拨向“DC”，示波器的灵敏度选择开关“ V/div ”置于1V档，其微调（即红色旋钮）右旋到“标准”位置，将“+5V”电压经探头接入示波器 Y_A 。（此时，电源地应和示波器共地）观察时基线由基准线上移了几格，用公式

$$V = V/div \times D \times 10$$

计算直流电压的数值 V 。式中 V/div 为灵敏度选择提示数值， D 为时基线纵向移动的格数。10 为信号经探头衰减的倍数。

改变灵敏度选择开关，将其置于 0.5V 档和 2V 档，用同样的方法测量直流电压值，比较所得结果是否基本相同。

(三) 集成门电路功能测试

1. CMOS 门电路和 TTL 门电路功能测试

将 CMOS 与非门 CC4011、或门 CC4071、TTL 或非门 74LS02 和四异或门 74LS86 分别按图 1.1 连线。输入端分别接逻辑开关，输出接发光二极管，改变输入状态的高低电平，观察发光二极管的亮灭，并将输出状态填入表 1.3。

表 1.3

输入		CC4011 输出 Y_1	CC4071 输出 Y_2	74LS02 输出 Y_3	74LS86 输出 Y_4
A	B				
0	0				
0	1				
1	0				
1	1				
逻辑表达式					
逻辑功能					

2. TTL 门电路多余输入端的处理方法

将 74LS00 和 74LS02 按图 1.1 (a)、(c) 连线后， A 输入端分别接地、电源端、悬空、与 B 端并接，观察当 B 端输入信号分别为高、低电平时，相应输出端的状态，并填表 1.4。

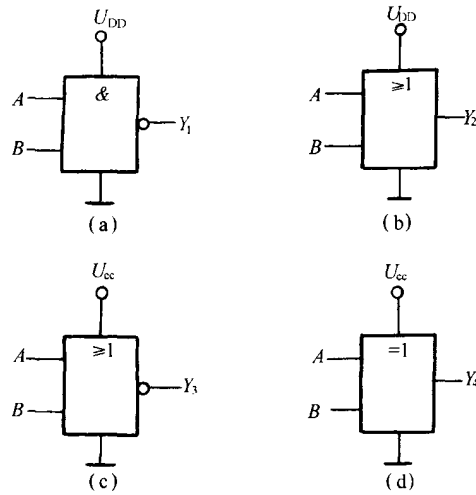


图 1.1

表 1.4

输 入		输 出	
A	B	74LS00 Y ₁	74LS02 Y ₃
接 地	0		
	1		
接电源	0		
	1		
悬 空	0		
	1		
A、B 并接	0		
	1		

3. TTL 三态门逻辑功能测试及典型应用

(1) TTL 三态门逻辑功能测试

将 TTL 三态门 74LS125 和反相器 74LS04 按图 1.2 连线，输入端 A, B, G 分别接逻辑开关，输出端接发光二极管。改变控制端 G 和输入信号 A, B 的高低电平，观察输出端的状态，并填表 1.5。

表 1.5

G	A	B	Y	表达式
0	0	1		
0	1	0		
1	0	1		
1	1	0		

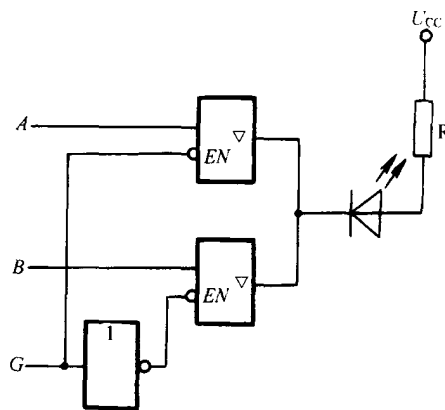


图 1.2

(2) TTL 三态门典型应用

三态门在计算机中应用非常广泛，较典型的应用是在总线结构中。单向输入、输出时作

总线输入、输出信号的驱动与控制；在数据双向传输的双总线结构中，作总线输入/输出信号的驱动与控制。

单总线驱动控制实验

将 74LS125 按图 1.3(a) 连线，A、B、C、D 分别接逻辑开关，输出分别接红、绿两种颜色发光二极管，分别改变控制端 A、B 和输入端 C、D 的状态，观察输出状态，填表 1.6。说明电路的功能。

双总线结构控制实验。

第一，将 74LS125 按图 1.3 (b) 连线，控制端 A 与 B 输入端 C 与 D 分别接逻辑开关，置 A、B 为 00，改变 C、D 的状态，用万用表测出 E、F 的状态，填表 1.7。

第二，改变输入、输出状态，即将 E、F 作输入端连接逻辑开关，C、D 作输出端。置控制端 A、B 为 01，改变 E、F 的状态，用万用表测出 C、D 的状态，填表 1.7。

第三 当控制端 A、B 分别置 10 或 11 时 重做第一、第二项的内容 得到如何结果 请记录。

综合上面测试情况，总结并说明该实验电路的功能。

* 4. 用与非门实现其它逻辑功能

用 74LS00 实现与或非、或非和异或的逻辑功能，写出逻辑表达式，画出逻辑图，测试其功能，总结用与非门实现其它逻辑功能的一般步骤。

表 1.6

控制端		输入		输出	
A	B	C	D	Y_1	Y_2
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		

表 1.7

控制端		输入		输出	
A	B	C	D	E	F
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
A	B	E	F	C	D
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		

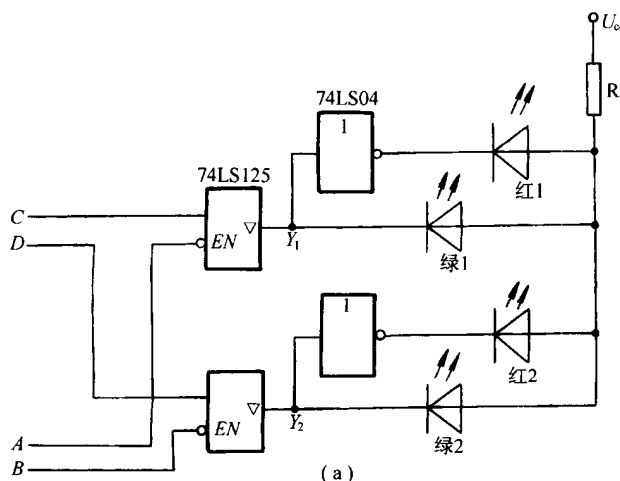
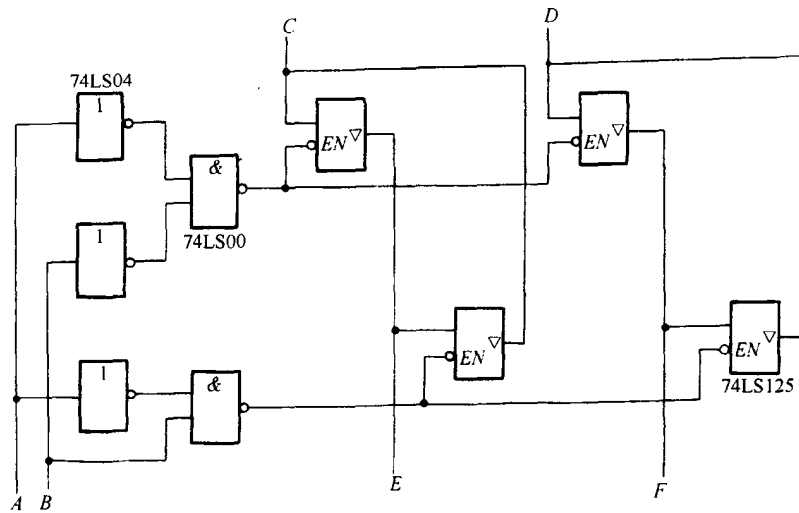


图 1.3 (a)



(b)

图 1.3 (b)

三、实验报告要求

1. 整理实验数据，分析实验结果；
2. 通过实验分析，说明 CMOS 门电路和 TTL 门电路各有什么特点，总结它们多余输入端的处理方法；
3. 说明三态门有什么特点，分析双总线结构的工作原理；
4. 画出实际集成电路实验连线图。

四、预习要求和思考题

1. 预习要求

- (1) 本实验所用仪器设备（数字电路实验箱、SR8 双踪示波器、数字电压表）的结构，原理及使用方法；
- (2) 常用 CMOS 门电路和 TTL 门电路的功能、特点；
- (3) 三态门的功能特点和应用；
- (4) 所用集成电路的功能和外部引线排列及使用方法。

2. 思考题

- (1) CMOS 门电路和 TTL 门电路有什么区别？
- (2) 若用与非或非门（见图 1.4）实现 $Y = \overline{AB + CD}$ 功能，多余输入端应如何处理？
- (3) 将实验 3 电路图 1.2 改为图 1.5 是否可以？为什么？
- (4) 用与非门实现其它逻辑功能的方法步骤是什么？
- (5) 三态门的典型应用有哪些？举 1, 2 例。

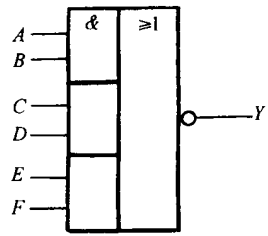


图 1.4

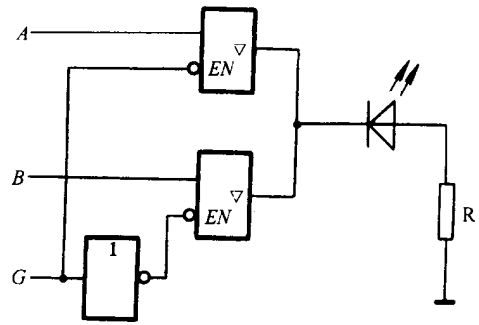


图 1.5

实验 2 组合逻辑电路

一、实验目的

1. 熟悉组合逻辑电路的特点，掌握一般分析、设计方法；
2. 掌握中规模集成译码器、数据选择器、加法器的级联扩展使用方法；
3. 了解中规模集成编码器、数值比较器的级联扩展使用方法。

二、实验内容和步骤

1. 一位全加器功能测试

用门电路组成的全加器电路如图 2.1 所示，按图连线。将电路的三个输入 A_i 、 B_i 和 C_{i-1} 分别接逻辑开关，两个输出 S_i 和 C_i 分别接发光二极管。改变输入信号的高、低电平，观察输出状态，写出 S_i 、 C_i 的表达式。并填表 2.1。

表 2.1

A_i	B_i	C_{i-1}	S_i	C_i
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

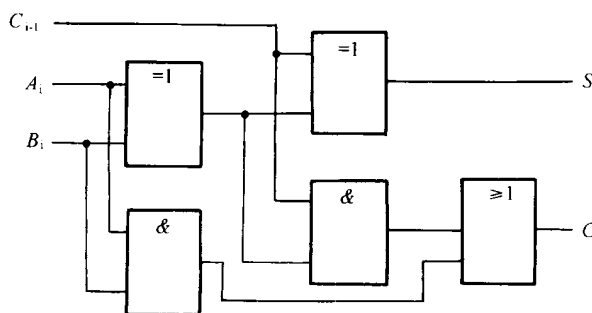


图 2.1

2. 全加器级联应用

图 2.2 为四位串行进位加法器的逻辑图。试用两片全加器 74LS183 (74LS183 的外部引线排列见附录 2) 实现该功能。图中， A 与 B 为输入信号， S 为输出本位和， C_1 为低位的进位信号， C_0 为向高位的进位信号。输入 $A_3A_2A_1A_0$ 、 $B_3B_2B_1B_0$ 及 C_{-1} 接逻辑开关， $S_3S_2S_1S_0$ 及 C_3 接发光二极管。改变 $A_3A_2A_1A_0$ 、 $B_3B_2B_1B_0$ 及 C_{-1} 的状态（自行设计），观察输出并填表 2.2。

3. 译码器级联应用

用两片 2 线-4 线译码器 74LS139 组成的电路如图 2.3 所示，按图连线。输入 $D_0 \sim D_2$ 接逻辑开关，输出 $Y_0 \sim Y_7$ 接发光二极管。改变输入信号 $D_0 \sim D_2$ 的状态，观察输出，写出 $Y_7 \sim Y_0$ 的表达式，并填表 2.3。

表 2.2

$A_3A_2A_1A_0$	$B_3B_2B_1B_0$	C_{-1}	$S_3S_2S_1S_0$	C_3

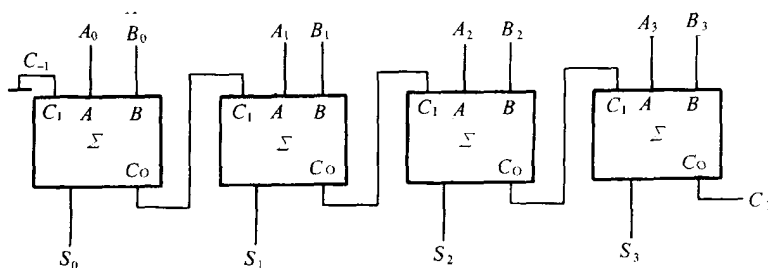


图 2.2

表 2.3

D_2	D_1	D_0	Y_7	Y_6	Y_5	Y_4	Y_3	Y_2	Y_1	Y_0
0	0	0								
0	0	1								
0	1	0								
0	1	1								
1	0	0								
1	0	1								
1	1	0								
1	1	1								

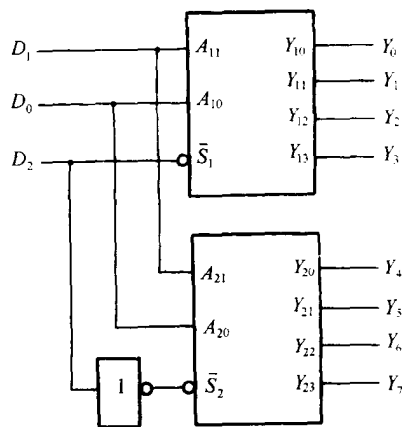


图 2.3

4. 数据选择器级联应用

双四选一多路数据选择器 74LS153 接成的电路如图 2.4 所示。按图连线，输入 $A_0 \sim A_2$ 和 $D_0 \sim D_7$ 接逻辑开关，输出 Y 接发光二极管。改变 $A_2A_1A_0$ 和输入 D 的状态（自行设计），观察输出 Y 的状态，并填表 2.4，说明电路功能。

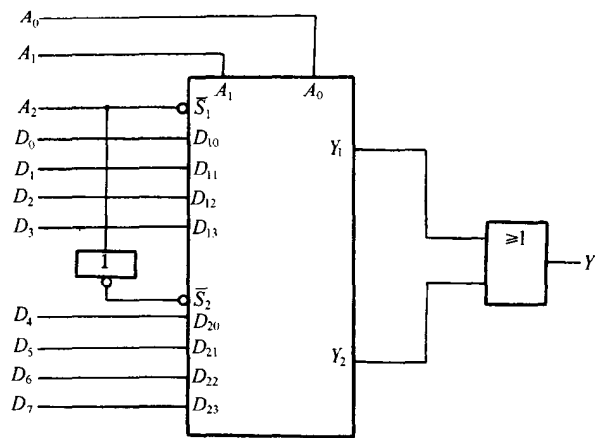


图 2.4

表 2.4

$A_2A_1A_0$	Y
0 0 0	
0 0 1	
0 1 0	
0 1 1	
1 0 0	
1 0 1	
1 1 0	
1 1 1	

* 5. 用相应 CMOS 器件实现上述功能。

三、实验报告要求

1. 画出实验电路连线示意图，整理实验数据，分析实验结果，与理论值是否相符？
2. 总结用中规模集成全加器、译码器、数据选择器级联使用的方法及功能。

四、预习要求和思考题

1. 预习要求

- (1) 所用中规模集成组件的功能、外部引线排列及使用方法；
- (2) 组合逻辑电路的功能特点和结构特点；
- (3) 组合逻辑电路的一般分析、设计方法。

2. 思考题

- (1) 用中规模集成全加器、译码器、数据选择器设计一般组合电路的方法；
- (2) 试用两片 8 线-3 线优先编码器 74LS148 (外部引线排列见附录 2) 构成 16 线-4 线优先编码器；
- (3) 试用两片四位数值比较器 CC14585(外部引线排列见附录 2) 构成八位数值比较器。

实验 3 时序逻辑电路(1)—触发器

一、实验目的

1. 熟悉基本 RS 触发器、门控 D 锁存器和边沿 JK 触发器的逻辑功能和特点，掌握测试方法，学会典型应用；
2. 熟悉异步输入信号 R_D , S_D , \bar{R}_D , S_D 的作用，学会测试方法。

二、实验内容和步骤

1. 基本 RS、门控 D 锁存器功能测试

门电路组成的基本 RS 触发器和门控 D 锁存器分别如图 3.1 (a) 和 (b)，所示，按图连线。 R , S , D 为输入信号，与 E 分别接逻辑开关，输出 Q 和 \bar{Q} 分别接发光二极管，改变输入，观察输出 Q 和 \bar{Q} 端的状态，填表 3.1，写出特性方程。

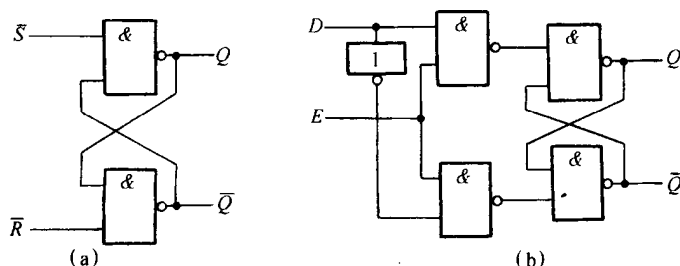


图 3.1

表 3.1 (a)

\bar{S}	\bar{R}	Q	\bar{Q}
0	0		
0	1		
1	0		
1	1		

表 3.1 (b)

E	D	Q	\bar{Q}
0	0		
0	1		
1	0		
1	1		

2. 边沿 JK 触发器功能测试

按图 3.2 边沿 JK 触发器电路连线， J , K , S_D , R_D 接逻辑开关，输出 Q 和 \bar{Q} 接发光二极管， CP 接单脉冲输出，改变 J , K 状态，观察 Q 和 \bar{Q} 端的状态；改变 S_D , R_D 状态，观察 Q 和 \bar{Q} 端的状态，并填表 3.2。

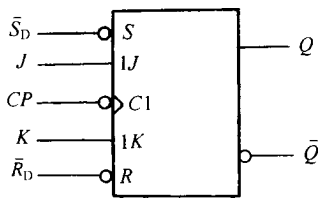


图 3.2

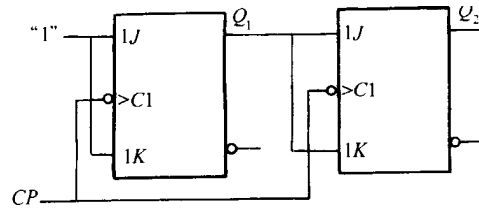


图 3.3

表 3.2

CP	J	K	\bar{S}_D	\bar{R}_D	Q^n	Q^{n+1}
\times	\times	\times	0	1		
\times	\times	\times	1	0		
\uparrow	0	0	1	1		
\downarrow	0	0	1	1		
\uparrow	0	1	1	1		
\downarrow	0	1	1	1		
\uparrow	1	0	1	1		
\downarrow	1	0	1	1		
\uparrow	1	1	1	1		
\downarrow	1	1	1	1		

3. 触发器的应用

(1) 构成分频电路

双 JK 触发器 74LS112 接成的电路如图 3.3 所示，按图连线， CP 接连续脉冲，并与 Q_1Q_2 共同接示波器，观察在 CP 作用下，触发器的输出波形，画出状态转换图，对照比较，并说明功能。

(2) 构成移位寄存器

按图 3.4 电路连线， CP 接单脉冲，串行输入 D_1 接逻辑开关，输出 Q 接发光二极管，将

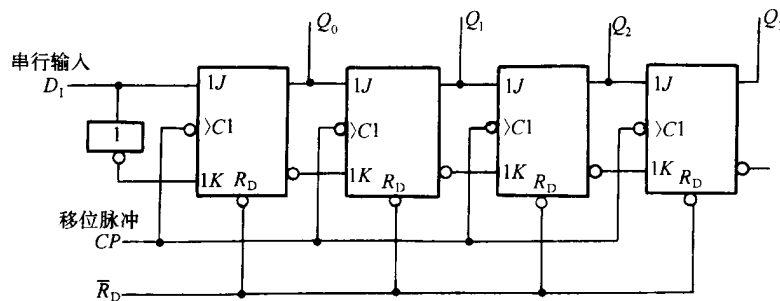


图 3.4

各触发器的异步输入端 \bar{R}_D 接逻辑开关K,改变K的状态,观察在CP作用下,触发器并行输出和串行输出的状态(自行假设现态),画出状态转换图,说明功能。

* 4. 用相应CMOS器件实现上述功能。

三、实验报告要求

1. 画出集成电路实验连线示意图,整理实验数据,分析实验结果;
2. 写出基本RS触发器、门控D锁存器和边沿JK触发器的特性方程,并说明各自的特点;
3. 总结边沿触发器 R_D , S_D 的复位、置位功能。

四、预习要求和思考题

1. 预习要求

- (1) 触发器逻辑功能及其表示方法;
- (2) 异步控制信号的置位、复位功能;
- (3) 所用中规模集成组件的功能、外部引线排列及使用方法;
- (4) 不同结构触发器的动作特点。

2. 思考题

- (1) RS触发器为什么不允许出现两个输入同时为0的情况;
- (2) D锁存器和D触发器有什么不同?
- (3) 用D触发器构成顺序脉冲发生电路,画出波形图。

实验 4 时序逻辑电路(2)—计数器

一、实验目的

1. 熟悉寄存器和移位寄存器功能特点和典型应用；
2. 熟悉中规模集成计数器构成任意进制计数器的方法。

二、实验内容和步骤

1. 移位寄存器功能测试

D 触发器组成的移位寄存器电路如图 4.1 所示,按图连线。 CP 接输入脉冲 输入端 D_1 接逻辑开关,其初始状态可自行设计,输出接发光二极管,观察在 CP 作用下各触发器 Q 端的状态,画出状态转换图。

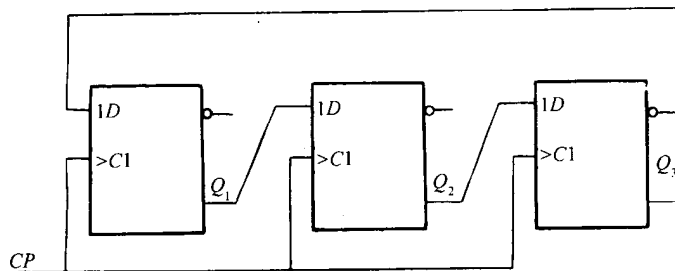


图 4

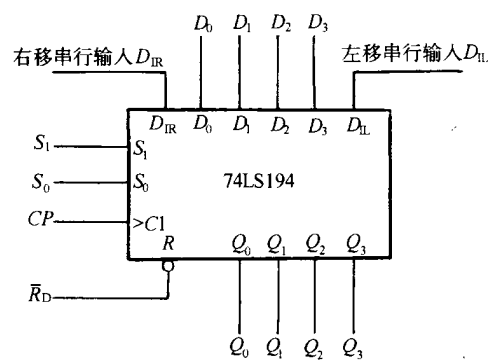


图 4.2

4. 74LS160 级联应用

十进制计数器 74LS160 组成的电路如图 4.4 所示，按图连线。CP 接连续脉冲，输出接发

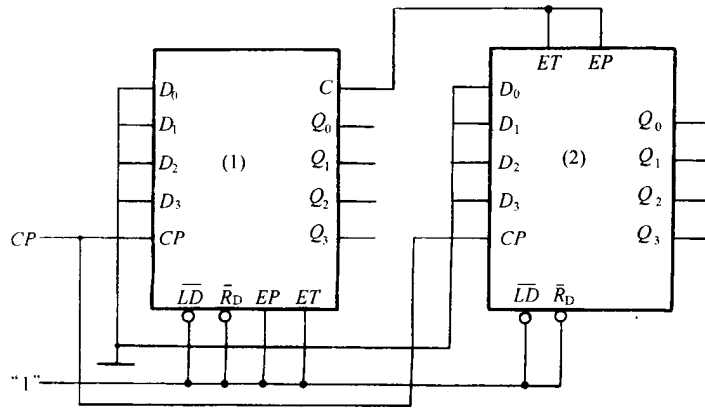


图 4.4

光二极管，或（通过译码显示电路）接数码管，观察在 CP 作用下各触发器 Q 端的状态，说明电路是几进制计数器。

* 5. 用相应 CMOS 器件实现上述功能。

三、实验报告要求

1. 画出集成电路实验连线示意图，整理实验数据，分析实验结果；
2. 根据要求画出状态转换图、时序图，说明电路功能；
3. 总结时序逻辑电路的特点，说明与组合电路的区别；
4. 总结计数器电路的一般分析和设计方法；
5. 总结用中规模集成计数器设计任意进制计数器的方法。

四、预习要求和思考题

1. 预习要求

- (1) 寄存器的功能和特点，用中规模集成计数器构成任意进制计数器的方法；
- (2) 计数器的一般分析和设计方法；
- (3) 中规模集成计数器的功能特点和使用方法；
- (4) 所用中规模集成组件的功能、外部引线排列及使用方法。

2. 思考题

(1) 试用十进制计数器 74LS160 构成六进制计数器，状态转换图见图 4.5 画出电路连线图，并验证。

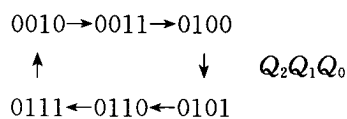


图 4.5

(2) 用图 4.6 方式将 74LS160 构成 100 进制计数器可以吗？试说明理由。

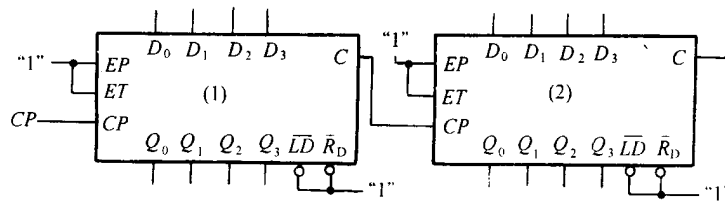


图 4.6