

图书在版编目 (CIP) 数据

集成电路工艺中的化学品/戴猷元, 张瑾编. —北京:
化学工业出版社, 2007. 1

ISBN 978-7-5025-9934-8

I. 集… II. ①戴…②张… III. 化学-应用-集成电路
工艺-基本知识 IV. TN4

中国版本图书馆 CIP 数据核字 (2007) 第 010188 号

责任编辑: 陈 丽

文字编辑: 刘砚哲

责任校对: 徐贞珍

装帧设计: 史利平

出版发行: 化学工业出版社 (北京市东城区青年湖南街 13 号 邮政编码 100011)

印 装: 北京市彩桥印刷有限责任公司

720mm×1000mm 1/16 印张 12 $\frac{1}{4}$ 字数 243 千字 2007 年 3 月北京第 1 版第 1 次印刷

购书咨询: 010-64518888 (传真: 010-64519686) 售后服务: 010-64518899

网 址: <http://www.cip.com.cn>

凡购买本书, 如有缺损质量问题, 本社销售中心负责调换。

定 价: 28.00 元

版权所有 违者必究

前 言

半导体集成电路工艺中需要经过几十个不同的物理化学过程，例如，薄膜制备、光刻、刻蚀、晶片清洗、化学机械抛光等等。这些加工工艺过程中涉及 200 多种化学品。通常把这类化学品称为“电子化学品”。《集成电路工艺中的化学品》一书系统提供了集成电路制造过程中用到的化学品的使用性能、毒性及安全等方面的信息，旨在满足电子化学品的开发者、生产者和使用者的需求。

《集成电路工艺中的化学品》共 7 章，内容包括序言、薄膜制备技术及化学品、晶片清洗技术及化学品、光刻技术及化学品、刻蚀技术及化学品、化学机械抛光技术及化学品、载气及其他化学品。第二章至第六章的内容都与集成电路制造过程的关键技术领域相关。在各章的开始，提供了集成电路制造过程的关键技术的概述、所涉及的化学反应机理等，然后提供集成电路工艺中用到的化学品的物理化学性质、应用描述、毒性及安全等相应信息。书中的内容及附录中涉及了 200 多种化学品和气体，全书最后还列出了 300 余篇参考文献。

《集成电路工艺中的化学品》将半导体元件生产所需的化学品的有用信息和数据汇集在一起，是微电子学研究工作者、从事集成电路制造的过程工程师、电子化学品研究开发者及生产供应企业的科技人员和其他相关人员及有兴趣读者的有价值的参考书。

《集成电路工艺中的化学品》的内容主要是在一些文献著作的相关资料的基础上整理编纂完成的。本书中有关集成电路制造工艺中关键技术的基本原理阐述以关旭东编著的《硅集成电路工艺基础》（北京大学出版社，2003）和杨之廉主编的《集成电路导论》（清华大学出版社，2003）为一般性参考文献。本书中有关集成电路工艺中化学品特性的相关资料以 Misra、Hogan 和 Chorush 编著的《Handbook of Chemicals and Gases for the Semiconductor Industry》（John Wiley & Sons, Inc., 2002）为主要参考书。作为一本资料信息型的书籍，书中还从一些综合性图书中参考和引用了一些资料，对于相关作者的工作成果，在此一并表示感谢。

半导体集成电路的制造过程及关键技术日新月异发展，半导体工业中的新的电子化学品在不断开发。在编写本书的过程中，作者力求使全书框架清晰、资料完整。由于自身的学术水平和实践的限制，书中难免有不足之处，希望专家、同行和广大读者批评指正。

作 者

2006 年 12 月

目 录

第一章 序言	1
1.1 集成电路及其产业的发展	1
1.2 集成电路制造的核心步骤及关键工艺技术	3
1.3 集成电路工艺需要电子化学品	5
第二章 薄膜制备技术及化学品	8
2.1 热氧化生长技术	8
2.1.1 热氧化生长技术概述	8
2.1.2 热氧化方式及化学反应	9
2.1.3 杂质对热氧化速率的影响	10
2.1.4 化学方法改进栅氧化层	11
2.1.5 选择性氧化	12
2.2 热扩散掺杂技术	12
2.2.1 热扩散掺杂技术概述	12
2.2.2 热扩散的种类及主要反应	13
2.2.3 热扩散工艺技术的发展	16
2.3 离子注入掺杂技术	16
2.3.1 离子注入概述	17
2.3.2 注入损伤和热退火	18
2.4 物理气相淀积技术	20
2.4.1 真空蒸发法	20
2.4.2 溅射法	23
2.5 化学气相淀积技术	25
2.5.1 化学气相淀积的基本过程及主要反应	25
2.5.2 化学气相淀积系统及分类	27
2.6 外延技术	31
2.6.1 气相外延的基本过程及设备	31
2.6.2 硅源气相外延的源和主要反应	33
2.6.3 外延层中的杂质分布	33
2.6.4 低压外延	34

2.6.5	选择外延	34
2.6.6	硅烷热分解法外延	35
2.6.7	分子束外延	35
2.7	多晶硅薄膜淀积	36
2.8	二氧化硅薄膜淀积	37
2.8.1	低温 CVD 二氧化硅	38
2.8.2	中温 CVD 二氧化硅	39
2.8.3	CVD 掺杂二氧化硅	40
2.9	氮化硅薄膜淀积	41
2.10	金属钨的薄膜淀积	42
2.11	金属铝的薄膜淀积	44
2.12	势垒层的薄膜淀积	45
2.12.1	介质势垒层和导电势垒层	45
2.12.2	TiN 的薄膜淀积	46
2.13	金属硅化物的薄膜淀积	47
2.14	金属铜的薄膜淀积	48
2.14.1	以铜为互连材料的工艺概述	48
2.14.2	金属铜的薄膜淀积	48
2.15	低介电常数介质材料和薄膜淀积技术	52
2.15.1	低介电常数介质材料	52
2.15.2	低介电常数介质材料的薄膜淀积	53
2.15.3	商业用的低介电常数介质材料	54
附录	化学品及气体理化性质	58

第三章 晶片清洗技术及化学品 75

3.1	集成电路制造过程中的清洗工艺	75
3.2	湿法清洗技术及主要反应	76
3.2.1	SC-1 过程	76
3.2.2	SC-2 过程	77
3.2.3	Piranha 清洗过程	77
3.2.4	DHF (HF 稀溶液) 的二氧化硅蚀刻	77
3.2.5	BHF (HF 缓冲溶液) 的二氧化硅蚀刻	78
3.2.6	臭氧水清洗过程	78
3.2.7	氢氟酸/硝酸清洗过程	79

附录	化学品及气体理化性质	80
----	------------	----

第四章 光刻技术及化学品 85

4.1 光刻技术概述..... 85

4.2 光刻的工艺流程..... 86

4.2.1 涂胶..... 86

4.2.2 前烘..... 87

4.2.3 曝光..... 87

4.2.4 显影..... 87

4.2.5 坚膜..... 88

4.2.6 刻蚀..... 88

4.2.7 去胶..... 88

4.3 光刻胶的基本属性..... 89

4.4 光刻胶的曝光光源..... 92

4.4.1 紫外（UV）曝光光源 92

4.4.2 深紫外（DUV）曝光光源 93

4.4.3 X 射线曝光光源..... 94

4.4.4 电子束曝光..... 94

4.4.5 光刻胶的分类..... 95

4.5 紫外（UV）光刻胶——DQN 系列 95

4.5.1 DQN 系列光刻胶的基本组成 95

4.5.2 DQN 系列光刻胶的光化学机理 96

4.6 深紫外（DUV）光刻胶——化学增强（CA）系列 97

4.7 电子束光刻胶 100

4.8 X 射线光刻胶 101

4.9 工业用的光刻胶材料 102

4.10 抗反射涂层材料..... 106

4.11 光刻胶边缘废料去除剂..... 107

4.12 显影剂..... 108

4.13 光刻胶去胶剂..... 112

4.14 光刻过程中使用的其他材料..... 114

4.14.1 对比增强层材料..... 114

4.14.2 粘附助剂..... 116

4.14.3 聚酰亚胺材料..... 116

4.14.4 栅涂层材料..... 116

附录 化学品及气体理化性质..... 117

第五章 刻蚀技术及化学品 122

5.1 湿法刻蚀技术 122

5.1.1 湿法刻蚀技术概述 122

5.1.2	Si 的湿法刻蚀	123
5.1.3	SiO ₂ 的湿法刻蚀	123
5.1.4	Si ₃ N ₄ 的湿法刻蚀	124
5.1.5	Cu 的湿法刻蚀	124
5.1.6	Al 的湿法刻蚀	125
5.1.7	Mo 的湿法刻蚀	125
5.1.8	Cr 的湿法刻蚀	126
5.1.9	W 的湿法刻蚀	126
5.2	干法刻蚀技术	126
5.2.1	干法刻蚀技术概述	126
5.2.2	二氧化硅和硅的干法刻蚀	128
5.2.3	氮化硅的干法刻蚀	129
5.2.4	多晶硅与金属多晶硅化物的干法刻蚀	130
5.2.5	金属铝及铝合金的干法刻蚀	130
5.2.6	金属铜的干法刻蚀	131
5.2.7	金属钨的干法刻蚀	131
5.2.8	其他材料的干法刻蚀	132
附录	化学品及气体理化性质	133

第六章	化学机械抛光技术及化学品	144
6.1	平坦化	144
6.2	化学机械抛光技术概述	145
6.2.1	CMP 设备及工艺	145
6.2.2	CMP 工艺的主要参数	146
6.3	二氧化硅的 CMP 技术及磨蚀剂	147
6.4	金属钨的 CMP 技术及磨蚀剂	148
6.5	金属铜的 CMP 技术及磨蚀剂	149
6.6	磨蚀剂的技术参数	151
6.7	集成电路工艺中使用的磨蚀剂	153
附录	化学品及气体理化性质	155

第七章	载气及其他化学品	156
附录	化学品及气体理化性质	157

参考文献		173
------	-------	-----

缩略语		187
-----	-------	-----

第一章 序 言

1.1 集成电路及其产业的发展

集成电路，即半导体集成电路。它是以半导体晶体材料为基片，经过加工将元件、有源器件和互连线集成在基片内部、表面或基片上方，使之实现某种电子功能的微型化电路。通常讨论的集成电路指的是单片集成电路，即以一块半导体（硅或砷化镓等）单晶片为基片制成的集成电路。

打开已经封装好的集成电路的封盖，可以看到管壳内的一个集成电路硅片，亦称为“芯片”。在高倍显微镜下，可以观察到芯片的部分图形细节。芯片上的线条和图形的集合是为实现元件、器件和互连线的特殊功能专门设计的。

集成电路的出现，开创了集有源器件和某些元件为一体的电子器件的发展新阶段，使传统的电子器件概念发生了质的变化。集成电路器件不仅体积小、功耗低，而且具有独立的电路功能，甚至可以具备某种系统的功能。集成电路的发明，使电子学进入了微电子学时期，是电子学发展史上的一次重大飞跃。

“集成电路产业一向是通过寻找新的应用领域而发展起来的”。例如，计算器、数字手表、个人计算机、手机的出现及推广应用，都大大地推进了集成电路产业的发展。而且，新的一种产品的销售额往往比前一种产品的销售额高出一个数量级。集成电路是现代工业史上惟一个具有如此飞速发展速度的工业，集成电路产业的发展创造了一个奇迹。

新的应用领域的拓宽和需求的剧增，也刺激和推动了集成电路工艺技术的发展。集成技术发展的标志之一是集成度的提高。

集成度是指每个芯片上的等效门数，一个等效门一般是指一个二输入端的与非门。在 40 多年的发展历程中，集成电路的集成度迅速提高，经历了小规模（SSI）、中规模（MSI）、大规模（LSI）、超大规模（VLSI）、特大规模（ULSI）阶段，现已进入巨大规模集成电路（GSI）阶段。各个发展阶段的集成度见表 1-1。

集成电路集成度的提高主要是通过晶体管尺寸的缩小和芯片面积的增大来实现的。

晶体管尺寸的缩小是提高集成度的重要途径。这样做不仅可以使电路的传输速度加快，而且可以在不引起集成电路制造成本明显上升的前提下，使晶体管密度（即每平方毫米硅片中含有的晶体管数）提高。

表 1-1 集成电路各个发展阶段的集成度

类 别	数字集成电路集成度		模拟集成电路集成度
	MOS 型集成电路	双极型集成电路	
SSI	$<10^2$	<100	<30
MSI	$10^2 \sim 10^3$	$100 \sim 500$	$30 \sim 100$
LSI	$10^3 \sim 10^5$	$500 \sim 2000$	$100 \sim 300$
VLSI	$10^5 \sim 10^7$	>2000	>300
ULSI	$10^7 \sim 10^9$		
GSI	$>10^9$		

注：MOS 型指由金属-氧化物-半导体（metal-oxide-semiconductor，MOS）场效应晶体管组成；双极型指由结型晶体管组成。

增大芯片的面积是提高集成度的另一条途径。20 世纪 60 年代，每一个芯片的面积约为 1mm^2 ，到了 90 年代，每一个芯片的面积已达到 100mm^2 ，20 世纪末，出现了面积为 $1\text{cm} \times 1\text{cm}$ 的芯片。然而，过分增加芯片面积会使每个晶圆片上的有效芯片数减少，也会使集成电路生产的优良品率下降，导致制造成本的上升。加大晶圆片的直径，使每一晶圆片上可容纳的芯片更多，是解决这一问题的办法之一。

人们通常使用“摩尔定律”来描述集成电路的发展。所谓“摩尔定律”，即集成电路芯片的集成度每三年提高四倍，加工的特征尺寸缩小为原来的 $(1/2)^{0.5}$ 。1965 年以来，集成电路发展的历史证明其符合“摩尔定律”所描述的情况。表 1-2 和表 1-3 分别表述了动态随机存储器（DRAM）和微处理器（MPU）的发展年表。

表 1-2 动态随机存储器（DRAM）的发展年表

发布年代	存储容量	元件数/个	特征尺寸/ μm	发布年代	存储容量	元件数/个	特征尺寸/ μm
1970	1Kb	5.2×10^3	8.0	1988	4Mb	8.5×10^6	0.8
1973	4Kb	1.8×10^4	5.0	1990	16Mb	3.4×10^7	0.6
1975	16Kb	3.6×10^4	3.0	1994	64Mb	1.4×10^8	0.35
1979	64Kb	1.4×10^5	2.0	1996	256Mb	5.6×10^8	0.25
1982	256Kb	5.4×10^5	1.5	1999	1Gb	2.2×10^9	0.18
1985	1Mb	2.3×10^6	1.0	2001	2Gb	4.4×10^9	0.15

表 1-3 微处理器（MPU）的发展年表

发布年代	型 号	晶体管数/个	特征尺寸/ μm	发布年代	型 号	晶体管数/个	特征尺寸/ μm
1971	4004	2250	8.0	1989	80486	1200000	1.0
1972	8008	3000	8.0	1993	Pentium	3100000	0.8
1974	8080	4500	6.0	1995	Pentium Pro	5500000	0.6
1976	8085	7000	4.0	1997	Pentium II	7500000	0.35
1978	8086	29000	4.0	1999	Pentium III	24000000	0.25
1982	80286	134000	1.5	2000	Pentium IV	42000000	0.18
1985	80386	275000	1.5	2002	Pentium IV	55000000	0.13

进入 21 世纪,社会的信息化发展更加迅速。与 Internet 相结合的、可移动的、网络化的、智能化的、多媒体的实时信息设备和系统是集成电路发展的主要驱动力,计算机、通讯和消费型电子产品的一体化也是集成电路发展的重要驱动力。表 1-4 为美国半导体协会等机构预测的 2001 年到 2016 年世界集成电路发展的里程表。

表 1-4 世界集成电路发展的里程表

标 志	年 份									
	2001	2002	2003	2004	2005	2006	2007	2010	2013	2016
DRAM 栅长/nm	130	115	100	90	80	70	65	45	32	22
MPU 栅长/nm	150	130	107	90	80	70	65	45	32	22
专用 IC(ASIC)栅长/nm	150	130	107	90	80	70	65	45	32	22
存储器引入阶段产品容量/Gb	2	2	4	4	8	8	16	32	64	64
存储器生产阶段产品容量/Gb	0.512	0.512	1	1	2	2	4	8	32	64
存储器引入阶段芯片面积/mm ²	390	308	364	287	454	359	568	563	373	186
存储器生产阶段芯片面积/mm ²	127	100	118	93	147	116	183	181	239	238
高性能 MPU 生产阶段芯片器件数/(100 万晶体管/芯片)	276	348	439	553	697	878	1106	2212	4424	8848
高性能 MPU 生产阶段芯片面积/mm ²	310	310	310	310	310	310	310	310	310	310
ASIC 生产阶段(自动布图)可用器件数/(100 万晶体管/芯片)	89	112	142	178	225	283	357	714	1427	2854
ASIC 生产阶段最大芯片面积/mm ²	800	800	572	572	572	572	572	572	572	572
存储器引入阶段封装后单位比特价/10 ⁻⁸ 美元	21	14.8	10.5	7.4	5.3	3.7	2.6	0.93	0.33	0.12
存储器生产阶段封装后单位比特价/10 ⁻⁸ 美元	7.7	5.4	3.8	2.7	1.9	1.4	0.96	0.34	0.12	0.042

1.2 集成电路制造的核心步骤及关键工艺技术

集成电路芯片的制造过程中,通常需要经过几十个工艺步骤,似乎极为复杂。然而,无论是简单的 P-N 结二极管,还是复杂的存储器或微处理器,其制造过程都是通过几种关键技术的关键组合,实现核心步骤而完成的。对集成电路芯片制造过程中的核心步骤和关键技术做一个概貌的了解,进而把握整个集成电路芯片制造的工艺过程,是十分重要的。

集成电路芯片的制造任务主要有两方面的内容。一是根据要求实现具有特殊功能的器件结构;二是完成各个器件之间的内部互连,并在集成电路芯片周围完成输入/输出压焊块的制备,实现与外部(管壳端口)的连接。

以硅集成电路制造工艺为例,上述任务的实现主要包括:在硅片内部的指定区域形成指定形状的掺杂区;在已形成的掺杂区内再次形成指定形状的掺杂区;

在薄氧化硅层上形成多晶硅栅；在硅晶片上方形成能连接器件各节点的金属连线及金属压焊块；需要多层金属布线时，在指定的区域连通上下金属层等。

为了在硅晶片内部的指定区域进行选择性的掺杂，形成 N 型岛、P 型区和 N⁺ 型区等，其核心步骤为：

- ① 在硅晶片表面生长一层二氧化硅层，二氧化硅层除了保护硅晶片表面，形成绝缘层外，它的关键作用是作为掺杂的阻挡层，阻挡掺杂原子进入硅表面；
- ② 利用光刻技术，在硅晶片表面的二氧化硅层上确定“窗口”，“窗口”的大小和形状对应于需要掺杂的区域；
- ③ 利用刻蚀技术，去掉“窗口”内的二氧化硅，而不去除硅，暴露出“窗口”处的硅表面；
- ④ 通过扩散掺杂技术或离子注入掺杂技术，使掺杂原子进入二氧化硅未覆盖的区域中，改变硅的杂质性质，实现选择性掺杂。

为了在硅晶片上方形成能连接器件各节点的金属连线及金属压焊块，其核心步骤为：

- ① 在芯片表面生长二氧化硅绝缘层；
- ② 利用光刻技术，在表面的二氧化硅层上确定接触孔“窗口”或通孔“窗口”，“窗口”对应于不同位置的接触孔或通孔；
- ③ 利用刻蚀技术，去掉“窗口”部分芯片表面的二氧化硅，暴露出“窗口”处的表面；
- ④ 利用化学气相淀积技术，在芯片表面形成一层金属层；
- ⑤ 利用光刻技术，确定金属连线的“图形”（pattern）；
- ⑥ 利用刻蚀技术，去掉金属层上不需要的部分，而只留下所需的连线和压焊块。在需要连接上下金属层的指定位置（通孔位置），上层金属会穿过通孔与下层金属连通。

另外，在薄氧化硅层上形成多晶硅栅，其核心步骤与金属连线的核心步骤相似，不同的只是淀积生成的是多晶硅层，刻蚀的也是多晶硅层。

集成电路芯片制造过程中需要多次确定掺杂窗口、接触孔窗口或通孔窗口，多次确定金属内连图形和多晶硅的图形；需要多次进行薄膜制备、掺杂、光刻、刻蚀等操作；同样也需要多次经过化学清洗、表面化学机械抛光等工序，加上后期的封装和测试工作，才能最终完成集成电路芯片的制造任务。

了解了集成电路芯片制造过程中的核心步骤，就很容易明白，集成电路芯片制造过程主要是由如下的关键工艺技术组合而成的：

- ① 薄膜制备技术，包括热氧化生长技术、扩散掺杂技术、离子注入掺杂技术、物理气相淀积技术（真空蒸发，离子溅射等）、化学气相淀积技术和外延技术等等；
- ② 晶片化学清洗技术；
- ③ 光刻技术；

- ④ 刻蚀技术；
- ⑤ 化学机械抛光技术。

1.3 集成电路工艺需要电子化学品

从硅晶圆片或化合物半导体晶片转化为各式各样的复杂的集成电路，其转化过程中利用了几百种复杂程度不同的化学反应。毫无疑问，在半导体集成电路制造工业中，微电子器件的生产需要大量的特殊材料和化学品。

众所周知，集成电路已经广泛应用于国民经济的许多领域，和人们的工作及生活密切相关。从卫星、导弹的控制系统，到汽车、船舶的电子装置，乃至人们使用的电视、音响、电脑、手机，其核心部件都需要采用集成电路。可以说，集成电路已经成为信息产业及高新技术的核心成分，是未来经济发展的重要基石。十分明显，发展集成电路产业不仅需要发展集成电路的设计技术、制造技术、封装技术和检测技术，需要发展集成电路的应用技术，同时也必须发展“清洁”、“环境友好”的材料及化学品的制备技术。

通常认为，集成电路制造是电子工程师和物理学家的领域。然而，从普通的“硅”转化成为复杂的集成电路，绝非一个简单的过程。这种转化需要经过几十个不同的物理化学过程，利用一系列不同的化学反应。半导体器件的更新和发展，在很大程度上依靠材料和化学品的更新和发展。集成电路制造工艺对超纯化学品的需求急剧上升，要求化学化工产业提供特殊的尖端产品、材料及相关技术。这些需求使 200 多种或者更多的化学品用于半导体晶片的加工工艺之中。人们通常把这类化学品称为“电子化学品”。

20 世纪 70 年代以来，化学家和化学工程师为研究和开发新型的电子化学品和材料，进行了大量的工作。这些开发工作使新的化学品不断研制出来，并且在保证过程经济性的前提下，应用于制备工艺、减少了循环次数、提高了产率和优良品率。依靠一块块微小的芯片，几十万个晶体管或其他元件都可以集成在几毫米见方的硅片上，光刻的细度可以小到 $0.1\mu\text{m}$ 以下。这些材料、产品和制造技术离不开电子化学品的使用。

例如，大规模集成电路都需要有高纯度的半导体，特别是大直径、高纯度、高均匀度、无缺陷的单晶硅和半导体材料。区域熔融工艺的发展满足了大规模生产半导体材料的需要。在一个变动的温度场下，固体经历多次的熔融和再结晶，除去杂质，得到纯度非常高的晶体。

又如，集成电路制造过程中需要采用薄膜技术。化学气相淀积（CVD）技术是其中重要的一种方法。实现化学气相淀积薄膜过程不仅需要提供气相淀积加入的超纯化学品组分、超纯载气等，同时也需要发展相应的高效设备，特别是开发新型 CVD 反应器，实现准确的表面分子数量级的镀膜，并通过严密的掺杂方法进行适宜的掺杂与控制。

再如，集成电路制备过程中离不开化学蚀刻技术。在抛光后的硅片上，氧化生成几百纳米厚的 SiO_2 层，然后附上一层光敏聚合材料（光刻胶），曝光进行刻线（进行化学反应），用溶液除去不需要部分后进行化学蚀刻，把蚀刻后的硅片放入扩散炉中掺杂（如掺磷、硼等），生成新的氧化层，这样重复多次操作，可以生成多层导体、半导体和绝缘层结构。十分明显，化学刻蚀需要使用化学品，制备微电子器件的另一个关键材料——光刻胶也是化学品。光刻胶要求去胶容易，图像清晰，分辨率高。为此，研制了高级感光树脂，包括普通光刻胶、紫外正负胶、远紫外光刻胶、电子束胶、软 X 射线胶等。

除了需要制备高纯的固体材料及功能性光刻胶以外，集成电路芯片的制备过程都需要在超净条件下进行，需要超净的储藏和运输，需要使用大量的超净介质，如超净气体、超净水和超净溶剂等，都要求使用电子化学品。电子工业使用的超纯水和超纯试剂，纯度要求极高，其杂质含量达到 ppb 级，仅为十亿分之几。电子工业使用的数十种超纯气体的纯度要求达 99.9999% 以上，除常见气体外，还需制备硼烷、三氯硅烷、四氯化碳等自然界不存在的气体。

另外，电子化学品生产的调查表明，环境和安全的考虑与电子化学品有效性的要求是同样重要的，紧密联系在一起。就是说，“环境友好”的电子化学品的的设计非常重要。值得提及的是，“环境友好”的电子化学品的的设计，又是以深入了解电子化学品在集成电路加工过程中的作用机理为基础的。同样，了解电子化学品在集成电路加工过程中的使用功能、反应机制、环境保护及安全知识，对集成电路行业的技术人员来说，也是十分重要的。

21 世纪的微电子技术将从目前的 3G 时代逐渐发展到 3T 时代，即存储量由 Gb 发展到 Tb，集成电路中器件的速度由 GHz 发展到 THz，数据传输速率由 Gbps 发展到 Tbps。大生产中的特征尺寸将从深亚微米量级进入到纳米量级。目前以 8 英寸为主的硅晶圆片生产，尺寸还会加大，12 英寸直径硅晶圆片投入生产后，到 2015 年左右可能出现更大直径硅晶圆片的制造技术。为此，不仅需要基础物理方面（如半导体器件的输运理论、器件模型、器件结构等）和电路技术方面（低电压低功耗技术、热耗散技术等）的重大进展，而且也必须要有加工工艺技术（如光刻技术、互连技术等）和材料及化学品体系的明显进步。换句话说，半导体化学与化工方面还有大量的研究开发工作需要进行。

迄今为止，有许多有关半导体制造科学与技术方面的书籍，然而，较为全面地提供半导体集成电路制造工艺中的电子化学品信息的书籍还很缺乏。对这些信息的需求是十分明显的。微电子学研究工作者、从事集成电路制造的过程工程师应该了解器件加工工艺中使用的电子化学品的物理化学性质、毒性、应用描述、安全性信息等。同样，电子化学品研究开发者及生产供应企业的科技人员也应该了解半导体加工工艺的信息，以便更好地把握对电子化学品的特殊功能及特殊需求。

本书旨在为那些对半导体制造工艺有兴趣的人们，提供深入了解半导体各加

工步骤中的电子化学品的信息。值得提及的是，在化学品的毒性和安全性信息的描述中，除了使用经常利用的 LD_{50} （半数致死剂量）、 LC_{50} （半数致死浓度）及爆炸范围、闪点等数据外，还尽量提供了一些工业卫生的“参考标准”。例如，美国车间空气中有害物质的容许限值，是由隶属美国劳工部的职业安全与卫生管理局（Occupational Safety and Health Administration, OSHA）负责颁布的法定标准；隶属美国卫生部的国家职业安全与卫生研究所（National Institute for Occupational Safety and Health, NIOSH）、美国政府工业卫生学家联合会（American Conference of Governmental Industrial Hygienists, ACGIH）以及美国海洋安全与卫生管理局（Marine Safety and Health Administration, MSHA）也经常发布建议性的阈限值，这些数据被许多国家作为改善作业环境的参考标准，发挥了积极作用。这些工业卫生“参考标准”的类别说明见表 1-5。

表 1-5 一些工业卫生“参考标准”的类别说明

类别	英 文 全 文	说 明
TLV	threshold limit values	阈限值，工人在该环境中工作而未受特殊伤害的污染物的限制浓度。
STEL	short- term exposure limit	短时间接触工作环境（一天四次，每次 15min，次间时间间隔不少于 60min），未受特殊伤害的污染物的限制浓度。
IDLH	immediately dangerous to life or health	防毒面具损坏的条件下，30min 内撤离工作环境而未受特殊伤害的污染物的最大浓度。
TWA	time-weighted average	时间加权平均。

注：文献中的 TLV、STEL 及 IDLH 值一般为百万分数（ppm）， $1\text{ppm} \approx \text{分子量}/24.46 \text{ (mg/m}^3\text{)}$ 。

本书也对半导体加工工艺的研究内容和发展趋势进行了扼要的讲述。这种讲述是以“电子化学品”为中心展开的，而不是以“电子学”为中心描述的。半导体加工工艺及化学方面的知识将帮助读者理解电子化学品的关键性作用，在电子化学品和集成电路制造工艺之间搭建起连接的“桥梁”。

第二章 薄膜制备技术及化学品

2.1 热氧化生长技术

1960 年，硅平面型结型晶体管的发明为集成电路制造技术做出了关键性的贡献。平面工艺的核心是设法在硅表面生长出二氧化硅（ SiO_2 ）层，形成的 SiO_2 能紧紧地依附在硅衬底表面，而且具有良好的化学稳定性和电绝缘性，有效地解决了“结”的保护问题。从某种意义上说，超大规模集成电路技术能够获得成功的重要原因，就是硅材料表面能够通过热氧化工艺技术生长出稳定的、具有极佳界面电学特性的 SiO_2 层。硅平面工艺中利用热氧化生长技术，制备 SiO_2 层，用作 MOS 器件中的栅氧化层、器件的保护层以及电学性能的隔离、绝缘材料和电容器的介质膜等。 SiO_2 层也可以对某些杂质起到掩蔽作用。一些杂质在二氧化硅中的扩散系数与其在硅中的扩散系数相比要小得多，热氧化生长的 SiO_2 层在离子注入和扩散掺杂中可以作为定域掺杂的阻挡层。

2.1.1 热氧化生长技术概述

对硅晶圆片进行热氧化，生长出 SiO_2 层，是集成电路制造中的重要工艺步骤。使用热氧化生长技术制备的 SiO_2 层质量好，具有很高的重复性和化学稳定性，其物理性质和化学性质较少受湿度和中等热处理温度的影响。另外，热生长 SiO_2 可以很好地控制界面陷阱和固定电荷，对 MOS 器件和其他器件的制备带来很大益处。

热氧化生长技术是指硅与氧或水汽等氧化剂在高温下经化学反应生成 SiO_2 。硅与氧化剂之间经化学反应形成硅氧四面体。硅表面如果没有 SiO_2 层，则氧或水汽等氧化剂直接与硅反应生成 SiO_2 ， SiO_2 生长速率的决定因素是表面化学反应速率。当硅表面生成（或者原有）一定厚度的 SiO_2 层时，氧化剂就必须以扩散方式运动到 Si- SiO_2 界面，再与硅反应生成 SiO_2 。因此，随着 SiO_2 厚度的增加，生长速率将逐渐下降，生长速率的大小将由氧化剂通过 SiO_2 层的扩散速率决定。

热氧化生长的 SiO_2 中的硅来源于硅表面，即硅晶圆片表面的硅有一定的消耗。每生长 $1\mu\text{m}$ 的二氧化硅层，大约要反应消耗掉 $0.44\mu\text{m}$ 的硅衬底层。随着氧化反应的进行，硅表面位置不断向硅内侧移动。热氧化过程中 Si- SiO_2 界面是洁净的，氧化剂中的杂物则留在 SiO_2 层的外表面。

热氧化生长过程通常是将成批的硅晶圆片放入洁净的石英炉管中，石英炉管一般加热到 800~1200℃。在常压下将氧化剂，如干燥的氧气、水汽，从炉管的一端通入并从另一端排出。石英炉管早期利用的是水平卧式加热炉管（如图 2-1 所示）。近年来，更多采用新型的垂直立式加热炉管（如图 2-2 所示）。采用垂直立式加热炉管进行硅晶圆片的热氧化时，首先将硅晶圆片放在石英材料的支架上，其正面向下，尽可能减少颗粒物的沾污。然后，将石英支架连同硅晶圆片一起推入炉管中，氧化剂气体由炉管的顶部流入，经过硅晶圆片恒温区，最后由炉管的底部流出。与传统的水平卧式加热炉管相比，垂直立式加热炉管中氧化剂气体的流动更加均匀，热氧化生长的 SiO₂ 层的质量更好。

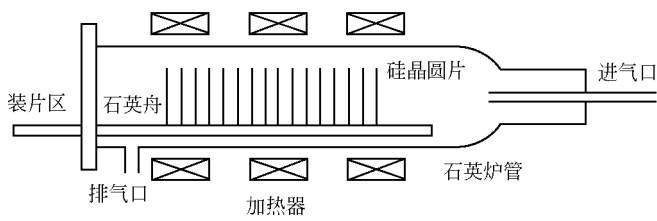


图 2-1 水平卧式加热炉管示意图

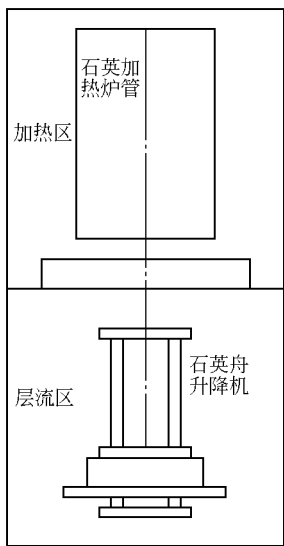


图 2-2 垂直立式加热炉管示意图

2.1.2 热氧化方式及化学反应

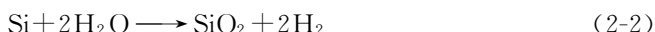
根据氧化剂的不同，热氧化可以分为干氧化、水汽氧化和湿氧化三种主要方式，这些方式都有自己的特点。

（1）干氧化 干氧化是在高温下氧气与硅反应生成 SiO₂，反应式为



氧化温度为 $900 \sim 1200^\circ\text{C}$ 。为了防止外部气体的玷污，可以通过控制气体流速，保持炉内气体压力比外界大气压稍高些，呈正压状态。干氧氧化生成的 SiO_2 层具有结构致密、干燥、均匀性和重复性好、掩蔽能力强、与光刻胶粘附好等优点，而且也是理想的钝化膜。目前，制备高质量的 SiO_2 薄膜基本上采用干氧氧化方式，如制备 MOS 晶体管的栅氧化层等。然而，干氧氧化的 SiO_2 生长速率较慢，故经常和湿氧氧化方式结合使用。

(2) 水汽氧化 水汽氧化是在高温下硅与高纯水产生的蒸气反应生成 SiO_2 ，反应式为



该反应表明，生成一个 SiO_2 分子，需要两个 H_2O 分子，同时产生两个 H_2 分子。产生的 H_2 沿 Si-SiO_2 界面或者以扩散方式通过 SiO_2 层移出。在 SiO_2 中，水比氧具有更高的扩散系数和大得多的溶解度，因此，水汽氧化的 SiO_2 生长速率比干氧氧化的 SiO_2 生长速率高得多。

(3) 湿氧氧化 湿氧氧化的氧化剂是通过高纯水的氧气。高纯水一般加热到 95°C 左右，通过高纯水的氧气携带了一定量的水汽，所以，湿氧氧化的氧化剂含有氧和水汽。湿氧氧化的 SiO_2 生长速率介于干氧氧化生长速率和水汽氧化生长速率之间。一般而言，氧气流量、高纯水水温与水汽含量密切相关。氧气流量越大、水温越高，水汽含量也就越大。当水汽含量较少时， SiO_2 的生长速率和薄膜质量接近干氧氧化时的情况，反之， SiO_2 的生长速率和薄膜质量接近水汽氧化时的情况。

另外，可以使用惰性气体（氮气或氩气）携带水汽进行氧化，在这种情况下氧化完全是由水汽引起的。

在实际的集成电路制备生产中，根据要求选择干氧氧化、水汽氧化或湿氧氧化。为了制备较厚的 SiO_2 层，往往采用干氧-湿氧-干氧相结合的氧化方式。这种氧化方式既保证 SiO_2 表面和 Si-SiO_2 界面的质量，又解决了生长速率问题。

2.1.3 杂质对热氧化速率的影响

氧化剂中或者硅衬底中的杂质、水汽、钠、氯或氯化物等的存在对于热氧化速率的影响是非常明显的。

(1) 硼、磷等杂质 掺有高浓度杂质的硅，其氧化速率明显变大。类型不同的杂质，对氧化速率影响的机制也是不相同的。在氧化过程中，杂质将在 Si-SiO_2 界面两边重新分布。对于在 SiO_2 中慢扩散的杂质硼，过程中将有大量的硼从硅中移入并停留在 SiO_2 中，使 SiO_2 的结构强度降低，氧化剂不但容易进入 SiO_2 中，而且穿过 SiO_2 的扩散能力也增加，因此，氧化速率增大。对于重掺磷的硅也可以观察到氧化速率增大的现象，但其机制与掺硼时的不同。

(2) 水汽 实验发现，在干氧氧化的气氛中，只要存在极少量的水汽，就会

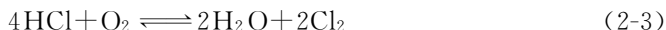
对氧化速率产生重要的影响。例如,对硅(100)的晶面在 800°C 下进行干氧氧化,氧化剂气氛中水汽含量小于 1×10^{-6} 时,氧化700min,氧化层厚度为 $300\text{\AA}$;同样条件下,水汽含量为 25×10^{-6} 时,氧化层厚度为 $370\text{\AA}$ 。对于干氧氧化,水汽是工艺过程中的“杂质”,会增加“陷阱”密度。

(3) 钠 实验发现,当氧化层中含有高浓度钠时,氧化速率明显加大。钠往往以氧化物形式进入 SiO_2 中, SiO_2 网络中氧的数量增加,使一些 $\text{Si}-\text{O}-\text{Si}$ 键受到破坏,氧化剂更加容易进入 SiO_2 中,其浓度和扩散能力都增大。

(4) 氯 在集成电路制造中,为了改善 SiO_2 和 $\text{Si}-\text{SiO}_2$ 界面性质,在氧化的全过程或者在部分氧化工艺中,氧化剂的气氛中可以加入一定数量的氯。氯的加入可以使 SiO_2 的特性得到很大的改善。

在 SiO_2 的生长过程中,硅中的金属杂质可以与氯发生反应,生成易挥发的金属氯化物而被去除,从而提高 SiO_2 的质量。值得提及的是,注意实施细致的清洗工艺,选择理想的石英炉管器具,在氧化气氛中不加入氯,也可以获得质量很高的栅氧化层。由于加入氯可以带来许多好处,因此,大部分氧化炉都具有在氧化过程中加氯的功能。实验表明,在干氧氧化的气氛中加氯,氧化速率明显变大。

在氧化气氛中加入氯的方法很多,直接使用氯气是最早使用的方法。然而,氯容易对容器或者不锈钢管道造成腐蚀,直接加氯在实际应用中存在许多问题。 HCl 是一直使用的氯源。干氧氧化的气氛中含有 HCl 时,发生如下的可逆化学反应



反应生成的水汽加快了氧化速率。在上述加氯工艺中,关键要提供足够的氧气,否则硅片表面会被未完全反应的氯化氢腐蚀,使硅表面不平整,降低栅氧化层的质量。与氯气一样,氯化氢在有水蒸气存在的情况下,可以与不锈钢管道发生反应,起腐蚀作用。

三氯乙烯(TCE)和三氯乙烷(TCA)也可以作为氯源,它们的腐蚀性比 HCl 的腐蚀性小。使用这两种物质作为氯源,必须采取严格的安全预防措施。TCE可能致癌,TCA在高温下能够形成剧毒的光气(COCl_2)。

2.1.4 化学方法改进栅氧化层

随着集成电路特征尺寸的不断缩小,栅氧化层的厚度也要按比例减薄,从而获得良好的器件性能。其中,利用化学方法改进栅氧化层已经取得了大量成果。

化学改进的主要目的是引入可控的杂质质量(例如 $\text{Si}-\text{SiO}_2$ 界面上的氮或氟),借以改进界面的特性,提高 SiO_2 的性能及可靠性。例如, Si 和 SiO_2 之间的晶格失配在 SiO_2 界面引起压应力,而张应力存在于 Si_3N_4 - Si 系统的 Si_3N_4 中,将少量的氮加到界面区,可以抵消压应力的影响。又如,加氟到 $\text{Si}-\text{SiO}_2$ 界面是改进MOS系统性质的方法。化学改进薄氧化层的上述两种方法已有大量的研究成果。