

集成电路版图设计实验

谢德英 陈弟虎 编著

中山大学出版社

· 广州 ·

前 言

无论数字集成电路设计还是模拟/混合集成电路设计,版图设计都是必不可少的重要设计环节。随着芯片规模的不断增长,制造工艺的不断进步,设计复杂度的不断提高,版图设计越来越凸显其重要性并逐渐成为 IC 设计的一个新兴领域。版图设计的工作主要包括:芯片物理结构分析、逻辑分析、建立后端设计流程、版图布局布线、版图编辑、版图物理验证、联络代工厂并提交生产数据等。作为连接设计与制造的桥梁,合格的版图设计人员既要懂得 IC 电路设计、版图设计方面的专业知识,还要熟悉集成电路制造厂的工作流程、集成电路制造原理等相关知识。正因为其需要掌握的知识面广,而国内高校开设这方面的专业课程比较晚,集成电路版图设计工程师的人才缺口更为巨大。

本实验书主要介绍了集成电路后端版图设计的基础知识,并结合应用工程的具体需求,开设相关的实验项目。第一章是基础知识部分,具体包括:结合主流工艺的半导体制造技术,讲述半导体制造工艺规则的具体要求和内容;CMOS 工艺制造流程;MOS 管的各种关键参数的图形表示和 CMOS 工艺中各种常用的数字逻辑单元(与门、或门、非门、与非门、或非门等)及常用的模拟单元(电阻、电容)的版图实现,并介绍版图实现过程中应该注意的规则约束。第二章介绍了当今主流的集成电路设计方法,其中全定制法与标准单元法是集成电路版图实现的主要方式。第三章介绍常用集成电路版图 EDA 设计工具的使用,包括基于工作站的 Synopsys 软件以及基于个人计算机的 Tanner 软件的设计流程。第四章是集成电路版图设计实验内容,共开设九个实验项目,由浅入深,简单到复杂,以加深学生对集成电路版图设计的理解,并通过循序渐进的实践操作,学会和掌握集成电路版图设计基本方法。

本实验书的出版得到了中山大学设备与实验室管理处和理工学院的关心和资助,在此表示感谢。本书在编写过程中,中山大学专用集成电路(ASIC)设计中心给予了大力的支持,同时也得到了黎嘉勇、马道利、丘正前等的无私帮助,在此一并表示感谢。

由于时间仓促,以及作者本人水平有限,书中难免有错误和不妥之处,敬请读者批评指正。

作 者

2007 年 7 月 于康乐园

目 录

第一章 集成电路版图基础	1
1.1 集成电路制造工艺流程	1
1.2 CMOS 集成电路的物理设计	3
1.2.1 NMOS/PMOS 晶体管及其版图实现	4
1.2.2 串联晶体管的版图实现	5
1.2.3 并联晶体管的版图实现	5
1.2.4 反相器的版图实现	6
1.2.5 缓冲器的版图实现	7
1.2.6 二输入与非门和或非门的版图实现	7
1.3 常用模拟单元的版图实现	9
1.4 PAD 单元	11
1.5 集成电路版图设计规则介绍	14
1.5.1 版图几何设计规则概述	14
1.5.2 版图几何设计规则定义	15
1.5.3 版图电学参数介绍	20
1.5.4 版图验证	22
第二章 集成电路设计方法与实现技术	23
2.1 集成电路设计方法及实现技术概述	23
2.2 全定制方法实现技术	24
2.3 半定制方法实现技术	25
2.3.1 基于门阵列的设计方法	25
2.3.2 基于标准单元的设计方法	25
2.4 可编程逻辑器件设计与实现技术	29
2.5 小结	30

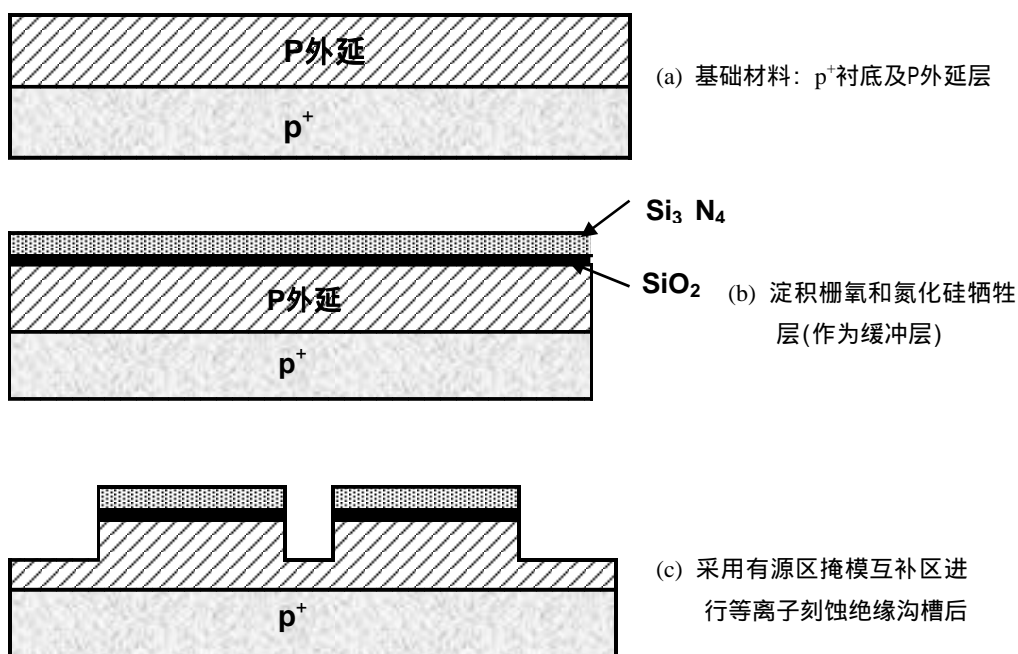
第三章 集成电路设计 EDA 工具介绍——物理设计部分	31
3.1 数字系统集成电路版图自动布局布线工具——Astro	32
3.1.1 创建 milkyway 设计库	33
3.1.2 初始化版图布局	38
3.1.3 建立电源网络	41
3.1.4 标准单元自动摆放(布局)	47
3.1.5 时钟树综合	51
3.1.6 布线	55
3.1.7 版图验证及数据输出	67
3.2 Tanner S-Edit 电路图编辑器操作指南	72
3.3 Tanner L-Edit 版图编辑器操作指南	79
3.3.1 启动 L-Edit 程序的用户界面	80
3.3.2 绘制反相器版图	81
3.3.3 版图与电路原理图对照 LVS	101
3.3.4 版图参数提取	103
3.3.5 生成 GDSII 文件	104
3.4 Cadence 全定制版图设计工具——Virtuoso Layout Editor 介绍	105
3.4.1 启动 Cadence EDA 软件	106
3.4.2 绘制反相器版图	108
第四章 集成电路版图设计实验	116
实验一 集成电路版图的初步认识	116
实验二 绘制 MOS 管及反相器版图	118
实验三 逻辑门电路图和版图编辑与 LVS 一致性检查	120
实验四 简单数字电路版图设计及验证	121
实验五 集成电路版图的提取练习	123
实验六 数字系统集成电路版图设计(1)——数据准备	126
实验七 数字系统集成电路版图设计(2)——布局与时钟树综合	129
实验八 数字系统集成电路版图设计(3)——布线与验证	131
实验九 综合实验(选做)	132
附录一:EDA 平台及 Unix 操作系统简介	133
附录二:一个 MIPS 处理器芯片的 VHDL 代码	139
参考文献	154

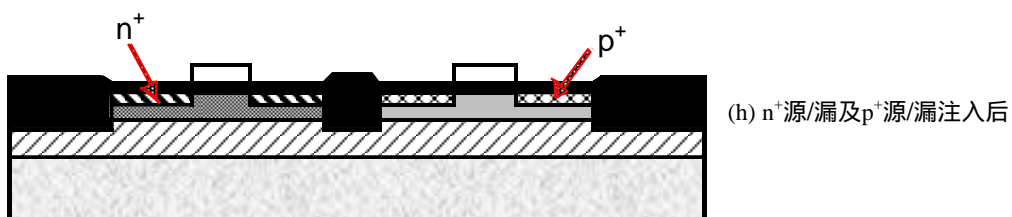
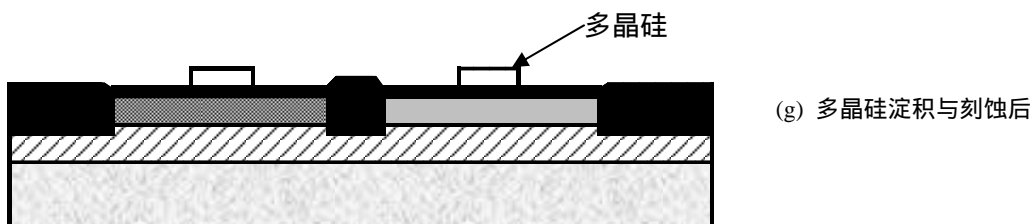
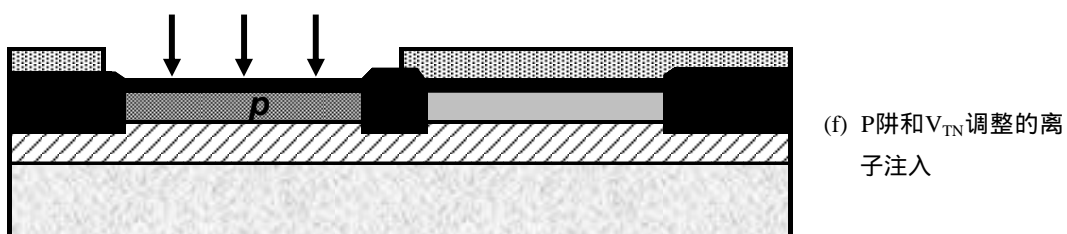
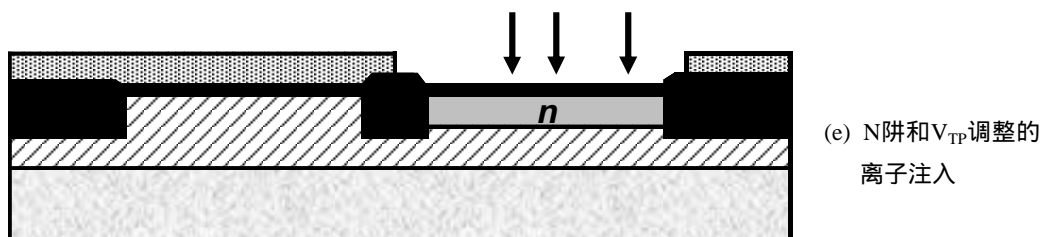
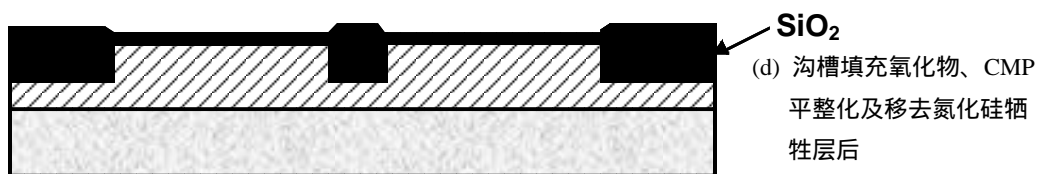
第一章 集成电路版图基础

CMOS 集成电路的制造使用了极其复杂的工艺流程，它把微小的晶体管和连线等在硅片衬底上进行构建和连接。集成电路版图设计则是按照晶体管和连线在硅片上的图形进行绘制的结果，因此版图设计需遵循由制造工艺精度影响所带来的设计规则的约束。作为一名版图设计人员不仅要懂得 IC 设计方面的专业知识，也要熟悉集成电路原理及工艺制造流程。

1.1 集成电路制造工艺流程

本章将简要叙述在现代集成电路制造工艺中所采用的步骤和技术，它能帮助集成电路设计者更好地理解集成电路版图的物理结构以及设计规则。NMOS 和 PMOS 是构成 CMOS 集成电路的基本器件，其制造需要经过许多工艺步骤来完成，每一步骤包含一系列基本操作。图 1.1.1 大致概括了一个现代双阱 CMOS 的工艺流程。





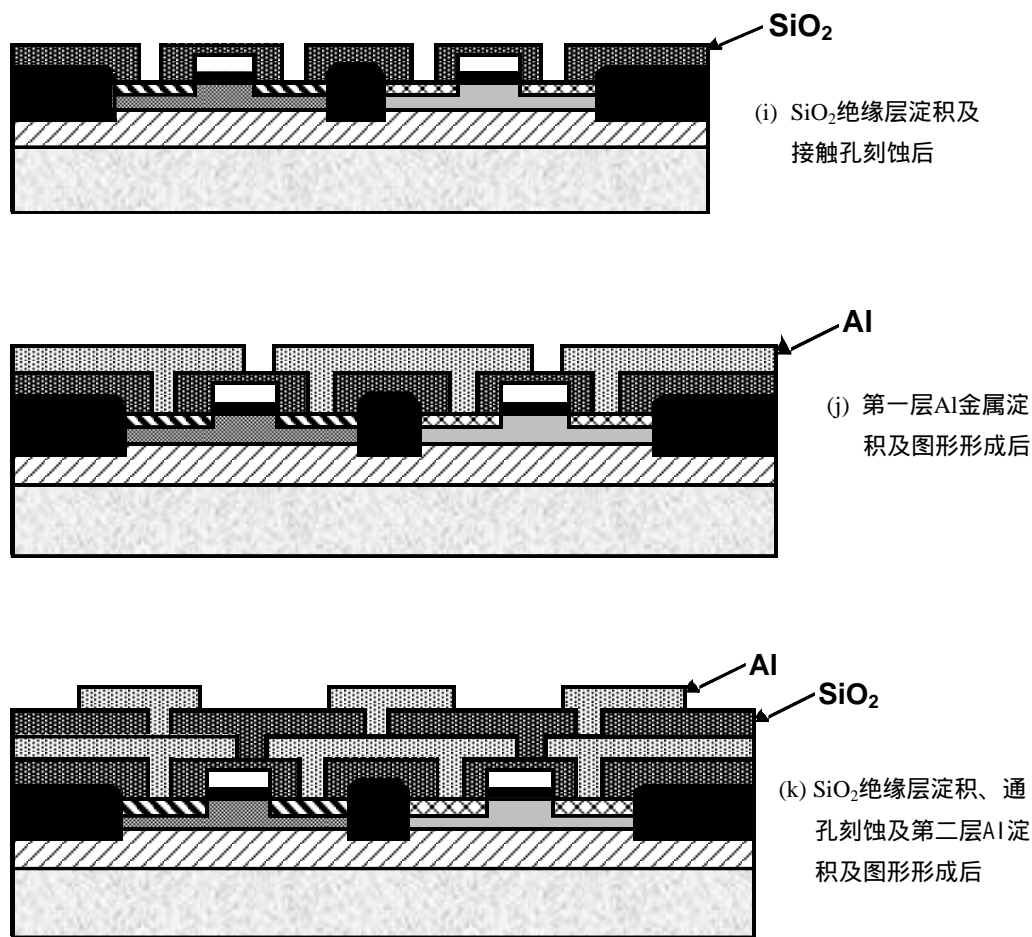


图 1.1.1 双阱 CMOS 的工艺流程

光学掩模定义了转移到半导体材料不同工艺层上的图形，由此在硅片上形成了电子器件的元件和互连线，可见一个集成电路是由按特定次序将不同材料层叠加在一起形成三维结构构成的。因此，建立每层图形是芯片设计过程中的关键部分，因为它确定了所有 MOS 管的位置和尺寸，并且规定如何将晶体管连接在一起。

1.2 CMOS 集成电路的物理设计

集成电路制造过程中所需的掩模板上的图形来自版图，它是集成电路设计流程中最后阶段的产物，芯片中所有器件及互连线都以二维（或准三维）几何图形形式确切定位在版图中。由于版图上的几何图形尺寸与芯片物理层的实际结构及其生产过程之间具有这种直接关系，所以版图设计又称为物理设计。版图设计一般包括基本元器件版图设计、布局布

线以及版图分析与验证。

下面首先介绍基本元器件的版图设计，观察硅片上晶体管 and 典型 CMOS 逻辑门所使用的表面图形。在本节中先将问题简化，把图形线看成引导电流和建立电压的路径，在这个层次上，线的宽度并不重要，只需用电路中的连接关系来跟踪逻辑。

1.2.1 NMOS/PMOS 晶体管及其版图实现

首先了解如何用集成电路工艺层的概念形成一个 MOS 晶体管。图 1.2.1 是形成一个一般 MOS 晶体管所需要的各工艺层叠放后得到的三维结构图。

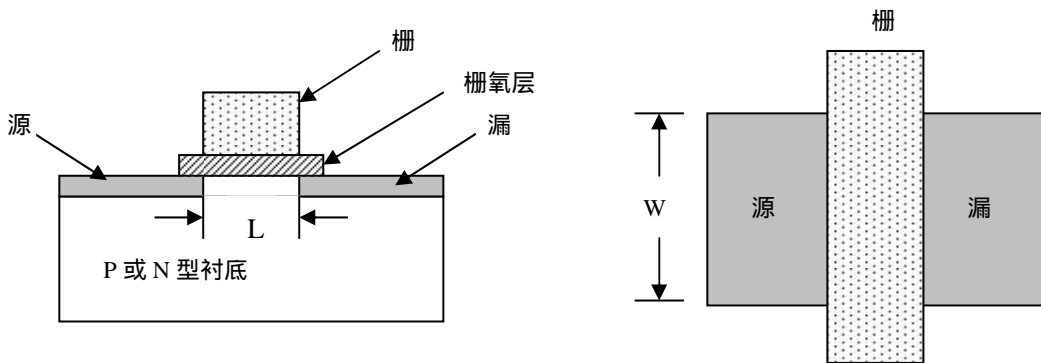


图 1.2.1 晶体管版图及截面图

漏区与源区的距离 L 称为沟道长度，漏区与源区的宽度 W 称为沟道宽度。它们的宽长比 (W/L) 是集成电路版图设计者考虑的最重要参数。

对于 NMOS 晶体管和 PMOS 晶体管来说，两者的区别在于源区和漏区的极性不一样，如图 1.2.2 所示，NMOS 采用 N 型的漏区和源区，PMOS 则具有 P 型的漏区和源区。NMOS 可以直接在 P 型衬底上形成，PMOS 则需要增加 N 阱层与 P 型衬底分隔开。

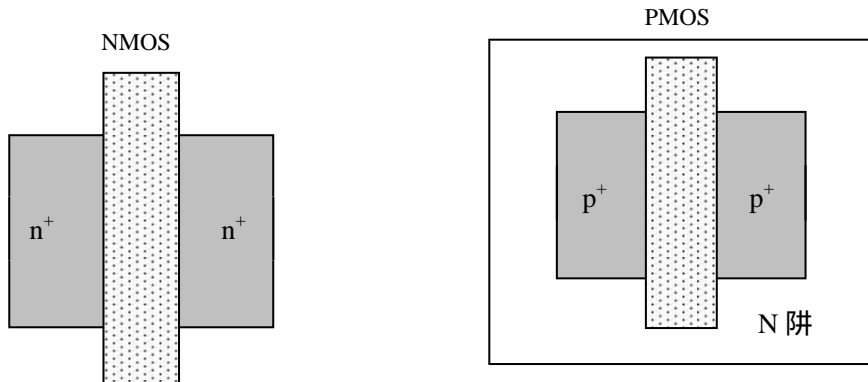


图 1.2.2 NMOS 和 PMOS 版图

1.2.2 串联晶体管的版图实现

图 1.2.3 是 MOS 管串联组合，信号 A 和 B 分别加在两个管子的栅极上。器件可以共用图形区域，如：两栅极间的有源区 (n^+ 或 p^+)，以节省版图面积或降低复杂性。此外，应当注意，串联管子的总电阻是各个管子电阻之和，所以串联的 MOS 管通常都做得比单个管子更大 (W 值)，以降低端对端的总电阻。

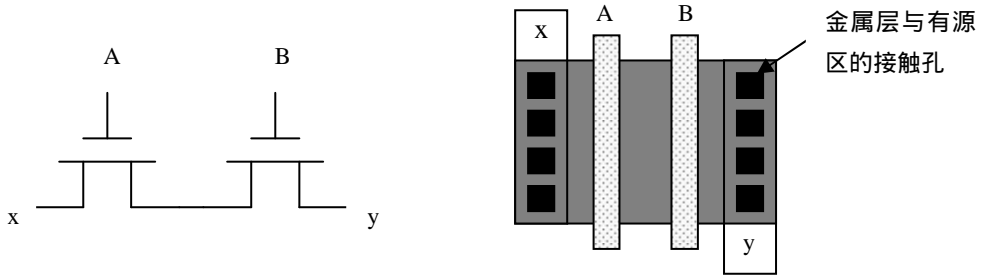


图 1.2.3 串联晶体管电路图与版图

1.2.3 并联晶体管的版图实现

并联的 MOS 管可用同样的方式形成图形。图 1.2.4 中，用金属图形将两个 MOS 管的漏区/源区都连接在节点 x 和 y 之间。图 1.2.5 是另外一种版图方案，但互相分开的晶体管通常比共享漏/源区的晶体管占用更多的面积。

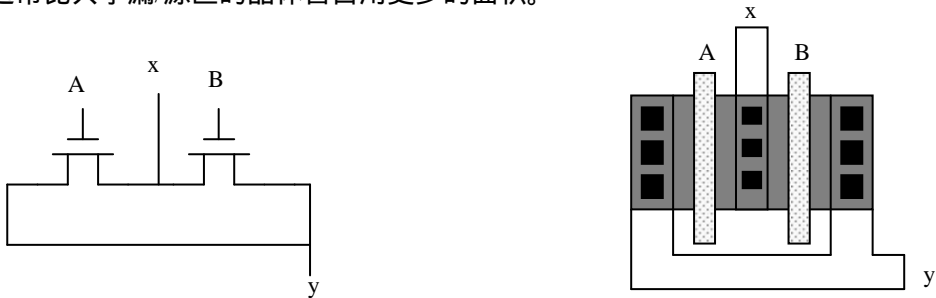


图 1.2.4 并联晶体管电路图与版图

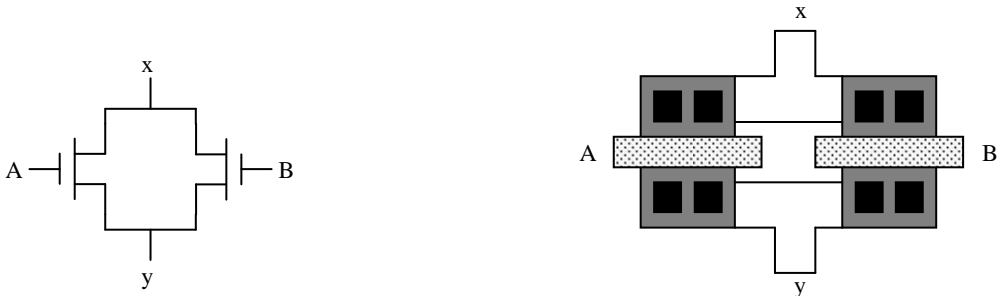


图 1.2.5 并联晶体管电路图与版图的另一方案

1.2.4 反相器的版图实现

反相器是由 NMOS 管和 PMOS 管作为互补对连接成一个电路的。CMOS 电路设计首先在硅上形成 NMOS 管和 PMOS 管，然后通过金属层（导电层）上形成互连线将它们连接在一起。

图 1.2.6 是反相器的电路图和版图，其中电源 (V_{DD}) 和地 (Gnd) 用金属线层布线； n^+ 和 p^+ 区用同样的填充图案表示，不同的是 PMOS 嵌入在 N 阱的边界内；由于金属和 n^+ 或 p^+ 区处于不同的结构层，所以从金属层至 n^+ 或 p^+ 区需有接触孔。

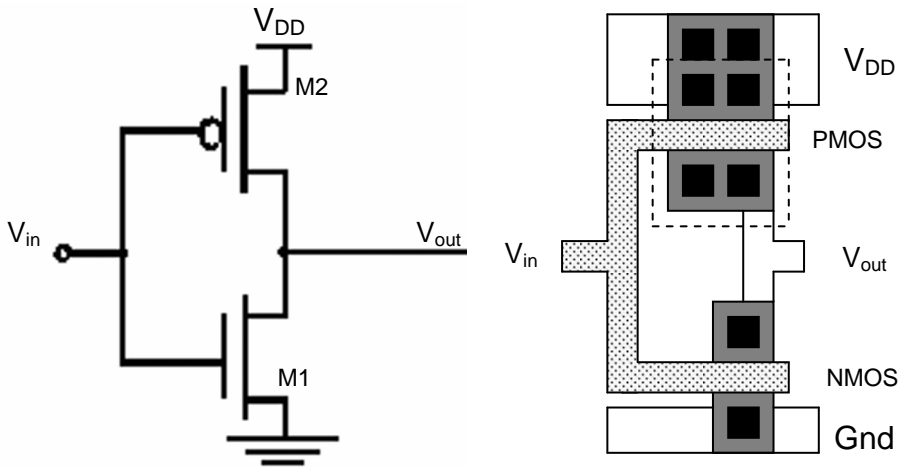


图 1.2.6 反相器电路图与版图

图 1.2.7 是另一种水平走向 MOS 管结构的版图，栅结构比较简单。

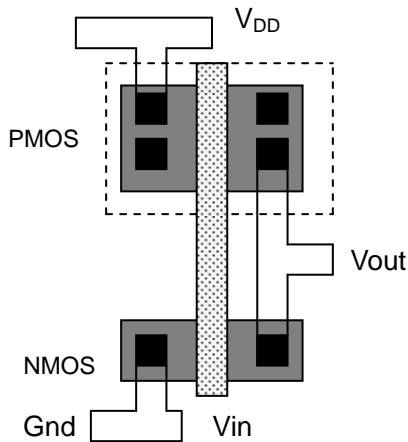


图 1.2.7 反相器版图

1.2.5 缓冲器的版图实现

同一 CMOS 电路可以采用不同的几何版图形式，而物理设计的目标之一是使整个芯片的面积最小，这可以在各个层次上用各种技术来实现。图 1.2.8 是两个反相器在逻辑链中紧靠在一起的例子，图 1.2.9 用两个串联的反相器版图来实现这一逻辑。图中两个非门电路共用 V_{DD} 和 Gnd 连线，这显然比用两个分开电路实现的版图要节省面积。缓冲器提供了电信号的整形并为大的扇出负载提供额外的“驱动强度”。

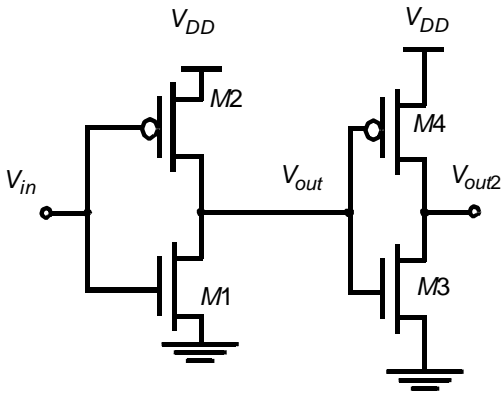


图 1.2.8 缓冲器电路连接图

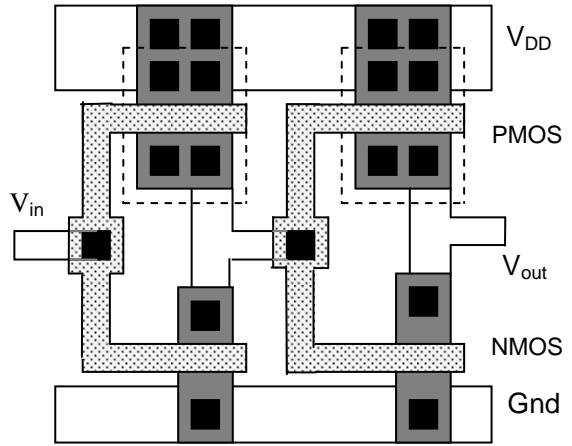


图 1.2.9 缓冲器版图实现

1.2.6 二输入与非门和或非门的版图实现

建立了简单版图的基础后，就可以把它用在更复杂的门上。图 1.2.10 是一个二输入与非门 (NAND2) 电路及版图。两个 NMOS 管串联在一起，因而可按图 1.2.3 的方法布置。由于连着输入 x 及输入 y 的两个 MOS 管垂直布置，因此，加入并联的 PMOS 管可以采用图 1.2.4 介绍的用金属导线实现并联连接的技术。这可保持栅多晶线比较简单。

用同样的方法可以用来构成二输入或非门 (NOR2)。图 1.2.11 所示 MOS 管的连接正好相反，NMOS 并联而 PMOS 串联。

这些版图技术可以扩展到具有三个或更多输入的逻辑门。

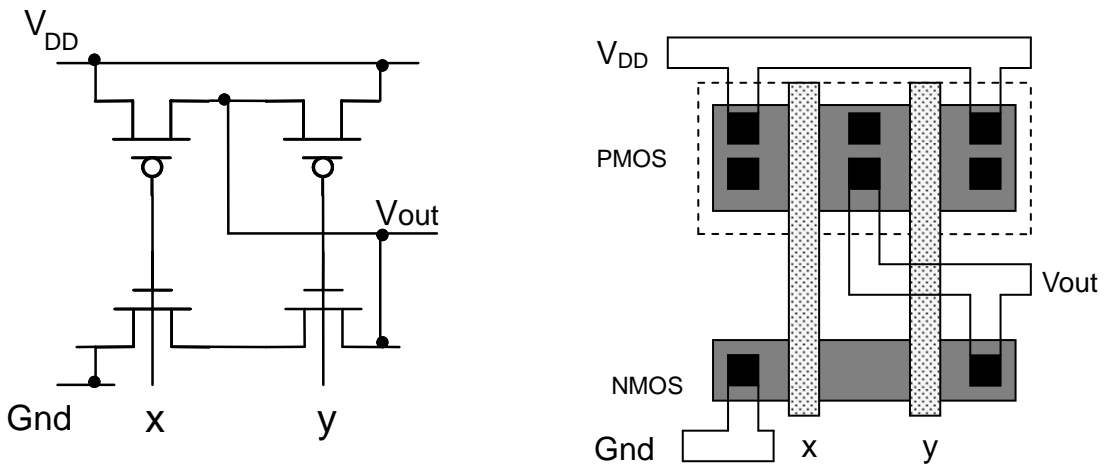


图 1.2.10 二输入与非门电路和版图

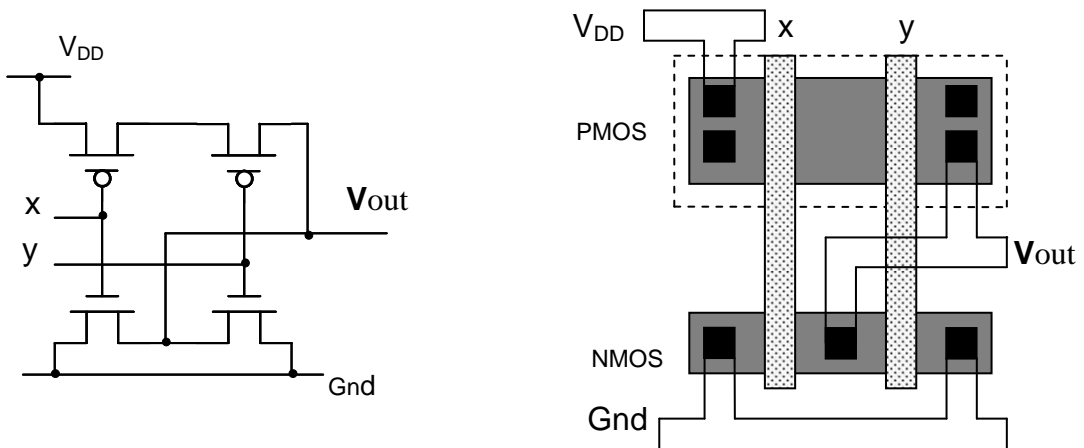


图 1.2.11 二输入或非门电路及版图

前面的例子介绍了建立门级版图的一些基本技术。经验表明，规则的图形和阵列可以得到最高的密度，随意放置的多边形应尽可能避免。每个逻辑门都要求有与电源（VDD）和地（GND）的连接，一般它们布置成水平方向的金属线，所有的 MOS 管都放置在两个供电轨道（VDD 和 GND）之间。

此外，在体硅晶体管版图中，PMOS 管的 N 阱和 NMOS 管的 P 衬底需分别与电源 VDD 和地 GND 接触，称为基底（或 N 阱/P 衬底）接触。在本章中，为了避免电路图看起来连接混乱，将其视为隐含连接而未画出。

1.3 常用模拟单元的版图实现

常用的模拟单元主要是电阻、电容及互连线。

电路中需要用到电阻的情况有：

- 分压器。
- 延迟单元。
- 动态逻辑负载。
- SRAM 单元。
- ESD 输入保护结构。
- 模拟电路。

在大多数设计中，多晶栅被选择作为电阻的材料，因为其电阻值相对较大，电阻率和栅宽度在制造中可被严格控制。图 1.3.1 所示为一个典型的多晶电阻的例子，其中使用了多个单位电阻，从而可以构造出各种匹配的电阻值。

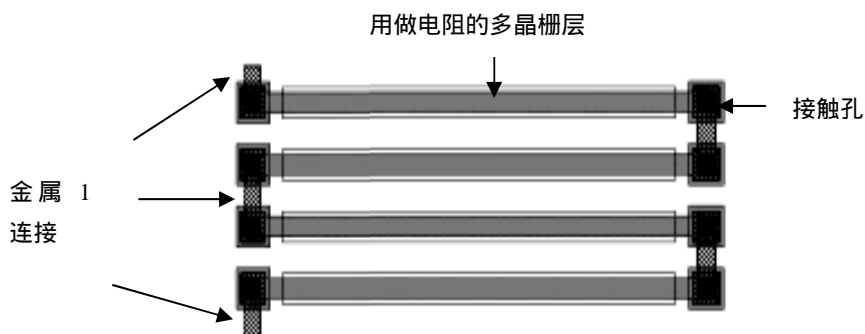


图 1.3.1 典型电阻版图

电容器作为电路设计的一部分，通常应用于以下一些例子：

- DRAM 存储单元。
- 电源去耦电容器。
- 延迟链。
- 特殊的模拟电路，如开关电容等。

图 1.3.2 例示了两个基于一个 NMOS 晶体管的电容器的版图实现。一个在衬底，另一个在 N 阱中。N 阱中的晶体管产生了更大的有效电容，因其具有更低的开启电压。此外，

电容器还可以采用以下方式构成：多晶硅—绝缘材料—多晶硅结构，在两层多晶之间铺设一层较薄的氧化层；以及金属（第 n 层）—绝缘材料—金属(第 n-1 层)结构等。

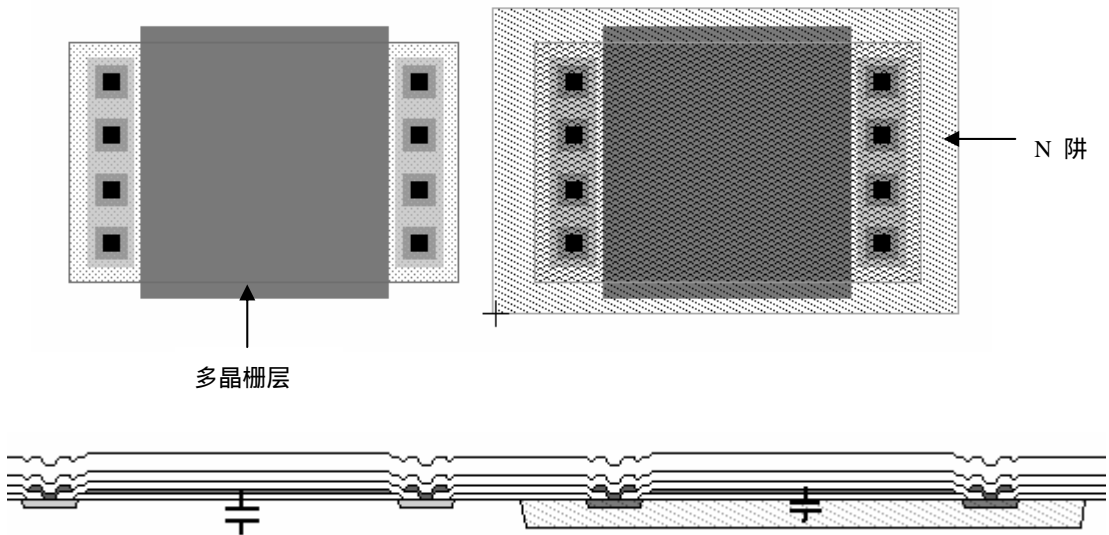


图 1.3.2 晶体管电容器

互连线主要用来连接各种器件，以及点对点的信号传送，如图 1.3.3 所示。金属层、多晶层、甚至重掺杂的 n^+ 和 p^+ 扩散层均可用来作为导线，但在设计中应充分考虑各种互连材料的电阻率、以及寄生电容、电阻和电感等效应。一般来说，对于长互连线金属是优先考虑的材料，多晶应当只用于局部互连。扩散层由于具有较大的电容及相应较大的 RC 延时，应避免采用。此外，在版图设计中，多种线形可以增加版图设计的灵活性，但有时也会带来额外的问题，如：45°角的多边形比 90°角的多边形占用更多的数据库存储空间，然而在某些情况下使用 45°角，又可能会减少版图面积或提高设计的可靠性。特别是在环绕拐角的地方，非常宽的电源线，使用 45°角会使大电流对于金属的压力得到缓解。

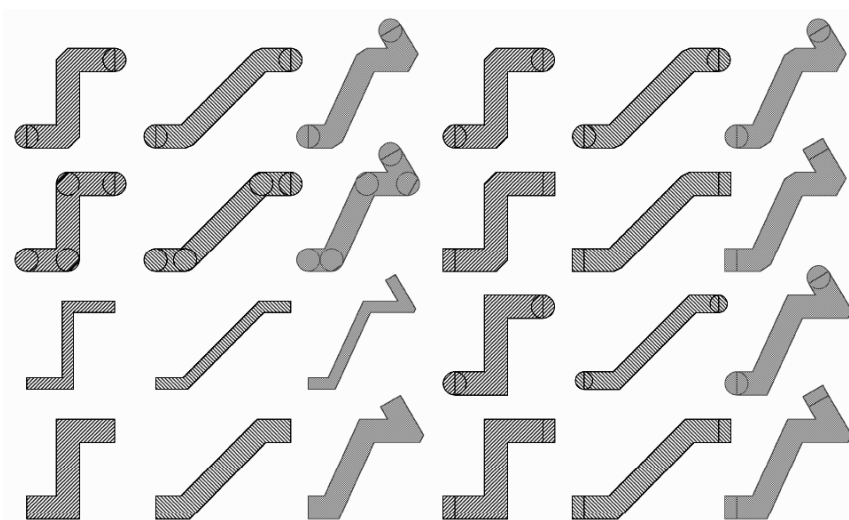


图 1.3.3 各种线形版图

1.4 PAD 单元

每个集成电路芯片都有与印刷电路板的外部界面相连接的接口，集成电路是通过它的封装引脚来实现这种连接的。在芯片封装内部，这些引脚连接到金属导线，这部分统称为框架结构。芯片上的最终连接是通过金线从框架结构连接到芯片（Die）内部称为 PAD 的较大金属区域，如图 1.4.1 示。

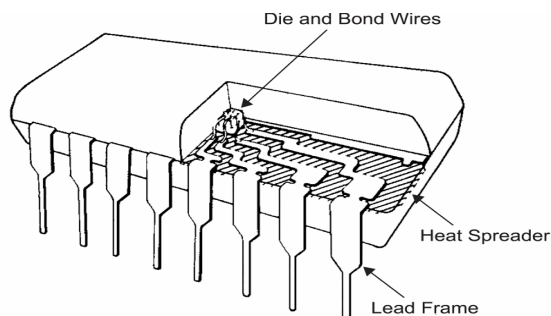


图 1.4.1 芯片封装

PAD 单元是含有大的金属区域或 PAD 的版图单元，由若干结构组成，它们包含以下部分：

绑定金属线所需的可靠连接区域。

ESD 保护结构。

与内部电路相连的接口。

逻辑电路（与 PAD 的功能相关，如输入或输出缓冲）

相比较而言，PAD 很大，约 $(85 \times 85) \mu\text{m}^2$ ，因为 PAD 是作为物理机械焊接金线的目标。PAD 金属采用最顶层的金属，通常有一个很大的通孔来连接顶层金属和下面的层。

图 1.4.2 给出了 PAD 结构和截面图，显示了 PAD 金属层的组合和钝化或玻璃(overglass)层。由于需要，PAD 没有被起保护作用的钝化层覆盖，因此这个区域易受灰尘或其他外部物质的损害。

在大多数的 ASIC 设计中，PAD 单元布置是成环状的，环绕在芯片的核心逻辑电路的周围放置，所以在版图上 PAD 单元的设计用的是特殊的地理位置规则，称为 PAD 框架 (frame)，如图 1.4.3。PAD 功能有三种典型的类型——电源、输入和输出。由于 PAD 必须是一个特定的物理尺寸，在某些情况下，当 PAD 单元数与逻辑电路数的比率很高时，芯片的尺寸 (Size) 可能会取决于 PAD 的数量而造成芯片面积较大。我们的希望是避免这种情况发生。

在设计 PAD 单元时，需注意以下一些情况：

非 PAD 区域：定义不容易绑定的区域，例如芯片拐角处。

PAD 处 45° 角连接：由于 PAD 单元暴露在外围潜在的较高电流中， 45° 角连接可避免尖角和电荷聚积状况的出现。

PAD 单元原点：简化绑定机器提取 PAD 位置的方法，将 PAD 单元的原点设置在绑定的大金属区域的中心。通过简单提取 PAD 单元的版图数据和单元原点，将会产生绑定 PAD 的位置列表。

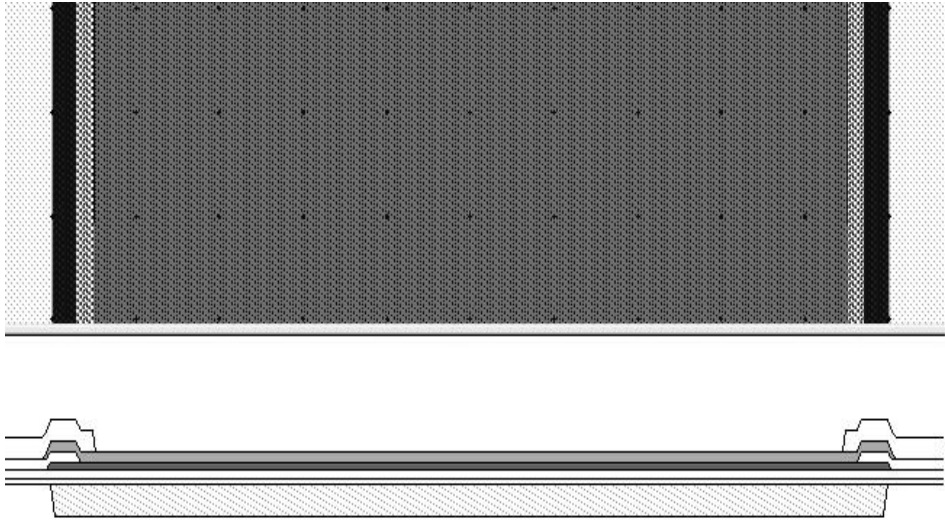


图 1.4.2 PAD 结构和截面图

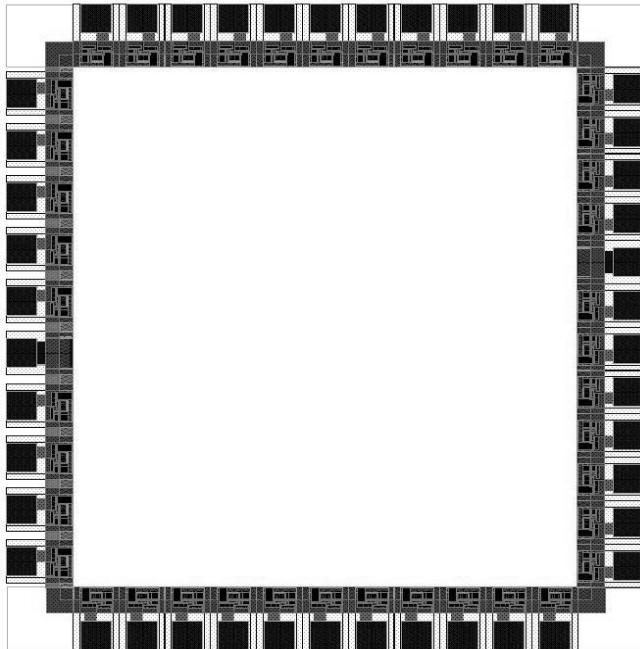


图 1.4.3 PAD 框架