

□ 中国高等职业技术教育研究会推荐

高职高专电子、通信类专业“十一五”规划教材

电子设计自动化

主编 孙加存

参编 王 鹏 赵志强 陶志福

主审 尹常永

西安电子科技大学出版社

2008

内 容 简 介

本书系统地介绍了电子设计自动化(EDA)的设计方法与设计过程,主要内容有 EDA 技术概述、EDA 技术的设计方法、EDA 技术的工具软件、EDA 技术的硬件载体、EDA 技术所使用的硬件描述语言及一些常用数字电路设计方案。

本书注重实用性,以理论为指导,实践内容贯穿全书各章节。理论讲述重点突出,内容新颖;实践过程由简到繁,循序渐进;按照实际产品的原型设计实训项目,使教学与实际电路产品设计接轨。

本书可作为高职高专电子、通信类专业及自动控制类专业学生的教材使用,也可供从事电子系统开发和电子系统设计的技术人员参考。

★ 本书配有电子教案,有需要者可登录出版社网站,免费下载。

图书在版编目(CIP)数据

电子设计自动化/孙加存主编. —西安:西安电子科技大学出版社,2008.8

中国高等职业技术教育研究会推荐. 高职高专电子、通信类专业“十一五”规划教材

ISBN 978-7-5606-2081-7

I. 电… II. 孙…

III. 电子电路—电路设计:计算机辅助设计—高等学校:技术学校—教材 IV. TN702

中国版本图书馆 CIP 数据核字(2008)第 096597 号

策 划 张晓燕

责任编辑 张晓燕

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

http://www.xduph.com E-mail: xdupfb001@163.com

经 销 新华书店

印刷单位 陕西天意印务有限责任公司

版 次 2008 年 8 月第 1 版 2008 年 8 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 14.875

字 数 345 千字

印 数 1~4000 册

定 价 21.00 元

ISBN 978-7-5606-2081-7/TN·0443

XDUP 2373001-1

如有印装问题可调换

本社图书封面为激光防伪覆膜,谨防盗版。

前 言

电子设计自动化(EDA)是近几年迅速发展起来的计算机软件、硬件和微电子技术交叉形成的现代电子设计技术,其含义已经不局限在当初的类似 Protel 电路版图设计自动化的概念,目前 EDA 技术更多的是指芯片内的电路设计自动化。也就是说,开发人员完全可以通过自己设计电路来定制其芯片内部的电路功能,使之成为专用集成电路(ASIC)芯片,这就是当今的用户可编程逻辑器件(PLD)技术。用户完全可以不懂具体的硬件电路结构,而只通过硬件描述语言就设计出功能强大的数字系统。电子设计工程师只要拥有一台电脑、一套 EDA 开发工具、一块 FPGA/CPLD 芯片,就可以设计出所需的专用集成电路,大大减少了开发成本和开发时间。设计人员可以通过软件编程来修改硬件的功能,极大地提高了设计的灵活性和通用性,使电子设计变得简单、快速。

目前,在世界范围内,可编程逻辑器件受到了业界的普遍欢迎,在近几年得到了迅速的发展,其集成度和工作速度不断提高,功能不断完善,已经成为当今实现电子系统集成化的重要工具。因此,EDA 技术势必成为广大电子信息工程技术人员必须掌握的技术,运用 EDA 技术设计电子系统也是一个电子工程师必备的技能。

教育部高度重视 EDA 技术的教学,要求电子技术类课程的体系和内容作相应的改革,在设计手段上应用 EDA 工艺和 FPGA/CPLD 方法。EDA 技术与 FPGA/CPLD 方法是电子技术类课程教学改革的重要方向。在 2000 年以前,该类课程主要在研究生与本科生中开展,随着 EDA 技术的普及和设计方法的简单化,目前各大高职院校相继开设该类课程。但是与高职教育配套的教材不是很多,大多数高职院校所采用的教材是针对本科教育所编写的,侧重点不同。编者经过多年的教学,组织相关教学第一线的老师编写了本书。本书在内容的安排上,既考虑了 EDA 技术本身的系统性、完整性,又考虑了 EDA 技术教学的可操作性与高职教育强调掌握实践技能的要求,做到理论与实践有机结合。本书按照 EDA 技术的基本理论→EDA 技术的工具软件→EDA 技术的硬件载体→VHDL 语言知识→常用数字电路设计→数字系统的设计这样的顺序编写,内容完整,前后连贯,所采用的硬件元器件与工具软件均为目前市场上应用的主流产品。例如硬件载体采用 ALTERA 公司的 ALTERA Cyclone 系列 FPGA 芯片,工具软件主要介绍 ALTERA 公司的 Quartus II 软件。为了适应大多数高校的 EDA 教学开发系统,书中也介绍了 MAX + plus II 工具软件。本书强调学生实际技能的培养,各章基本都安排相关的实训项目,可以让学生学完相关章节内容后有一个实际动手的机会,授课教师也可以根据实训项目对书中内容进行整理,运用项目教学的方法,提高教学效果。本书实训项目较多,其对应的实践教学平台的建设及相关教材内容的设置为江苏省教育科学“十一五”规划(重点)课题(高职教育实践教学体系构建和基地建设研究)阶段性成果,课题批准文号为 B—b/2006/01/003。

本书是编者在多年的开发和教学经验基础上编写而成的。全书共 8 章，第 1 章介绍了 EDA 技术的发展历程与应用及 EDA 技术的发展趋势；第 2 章介绍了 EDA 技术的设计方法，包括传统的数字电路设计方法、现代数字系统设计方法、运用 EDA 技术设计数字系统的设计流程及一些常用工具软件介绍，本章的实训介绍了 MAX + plus II 软件的使用；第 3 章介绍了 EDA 技术的硬件载体结构，主要以 ALTERA 公司的硬件进行讲解，并简单介绍了 SOC 技术，本章的实训介绍了 Quartus II 软件的使用；第 4、5、6 章介绍了 VHDL 语言的知识，包括 VHDL 语言中的实体、结构体、包集合、库、配置、数据类型、数据对象、描述语句与描述风格；第 7 章介绍了常用数字电路的设计方法；第 8 章介绍了数字系统的设计方法。除了第 1 章没有安排实训外，其余各章都安排有实训项目。

本书第 1、2 章由赵志强编写，第 3 章由王鹏与陶志福共同编写，第 4、5、6 章由孙加存编写，第 7 章由王鹏编写，第 8 章由陶志福编写。全书由孙加存统稿。

CPLD/FPGA 技术发展十分迅速，我们和广大读者一样，也在不断地学习。由于编者水平有限且时间仓促，书中遗漏之处在所难免，衷心希望读者批评指正。

编者 E-mail: sjc@jssvc.edu.cn wpeng@jssvc.edu.cn

编 者
2008 年 4 月

第 1 章 EDA 技术概述

电子设计自动化(Electronic Design Automation, EDA)技术以计算机为基础工作平台,以微电子技术为物理基础,以现代电子技术设计技术为灵魂,采用计算机软件工具,最终实现电子系统或专用集成电路(Application Specific Integrated Circuit, ASIC)的设计。EDA 技术的使用者包括两类:一类是专用集成电路芯片的设计研发人员;另一类是广大电子线路设计人员。后者并不具备专门的 IC(集成电路)深层次的知识。本书所阐述的 EDA 技术是以后者为应用对象的。在本书中,EDA 技术可简单概括为以大规模可编程逻辑器件为设计载体,通过硬件描述语言或将逻辑图输入给相应 EDA 开发软件,经过编译和仿真,最终将所设计的电路下载到设计载体中,从而完成系统设计任务的一门新技术。

1.1 EDA 技术的发展历程

伴随着计算机、集成电路、电子系统设计的发展,EDA 技术经历了计算机辅助设计(Computer Assist Design, CAD)、计算机辅助工程设计(Computer Assist Engineering Design, CAED)和电子设计自动化(Electronic Design Automation, EDA)三个发展阶段。

1. 20 世纪 70 年代的计算机辅助设计阶段

早期的电子系统硬件设计采用分立元件。随着集成电路的出现和应用,硬件设计进入到大量选用中小规模标准集成电路阶段。人们将这些器件焊接在电路板上,做成初级的电子系统。对电子系统的调试是在组装好的印刷电路板(Printed Circuit Board, PCB)上进行的。

由于传统的手工布图方法无法满足产品复杂性的要求,更不能满足工作效率的要求,因而人们开始将产品设计过程中具有高度代表性的繁杂劳动(如布图布线工作)用二维图形编辑与分析 CAD 工具替代,其中最具代表性的产品就是美国 ACCEL 公司开发的 Tango 布线软件。PCB 布图布线工具受到计算机工作平台的制约,因此其支持的设计工作有限,且性能比较差。

2. 20 世纪 80 年代的计算机辅助工程设计阶段

随着微电子工艺的发展,相继出现了集成上万只晶体管的微处理器、集成几十万门到上百万门储存单元的随机存储器和只读存储器。此外,支持定制单元电路设计的硅编程、掩膜编程的门阵列,如标准单元的半定制设计方法以及可编程逻辑器件(PAL 和 GAL)等一系列微结构和微电子学的研究成果,这些都为电子系统的设计开辟了新天地,使得可以用少数几种通用的标准芯片实现电子系统的设计。

伴随着计算机和集成电路的发展,EDA 技术进入到计算机辅助工程设计阶段。20 世纪

80年代初推出的 EDA 工具以逻辑模拟、定时分析、故障仿真、自动布局和布线为核心,重点解决电路设计完成之前的功能检测等问题。利用这些工具,设计师能在产品制作之前预知产品的功能与性能,能生成产品制造文件。

如果说 20 世纪 70 年代的自动布局布线的 CAD 工具代替了设计工作中的绘图和重复劳动,那么 20 世纪 80 年代出现的具有自动综合能力的 CAED 工具则替代了设计师的部分工作,对保证电子系统的设计、制造出最佳的电子产品起着关键的作用。到了 20 世纪 80 年代后期,EDA 工具已经可以进行设计描述、综合与优化和设计结果验证。CAED 阶段的 EDA 工具不仅为成功开发电子产品创造了有利的条件,而且为高级设计人员的创造性劳动提供了方便。但此时,大部分从原理图出发的 EDA 工具仍然不能适应复杂电子系统的设计要求,而具体化的元件图形仍制约着对设计的优化。

3. 20 世纪 90 年代电子系统设计自动化(EDA)阶段

为了满足千差万别的系统用户提出的设计要求,最好的办法是由用户自己设计芯片,让他们把所需的电路直接设计在自己的专用芯片上。微电子技术的发展,特别是可编程逻辑器件的发展,使得微电子厂家可以为用户提供各种规模的可编程逻辑器件,使设计者能够通过设计芯片来实现电子系统功能。EDA 工具的发展,又为设计师提供了全线 EDA 工具。这个阶段发展起来的 EDA 工具,目的是在设计前期将设计师从事的许多高层次设计工作由工具来完成,如可以将用户要求转换为设计技术规范,有效地处理可用的设计资源与理想的设计目标之间的矛盾,按具体的硬件、软件和算法分解设计等。电子技术和 EDA 工具的发展,使设计师可以在不太长的时间内使用 EDA 工具,通过一些简单的、标准化的设计过程,利用微电子厂家提供的设计库来完成数万门 ASIC 和集成系统的设计与验证。

20 世纪 90 年代,设计师逐步从使用硬件转向设计硬件,从单个电子产品开发转向系统级电子产品 SOC(System on a chip,即片上系统集成)开发。因此,EDA 工具是以系统级设计为核心,包括系统行为级描述与结构综合、系统仿真与测试验证、系统划分与指标分配、系统决策与文件生成等一整套的电子系统设计自动化工具。这时的 EDA 工具不仅具有电子系统设计的能力,而且能提供独立于工艺和厂家的系统级设计能力,具有高级抽象的设计构思手段,从而使电子系统设计更简单,使电子系统设计不再是电子工程师的专利。

1.2 EDA 技术的应用

EDA 技术在教学、科研、产品设计与制造等各方面都发挥着巨大的作用。在教学方面,几乎所有理工科院校的电子类专业都开设了 EDA 课程,主要目的是让学生了解 EDA 的基本概念和基本原理,掌握用 HDL(Hardware Design Language)语言编写规范的程序,掌握逻辑综合的理论和算法,使用 EDA 工具进行电子电路课程的实验并进行简单系统的设计,为今后工作打下基础。

在科研方面,主要利用电路仿真工具(EWB 或 Pspice)进行电路设计与仿真,利用虚拟仪器进行产品测试,将 CPLD/FPGA 器件实际应用到仪器设备中,从事 PCB 设计和 ASIC 设计等。

在产品设计与制造方面,EDA 技术应用于仿真、生产、测试等各个环节,如 PCB 的制

作、电子设备的研制与生产、电路板的焊接、运用 FPGA/CPLD 进行数字系统的设计与制作、ASIC 的流片过程，等等。

EDA 技术已经应用于各行各业，在机械、电子、通信、航空航天、化工、矿产、生物、医学、军事等各个领域都有 EDA 技术的应用。另外，EDA 软件的功能也日益强大。

1.3 EDA 技术的发展趋势

从目前的 EDA 技术来看，其发展趋势是政府重视、使用普及、应用广泛、工具多样、软件功能强大。随着微电子技术与工具软件的发展，EDA 技术的硬件载体、软件开发工具与设计输入方式等都发生了很大的变化。

1.3.1 EDA 工具的发展

1. 设计输入工具的发展趋势

早期 EDA 工具的设计输入普遍采用原理图输入方式，以文字和图形作为设计载体和文件，将设计信息加载后，由后续的 EDA 工具完成设计分析工作。原理图输入方式的优点是直观，能满足以设计分析为主的一般要求，但是原理图输入方式不适合用 EDA 综合工具。20 世纪 80 年代末，电子设计开始采用新的综合工具，设计描述转向以各种硬件描述语言为主的编程方式。用硬件描述语言描述设计，更接近系统行为描述，且便于综合，更适于传递、修改和设计信息，还可以建立独立于工艺的设计文件。其不便之处是不太直观，要求设计师学会编程。

很多电子设计师都具有原理图设计的经验，不具有编程经验，所以仍然希望继续在这种比较熟悉的符号与图形环境中完成设计，而不是利用编程完成设计。为此，EDA 工具软件公司在 20 世纪 90 年代相继推出一批图形化免编程的设计输入工具，允许设计师用他们最熟悉的设计方式，如框图、状态图、真值表和逻辑方程建立设计文件，然后由 EDA 工具自动生成综合所需的硬件描述语言文件。

2. 具有混合信号处理能力的 EDA 工具

目前，数字电路设计的 EDA 工具比模拟集成电路的 EDA 工具多。模拟集成电路 EDA 工具开发的难度较大，但实现高性能复杂电子系统的设计还离不开模拟信号，因此，20 世纪 90 年代以来，EDA 工具厂商都比较重视数/模混合信号设计工具的开发。具有混合信号设计能力的 EDA 工具能处理含有数字信号处理、专用集成电路宏单元、数/模变换模块、各种压控振荡器在内的混合系统设计。美国 Cadence、Synopsys 等公司开发的 EDA 工具软件就具有这种混合系统设计能力。

3. 仿真工具的发展

在整个电子设计过程中，仿真是花费时间最多，同时也是占用 EDA 工具资源最多的一个环节。通常，设计的大量工作都是在进行仿真，如验证设计的有效性、测试设计的精度和保证设计的要求等。提高仿真的有效性一方面应建立合理的仿真算法，另一方面应在系统级仿真中建立系统级模型，在电路级仿真中建立电路级模型。预计在下一代的 EDA 工具中，仿真工具还会有较大的发展。

4. 综合工具的开发

随着电子系统和电路的集成规模越来越大, 已不可能直接面向版图做设计, 且要找出设计中的错误也更加困难。将设计者从繁琐的版图设计和分析工作中转移到设计前期的算法开发和功能验证上, 这是设计综合工具要达到的目的。高层次综合工具可以将低层次的硬件设计一起转换到物理级的设计, 实现不同层次、不同形式的设计描述转换, 通过各种综合算法实现设计目标所规定的优化设计。设计者的经验在设计综合中起重要作用, 自动综合工具将有效地提高优化设计效率。

综合工具由最初的只能实现逻辑综合, 逐步发展到可以实现设计前端的综合, 直到设计后端的版图综合以及测试综合的理想且完整的综合工具。设计前端的综合工具可以实现从算法级的行为描述到寄存器传输级结构描述的转换, 给出满足约束条件的硬件结构。在确定寄存器传输结构描述后, 由逻辑综合工具完成硬件门级结构的描述, 逻辑综合后的结果作为版图综合的输入数据, 进行版图综合。版图综合将门级和电路级的结构描述转换成物理版图的描述, 通过自动交互的设计环境, 实现按面积、速度和功率完成布局布线的优化, 实现最佳的版图设计。将设计测试工作提前到设计前期, 可以缩短设计周期, 减少测试费用。测试综合贯穿整个设计过程, 可以消除设计小的冗余逻辑, 诊断不可测的逻辑结构, 自动插入可测性结构, 生成测试向量。

随着电子产品市场的飞速发展, 电子设计人员需要更加实用、快捷的 EDA 工具, 使用统一的集成化设计环境, 改变传统设计思路, 即优先考虑具体物理实现方式, 将精力集中到设计构思、方案比较和寻找优化设计等方面, 以最快的速度开发出性能好、质量高的电子产品。

1.3.2 EDA 硬件载体的发展方向

EDA 技术的硬件载体在本书中指的是可编程逻辑器件, 它已经成为当今世界最具吸引力的半导体器件, 在现代电子系统设计中扮演着越来越重要的角色。其未来的发展方向包括以下几个方面:

(1) 向密度更高、速度更快、频带更宽的百万门方向发展。例如, Xilinx 的 XC4036XV 系统的产品其工作速度可以达到 1 GHz, Virtex FPGA 是 100 万门的系统级器件, ALTERA 也已经推出 250 万门以上的可编辑逻辑芯片。

(2) 向系统内可重构的方向发展。系统内可重构是指可编辑芯片在置入用户系统后仍具有改变其内部功能的能力。采用系统内可重构技术, 使得系统内硬件的功能可以像软件那样通过编程来配置, 从而在电子系统中引入“软硬件”的全新概念, 不仅使电子系统的设计和性能改进变得十分简便, 还使新一代电子系统具有极强的灵活性和适应性, 为许多复杂信号的处理及信息加工的实现提供了新的思路和方法。

(3) 向混合可编程器件技术发展。目前运用 EDA 技术设计的电路主要是数字电路, 在未来几年内这一局面将会有所改变, 模拟电路及数模混合电路的可编程技术将有所发展。比如美国 Lattice 于 1999 年底推出的 ispPAC, 就允许设计者使用开发软件在计算机中设计、修改模拟电路, 进行电路特性模拟仿真, 最后通过编程电缆将设计方案下载至芯片中。ispPAC 可以实现三种功能: 信号调理(对信号放大、衰减、滤波), 信号处理(对信号进行求

和、求差、积分运算), 信号转换(将数字信号转换成模拟信号)。

(4) 向低电压、低功耗的绿色元件发展。集成技术的发展, 工艺水平的不断提高, 也使得可编程芯片的工作电压正在逐渐降低, 功耗在不断减少。Philips 的 XPLA1 系列 CPLD 芯片, 其功耗就是普通芯片的 1/1000。

总的来说, EDA 的发展趋势表现在如下几个方面:

(1) 超大规模集成电路的集成度和工艺水平不断提高, 深亚微米工艺走向成熟, 使片上系统设计成为可能。

(2) 市场对电子产品提出更高的要求, 如降低电子系统的成本、减小系统的体积等, 从而对系统的集成度不断提出更高的要求。

(3) 高性能的 EDA 工具得到长足发展, 自动化和智能化程度不断提高, 为嵌入式系统设计提供功能强大的开发环境。

(4) 计算机硬件设计平台性能大幅度提高, 为复杂的片上系统提供了物理基础。

习 题

- 1.1 一般把 EDA 技术的发展分为哪几个阶段?
- 1.2 简述 EDA 技术的应用。
- 1.3 简述 EDA 技术的发展趋势。
- 1.4 简述 EDA 工具的发展。
- 1.5 叙述可编程逻辑器件的发展方向。

第2章 EDA 技术的设计方法

数字系统的设计可以采用不同的方法，具体选择哪一种设计方法有多方面的考虑，如设计者的设计经验、设计的规模和复杂程度、设计采用的工艺及选定的 IC 生产厂家或选用的可编程器件等。在今天复杂的 IC 设计环境下，概括起来只有两种设计方法供数字系统设计人员选择：一种为由底向上(Bottom-up)的设计方法，也称为传统的设计方法；另一种为自顶向下(Top-down)的设计方法，也称为现代的设计方法。

2.1 传统的设计方法

由底向上的设计方法其主要步骤是：根据系统对硬件的要求详细编制技术规格书，画出系统控制流程图，对系统的功能进行细化，合理地划分功能模块，并画出系统的功能框图；进行各功能模块的细化和电路设计；各功能模块设计、调试完成后，将各功能模块的硬件电路连接起来再进行系统的调试，最后完成整个系统的硬件设计。其设计过程大致如图 2-1 所示。

由底向上的硬件设计方法有如下几个特征：

(1) 设计的方向是自底至上，先设计最小的单元电路。使用该方法进行硬件设计首先要选择具体的元器件，并用这些元器件进行逻辑电路设计，从而完成系统的硬件设计，然后再将各功能模块连接起来，完成整个系统的硬件设计。

(2) 采用通用逻辑元器件，通常采用 74 系列或 CMOS4000 系列的产品进行设计。

(3) 在系统硬件设计的后期进行调试和仿真。只有在部分或全部硬件电路连接完成后，才可以进行电路调试，一旦考虑不周到，系统设计存在较大缺陷，则要重新设计，使设计周期延长。

(4) 设计结果是多张电路图。设计调试完毕形成电路原理图，该图包括元器件型号和信号之间的互连关系等。

由底向上的设计方法是传统的 IC 和 PCB 的设计方法。采用由底向上的设计方法需要设计者先定义和设计每个基本模块，然后对这些模块进行连线以完成整体设计。在 IC 设计复杂程度低于 10 000 门时，常采用这种设计方法，但是随着设计复杂程度的增加，该方法会产生产品生产周期长、可靠性低、开发费用高等问题。

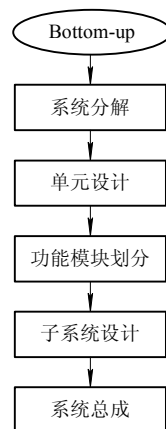


图 2-1 由底向上的设计方法流程图

2.2 现代的设计方法

EDA 技术采用现代的设计方法——自顶向下的设计方法。这种设计方法综合运用各方面的知识，设计者必须从系统的角度来分析每个设计，同时还要对数字电路结构、EDA 工具、微电子等有关知识有比较全面的了解，这样才能发挥自顶向下设计的优势，提高电路设计的质量和效率。在进行自顶向下的设计时，仿真和综合只是系统实现的手段，要成功完成一个复杂系统的设计，不仅要熟练使用先进的高层次设计工具，还要对系统本身有正确理解。

采用自顶向下技术进行设计可分为三个主要阶段：系统设计、系统的综合优化和系统实现，各个阶段之间并没有绝对的界限。图 2-2 是一个完整的自顶向下的设计流程。

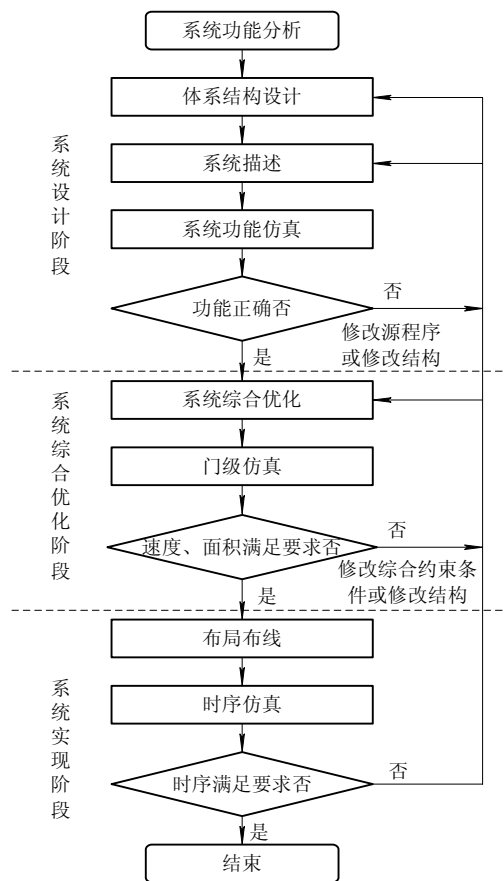


图 2-2 自顶向下设计流程

2.2.1 系统设计

系统设计是整个设计流程中最重要的部分，它包括系统功能分析、体系结构设计、系统描述与系统功能仿真 4 个步骤，这一阶段所做的工作基本上决定了所设计电路的性能，

后面所做的工作都是以这一部分为基础的。

1. 系统功能分析

进行系统功能分析的目的是在进行系统设计之前明确系统的需求，也就是确定系统所要完成的功能、系统的输入输出以及输入输出之间的关系等，并且要确定系统的时序要求。

系统功能分析的另外一个目的就是进行系统的模块划分。在系统分析时，应根据功能的耦合程度，将系统划分为不同的功能模块，每一个功能都映射到一个模块，同时还需要确定模块之间的相互关系，这是模块化设计的基本要求。

2. 体系结构设计

体系结构设计是整个系统设计阶段最重要的工作，它的首要任务就是数据通路和控制通路的设计。在数字系统设计中，系统的控制是建立在数据通路基础之上的，不同的数据通路对应了不同的控制通路。数据通路的设计包括被处理数据的类型分析、处理单元的划分以及处理单元之间的关联程度等。控制通路是数据通路上数据传输的控制单元，用于协调数据处理单元之间的关系。控制通路的设计主要包括数据的调度、数据的处理算法和正确的时序安排。

数据通路和控制通路的设计并不是截然分开的，有时在确定好数据通路后，由于时序或数据调度等问题，而不得不重新修改数据通路。一般来说，数据通路与控制通路的设计往往要经过多次反复才能达到最优效果。

3. 系统描述

所谓系统描述，也就是使用 HDL 语言对系统进行编码。在进行大型软件的开发时，编码与前面所进行的系统划分工作相比就显得不那么重要了，但在使用硬件描述语言进行数字电路描述时，情况则完全不同，因为语言的描述直接决定着电路的性能，不好的编码将无法反映所确定的体系结构，可能导致前面所做的工作完全被浪费。

4. 系统功能仿真

系统功能仿真用于检查设计者所编写的硬件描述语言代码是否完成了预定的功能。几乎所有的高层设计软件都支持语言级的系统仿真，这样在系统综合前就可以通过系统功能仿真来验证所设计系统的功能正确与否。

2.2.2 系统综合优化

在完成系统功能仿真后，接下来的工作就是系统的综合优化，主要包括系统的综合优化与门级仿真。

1. 系统的综合优化

综合器对系统的综合优化主要分为两步：第一步将硬件描述语言翻译成门电路；第二步对产生的电路进行优化。综合优化的主要工作是在第二步进行的，判断一个综合器性能的标准也基于这一步。

系统优化的目的就是花费最少的硬件资源满足最大的时序要求，所以系统优化就是在系统的速度和面积之间找到一个最佳方案。系统优化的关键在于系统约束条件的设定，施加到系统的约束条件将使综合器对系统的优化按照设计者期望的目标进行。

2. 门级仿真

综合工具可以从综合优化后的电路中提取出系统门级描述的硬件描述语言文件，该文件内不仅包含了完成系统功能所需的元件信息，而且也包含了电路元件的一些时序信息，但不包含元件之间的连线信息。门级仿真比功能仿真可以更精确地反映电路的时序特性，经过门级仿真的电路通过布局布线后仿真的可能性增大。进行 ASIC 设计时，在生产厂家的工艺库上布局布线的流程较为繁琐，进行门级仿真可以在进行布局布线之前最大限度地发现问题而节省时间。如果进行布局布线后时序仿真的条件便利，很多情况下就不需要进行门级仿真工作了。比如在使用可编程器件(FPGA 或 CPLD)实现电路时，设计者可以相对地获得布局布线后提取出的延时信息文件，这样就不需要再进行门级仿真了。

2.2.3 系统实现

如果系统综合优化的结果满足设计者的要求，就可以进行系统实现了，设计者可以将综合后的电路的网表文件和设计者的时序要求交给 IC 生产厂家进行下一步的工作，也可以通过 EDA 工具软件对 FPGA/CPLD 芯片进行配置与编程。

2.3 EDA 设计过程

上一节介绍了现代电路设计的流程，这一节介绍运用 EDA 技术进行数字系统设计的过程。完整地了解 EDA 技术进行设计开发的流程对于正确选择和使用 EDA 软件、优化设计项目、提高设计效率十分有益。一个完整的、典型的 EDA 设计流程既是自顶向下设计方法的具体实施途径，也是 EDA 工具软件本身的组成结构。在实践中进一步了解这一设计流程的诸多设计工具，有利于有效地排除设计中出现的问题，提高设计质量和总结设计经验。图 2-3 是运用 EDA 技术进行数字系统设计的流程图。

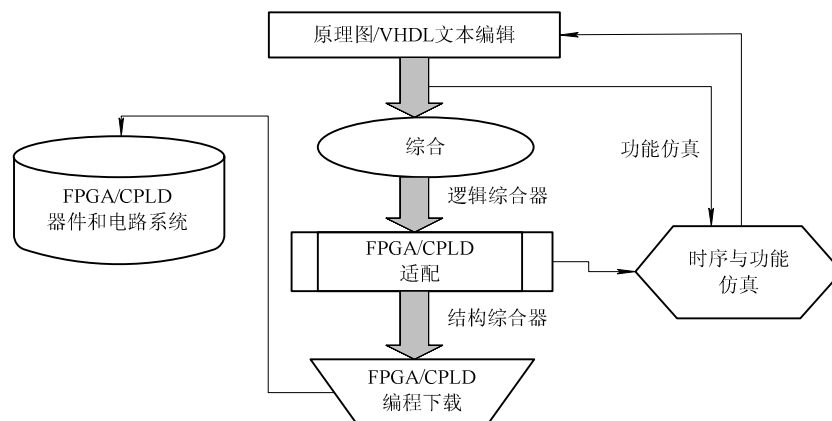


图 2-3 EDA 设计流程图

由图 2-3 知，可以把 EDA 设计流程分为：设计输入、时序与功能仿真、综合、适配与下载。

2.3.1 设计输入

将电路系统以一定的表达方式输入计算机,是在 EDA 软件平台上对 FPGA/CPLD 开发的最初步骤。通常,EDA 工具的设计输入可分为图形输入和硬件描述语言输入两种。

1. 图形输入

图形输入通常包括原理图输入、状态图输入和波形图输入三种方法。

状态图输入方法根据电路的控制条件和不同的转换方式,用绘图的方式在 EDA 工具的状态图编辑器上绘出状态图,然后由 EDA 编译器和综合器将此状态变化流程图编辑综合成电路网表。

波形图输入方法则将待设计的电路看成是一个黑盒子,该黑盒子电路的输入和输出是时序波形图,EDA 工具能据此完成黑盒子电路的设计。

原理图输入是 EDA 设计中最常用的方式,类似于传统电子设计的原理图输入方法,即在 EDA 软件的图形编辑界面中绘制能完成特定功能的电路原理图。原理图由逻辑器件(符号)和连线构成,图中的逻辑器件可以是 EDA 软件库中预制的功能模块,如与门、非门、或门、触发器以及各种 74 系列器件功能的宏功能块,也可以调用由 HDL 语言编写的程序电路,将该程序电路看成一个电路符号进行调用。

原理图编辑绘制完成后,原理图编辑器将对输入的图形文件进行排错,之后再将其编译成适用于逻辑综合的网表文件。用原理图输入的优点是显而易见的:

- (1) 设计者进行电子线路设计不需要增加新的相关知识,如 HDL 语言等。
- (2) 方法与 Protel 作图相似,设计过程形象直观,适用于初学与演示。
- (3) 对于较小的电路模型,其结构与实际电路十分接近,设计者易于把握电路全局。
- (4) 由于设计方式接近于底层电路布局,因而易于控制逻辑资源的使用,节省面积。

然而,使用原理图输入也存在以下缺点:

(1) 图形设计方式并没有得到标准化,不同的 EDA 软件中的图形文件兼容性差,难以交换与管理。

(2) 随着电路设计规模的扩大,原理图输入描述方式必然引起一系列难以克服的困难,如电路功能原理的易读性下降,错误排查困难,整体调整和结构升级困难等。

(3) 由于图形文件的不兼容性,使性能优秀的电路模块的再利用十分困难,这是图形输入应用的最大障碍。

一般在数字电子系统设计中采用原理图与硬件描述语言共同输入的方式,顶层系统文件采用原理图输入,而各个子模块采用硬件描述语言输入。

2. 硬件描述语言(HDL)输入

随着 EDA 技术的发展,使用硬件语言设计 CPLD/FPGA 成为一种趋势。目前最主要的硬件描述语言是 VHDL 和 Verilog HDL。VHDL 发展较早,语法严格,而 Verilog HDL 是在 C 语言的基础上发展起来的一种硬件描述语言,语法较自由。VHDL 和 Verilog HDL 两者相比,VHDL 的书写规则比 Verilog 烦琐一些,但 Verilog HDL 自由的语法也容易让少数初学者出错。国外电子专业很多会在本科阶段教授 VHDL,在研究生阶段教授 Verilog HDL。国内 VHDL 的参考书很多,便于查找资料,而 Verilog HDL 的参考书相对较少,这给学习 Verilog

HDL 带来一些困难。从 EDA 技术的发展上看,已出现用于 CPLD/FPGA 设计的硬件 C 语言编译软件,虽然还不成熟,应用极少,但它有可能会成为继 VHDL 和 Verilog HDL 之后,设计大规模 CPLD/FPGA 的又一种手段。

HDL 输入方式与传统的计算机软件语言编辑输入基本一致,它使用了某种硬件描述语言的电路设计文本(如 VHDL、Verilog HDL 及 AHDL)进行编辑输入。

可以说,HDL 输入方法克服了原理图输入法存在的所有弊端,为 EDA 技术的应用和发展打开一个广阔的天地。

目前有些 EDA 输入工具可以把图形输入与 HDL 输入的优势结合起来,如状态图输入编辑方式即用图形化状态机输入工具,用图形的方式表示状态图,在填好时钟信号名、状态转换条件、状态机类型等要素后,就可自动生成 VHDL/Verilog HDL 程序。又如,在原理图输入方式中,先用 VHDL 描述的各个电路模块,直观地表示系统的总体框架,再用自动 HDL 生成工具生成相应的 VHDL 或 Verilog HDL 程序,但总体上看,纯粹的 HDL 输入仍然是最基本、最有效和最通用的输入方法。

1) VHDL 输入

VHDL(Very-high-speed Integrated Circuit Hardware Description Language)诞生于 1982 年,1987 年底被 IEEE 和美国国防部确认为标准硬件描述语言。自 IEEE 公布了 VHDL 的标准版本 IEEE-1076(简称 87 版)之后,各 EDA 公司相继推出了自己的 VHDL 设计环境,或宣布自己的设计工具可以和 VHDL 接口。此后,VHDL 在电子设计领域得到了广泛的应用,并逐步取代了原有的非标准的硬件描述语言。1993 年,IEEE 对 VHDL 进行了修订,从更高的抽象层次和系统描述能力上扩展 VHDL 的内容,公布了新版本的 VHDL,即 IEEE 标准的 1076-1993 版本(简称 93 版)。现在,VHDL 和 Verilog HDL 作为 IEEE 的工业标准硬件描述语言,同样得到众多 EDA 公司的支持,在电子工程领域已成为事实上的通用硬件描述语言。有专家认为,在新的世纪中,VHDL 与 Verilog HDL 语言将承担起大部分的数字系统设计任务。

VHDL 主要用于描述数字系统的结构、行为、功能和接口。除了含有许多具有硬件特征的语句外,VHDL 的语言形式、描述风格与句法十分类似于一般的计算机高级语言。VHDL 的程序结构特点是将一项工程设计(或称设计实体,可以是一个元件、一个电路模块或一个系统)分成外部(或称可视部分及端口)和内部(或称不可视部分),即涉及实体的内部功能和算法完成部分。在对一个设计实体定义了外部界面后,一旦其内部开发完成,其他的设计就可以直接调用这个实体。这种将设计实体分成内、外两部分的概念是 VHDL 系统设计的基础。

2) Verilog HDL 输入

早期的硬件描述语言是以一种高级语言为基础,加上一些特殊的约定而产生的,目的是为了实现在 RTL 级仿真,用以验证设计的正确性,而不必像传统的手工设计过程那样,必须等到完成样机后才能进行实测和调试。

Verilog HDL 是在使用最广泛的 C 语言的基础上发展起来的一种硬件描述语言,它是由 GDA(Gateway Design Automation)公司的 Phil Moorby 在 1983 年末首创的,最初只设计了一个仿真与验证工具,之后又陆续开发了相关的故障模拟与时序分析工具。1985 年, Moorby 推出它的第三个商用仿真器 Verilog-XL,获得了巨大的成功,从而使得 Verilog HDL 迅速得

到推广应用。1989年, Cadence公司收购了GDA公司,使得Verilog HDL成为了该公司的独家专利。1990年, Cadence公司公开发表了Verilog HDL,并成立了LVI组织以促进Verilog HDL成为IEEE标准,即IEEE Standard 1364-1995。

Verilog HDL的最大特点就是易学易用,如果有C语言的编程经验,设计者可以在较短的时间内学习和掌握Verilog HDL,因而可以把Verilog HDL安排在与ASIC设计等相关的课程内进行讲授。由于HDL语言本身是专门面向硬件与系统设计的,因而这样的安排可以使学习者同时获得设计实际电路的经验。与之相比,VHDL的学习要困难一些。

3) ABEL-HDL 输入

这是一种早期的硬件描述语言,在可编程逻辑器件的设计中可以方便、准确地描述所设计电路的逻辑功能。ABEL-HDL支持逻辑电路的多种表达形式,其中包括逻辑方程、真值表和状态图。ABEL语言和Verilog语言同属一种描述级别,但ABEL语言的特性受支持的程度远远不如Verilog。Verilog是从集成电路设计发展而来的,语言较为成熟,支持的EDA工具很多,而ABEL语言从早期可编程逻辑器件(PLD)的设计中发展而来。ABEL-HDL被广泛用于各种可编程逻辑器件的逻辑功能设计,由于其语言描述的独立性,因而适用于各种不同规模的可编程器的设计。如DOS版的ABEL3.0软件可对包括GAL进行全方位的逻辑描述和设计,而在诸如Lattice的ispEXPERT、DATAIO的Synario、Vantis的Design-Direct、Xilinx的Foundation和WebPack等EDA软件中,ABEL-HDL同样可用于较大规模的FPGA/CPLD器件功能设计。ABEL-HDL还能对所设计的逻辑系统进行功能仿真。ABEL-HDL设计也能通过标准格式转换文件转换至其他设计环境,如VHDL、Verilog-HDL等。从长远来看,ABEL-HDL只会在较小的范围内继续存在。

4) AHDL 输入

AHDL(ALTERA HDL)是ALTERA公司发明的硬件描述语言,特点是非常易学易用,学过高级语言的人可以在很短的时间(如几周)内掌握AHDL。它的缺点是移植性不好,通常只用于ALTERA自己的开发系统中。

2.3.2 综合过程

一般来说,综合过程是仅对于HDL而言的。利用HDL综合器对设计进行综合是十分重要的一步,因为综合过程是连接软件设计的HDL描述与硬件实现的一座桥梁。综合就是将电路的高级语言(如行为描述)转换成低级的、可与FPGA/CPLD的基本结构相映射的网表文件或程序。

当输入的HDL文件在EDA工具中检测无误后,首先面临的是逻辑综合,因此要求HDL源文件中的语句都是可综合的。

在综合之后,HDL综合器一般都可以生成一种或多种文件格式网表文件,如有EDIF、VHDL、Verilog等标准格式,在这种网表文件中用各自的格式描述电路的结构,如在VHDL网表文件中采用VHDL的语法,用结构描述的风格重新诠释综合后的电路结构。

整个综合过程就是将设计者在EDA平台上编辑输入的HDL文本、原理图或状态图形描述,依据给定的硬件结构组件和约束控制条件进行编译、优化、转换和综合,最终获得门级电路甚至更底层的电路描述网表文件。由此可见,综合器工作前,必须给定最后实现的硬件结构参数,它的功能就是将软件描述与给定的硬件结构用某种网表文件的方式对应

起来,成为相应的映射关系。

如果把综合理解为映射过程,那么显然这种映射不是惟一的,并且综合也不是单纯的或一个方向的。为达到速度、面积、性能的要求,往往需要对综合加以约束,称为综合约束。

2.3.3 适配器

适配器也称结构综合器,它的功能是将由综合器产生的网表文件配置于指定的目标器件中,使之产生最终的下载文件,如 JEDEC、Jam 格式的文件。适配器所选定的目标器件(FPGA/CPLD 芯片)必须属于原综合器指定的目标器件系列。通常,EDA 软件中的综合器可由专业的第三方 EDA 公司提供,而适配器则需由 FPGA/CPLD 供应商提供,因为适配器的适配对象直接与器件的结构细节相对应。

逻辑综合通过后必须利用适配器将综合后的网表文件针对某一具体的目标器件进行逻辑映射操作,包括底层器件配置、逻辑分割、逻辑布局布线操作。适配完成后可以利用适配所产生的仿真文件进行精确的时序仿真,同时产生可用于编程的文件。

2.3.4 时序仿真与功能仿真

在编程下载前必须利用 EDA 工具对适配生成的结果进行模拟测试,这就是仿真。仿真就是让计算机根据一定的算法和一定的仿真库对 EDA 设计进行模拟,以验证设计,排除错误。仿真是 EDA 设计过程中的重要步骤。时序与功能仿真通常由 PLD 公司的 EDA 开发工具直接提供,也可以选用第三方的专业仿真工具。

1. 时序仿真

时序仿真是接近真实器件运行特性的仿真,仿真文件中已包含了器件的硬件特性参数,因此仿真精度高。但时序仿真的仿真文件必须来自针对具体器件的综合器与适配器。综合后所得到的 EDIF 等网表文件通常作为 FPGA 适配器的输入文件,产生的仿真网表文件中包含了精确的硬件延迟信息。

2. 功能仿真

功能仿真是指直接对 VHDL、原理图描述或其他描述形式的逻辑功能进行功能模拟,以了解其实现的功能是否满足原设计要求,仿真过程不涉及任何具体器件的硬件,不经历综合与适配阶段,在设计项目编辑编译后即可进入门级仿真器进行模拟测试。直接进行功能仿真的好处是设计耗时短,对硬件库、综合器等没有任何要求。对于规模比较大的设计项目,综合与适配是非常耗时的,比如每一次修改后的模拟都必须进行时序仿真,显然极大地降低开发效率。因此,通常的做法是:首先进行功能仿真,待确认设计文件所表达的功能满足设计者原有意图,即逻辑功能满足要求后,再进行综合、适配和时序仿真,以便把握设计项目在硬件条件下的运行情况。

2.3.5 编程下载

适配后生成的下载或配置文件通过编程器或编程电缆向 FPGA 或 CPLD 进行下载,以便进行硬件调试和验证(Hardware Debugging)。