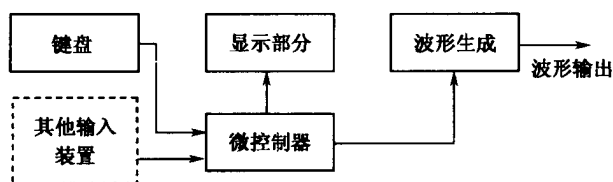


A 题 波形发生器

一、任务

设计制作一个波形发生器，该波形发生器能产生正弦波、方波、三角波和由用户编辑的特定形状波形。示意图如下：



二、要求

1. 基本要求

- (1) 具有产生正弦波、方波、三角波三种周期性波形的功能。
- (2) 用键盘输入编辑生成上述三种波形（同周期）的线性组合波形，以及由基波及其谐波 5 次以下）线性组合的波形。
- (3) 具有波形存储功能。
- (4) 输出波形的频率范围为 100 Hz ~ 20 kHz（非正弦波频率按 10 次谐波计算）重复频率可调 频率步进间隔 ≤ 100 Hz。
- (5) 输出波形幅度范围 0 ~ 5 V（峰 - 峰值）可按步进 0.1 V（峰 - 峰值）调整。
- (6) 具有显示输出波形的类型、重复频率（周期）和幅度的功能。

2. 发挥部分

- (1) 输出波形频率范围扩展至 100 Hz ~ 200 kHz。
- (2) 用键盘或其他输入装置产生任意波形。
- (3) 增加稳幅输出功能，当负载变化时，输出电压幅度变化不大于 $\pm 3\%$ （负载电阻变化范围：100 Ω ~ ∞ ）。
- (4) 具有掉电存储功能，可存储掉电前用户编辑的波形和设置。
- (5) 可产生单次或多次 1000 次以下 特定波形（如产生 1 个半周期三角波输出）。
- (6) 其他（如增加频谱分析、失真度分析、频率扩展 > 200 kHz 扫频输出等功能）。

三、评分标准

	项 目	满分
基本要求	设计与总结报告:方案比较、设计与论证,理论分析与计算,电路图及有关设计文件,测试方法与仪器,测试数据及测试结果分析	50
	实际制作完成情况	50
发挥部分	完成第(1)项	10
	完成第(2)项	10
	完成第(3)项	10
	完成第(4)项	5
	完成第(5)项	5
	完成第(6)项	10

作 品 1

作者：甘剑松苏文俊黄琳（北京邮电大学）

赛前及文稿整理辅导教师：韩玉芬郭林

摘 要

本系统由 EPLD、单片机控制模块、键盘、触摸屏、LCD 显示、RS232 输入输出模块、输出功率放大模块、频谱分析模块组成。采用直接数字频率合成（DDFS）、双 D/A、双端口 RAM、实时计算波形值等技术，可以产生任意波形组合。该系统频率范围宽，步进小，幅度和频率的精度高。

一、方案论证与比较

1. 常见信号源制作方法

方案一：采用模拟分立元件或单片压控函数发生器 MAX038，可产生正弦波、方波、三角波，通过调整外部元件可改变输出频率，但采用模拟器件由于元件分散性太大，即使使用单片函数发生器，参数也与外部元件有关，外接的电阻电容对参数影响很大，因而产生的频率稳定

度较差、精度低、抗干扰能力低、成本也高；而且灵活性较差，不能实现任意波形以及波形运算输出等智能化的功能。

方案二：采用锁相式频率合成方案。锁相式频率合成是将一个高稳定性和高精度的标准频率经过加减乘除的运算产生同样稳定性和精确度的大量离散频率的技术，它在一定程度上解决了既要频率稳定精确、又要频率在较大范围可变的矛盾。但频率受 VCO 可变频率范围的影响，高低频率比不可能做得很高，而且只能产生方波或正弦波，不能满足任意波形的要求。

方案三 采用 DDFS，即直接数字频率合成方案。这是目前实际应用的任意波形发生器常采用的方案。

2. 方案论证

(1) DDFS 原理 DDFS 的基本原理框图如图 1-1-1 所示。

输出波形的一个完整的周期、幅度值都被顺序地存放在 RAM 中。当 RAM 的地址变化时，DAC 将此波形数据转换成电压波形，此电压波形的频率与 RAM 地址变化的速率成正比。DDFS 发生器使用了相位累加技术来控制波形在 RAM 中的地址。它用一个加法器代替计数器来产生 RAM 的顺序地址。在每一个时钟周期，存储于相位递增寄存器（PIR - Phase increment register）中的常数都被加到相位累加器的当前结果上。相位累加器输出的最大有效位数被用来确定波形在 RAM 中的地址。

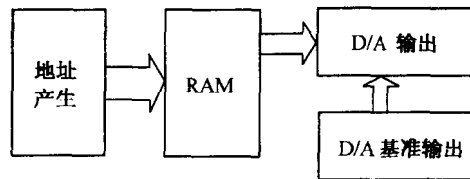


图 1-1-1

通过改变 PIR 的常数，便改变了每个周期中的点数，而这些点数正是用来改变整个波形的频率。当一个新的 PIR 常数被存进寄存器，波形的输出频率便随下一个时钟周期连续地改变相位。相位累加器将依据 PIR 中存储的常数来改变 RAM 的地址。若 PIR 数值很小（即频率较低）累加器便一步一步地经过每个 RAM 地址。当 PIR 的值较大时，相位累加器将跳跃某些 RAM 地址。因此，随着频率的增加，每个波形周期中的输出采样点数将减少。实际上，在不同频率的波形中，每个周期给出的点数是不同的。

(2) DDFS 的特点

DDFS 的频率分辨率在相位累加器的位数 N 足够大时，理论上可以获得相应的分辨率，这是传统方法难以实现的。

由于 DDFS 中无需相位反馈控制，频率建立及频率切换快，并且与频率分辨率、频谱纯度相互独立，这一点明显地优于 PPL。

③ DDFS 的相位误差主要依赖于时钟的相位特性，相位误差小。另外，DDFS 的相位是连续变化的，形成的信号具有良好的频谱，这是传统的直接频率合成方法无法实现的。

DDFS 的失真度除受 D/A 转换器本身的噪声影响外与离散点数 N 和 D/A 字长有着密切关系。设 q 为均匀量化间隔，则其近似数学关系为

$$\text{THD} = \sqrt{\left[1 + \frac{q^2}{6}\right] \left[\frac{\pi/N}{\sin(\pi/N)}\right]^2 - 1} \times 100\%$$

按上式计算，当取样点数为 1024 点时失真度约为 0.260%。在最高输出频率取样点数为 32

点 量化级数为 256 时 失真度约为 5.676% 已经足够小了 可以满足系统的要求。

综合以上分析 ,DDFS 方案是完成此题目要求的最佳方案。

二、系统设计

1. 总体设计

(1) 系统框图如图 1-1-2 所示。

(2) 模块说明

波形产生电路：
用 EPLD 控制 DDFS 电路，从存储器读出波形数据，把数据交给 D/A 转换器进行转换得到模拟波形。

键盘输入模块：
用 8279 控制 4×4 键盘，8279 得到键盘码，通过中断服务程序把键盘信息送给单片机。此方案不用单片机控制键盘，使单片机可以腾出更多资源。

液晶显示模块：采用液晶显示可以显示很多信息，接口电路简单，控制方便。

任意波形输入模块：采用触摸屏将手写的任意波形的数据从单片机串口送入系统，也可通过具有 RS232 接口的外设输入波形数据，供单片机处理。

波形 A/D 采集模块用 MAX574 以 10 k 速率对输入信号进行采集。

频谱分析模块：采用高效实序列 FFT，算法计算采样信号的频谱。

单片机控制模块：系统的主控制器，控制其他模块协调工作。

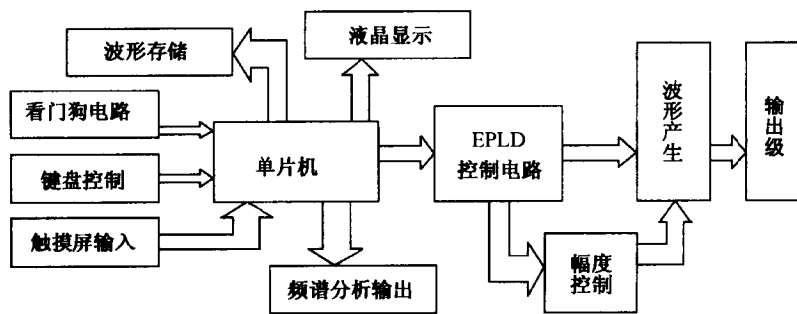


图 1-1-2

2. 各模块设计及参数计算

(1) 频率参数计算、EPLD 设计题目要求波形频率范围为 100 Hz ~ 200 kHz, 步进 ≤100 Hz 为使频率范围扩展到 200 kHz 步进达到 1 Hz 根据

$$f_{out} = \frac{f_{clk}}{2^M} \cdot N$$

$$\Delta f = \frac{f_{clk}}{2^M} = 1$$

因此选取的时钟频率必须为 2^M Hz。另外要保证 200 kHz 以上时，取样点数不小于 32 点 以减小失真，这样时钟频率必须大于 6.4 MHz。综合考虑，选取相位累加器时钟频率 8.388 MHz 相位累加器位数为 23 位 频率步进为

$$f_s = \frac{8.388 \times 10^6}{2^{23}} = 1 \text{ Hz}$$

相位增量寄存器为 18 位 则最高输出频率为

$$f_{\text{out}} = \frac{8.388 \times 2^{18}}{2^{23}} = 262.125 \text{ kHz}$$

最低输出频率为 1 Hz。

D/A 转换器的转换时间为 100 ns 可以保证在输出频率为 262 kHz 时 输出 32 个样点。用 EPLD 芯片作为控制电路输出地址，从存储器读出数据送到 D/A 转换器。EPLD 芯片选择了 EPM7128SLC84-15 在 8.388 MHz 频率下，时延影响可忽略。为节省单片机的输出管脚，采用串行输入的方式对 EPLD 进行控制。

控制电路的设计用 VHDL 语言实现。原理框图如图 1-1-3 所示。

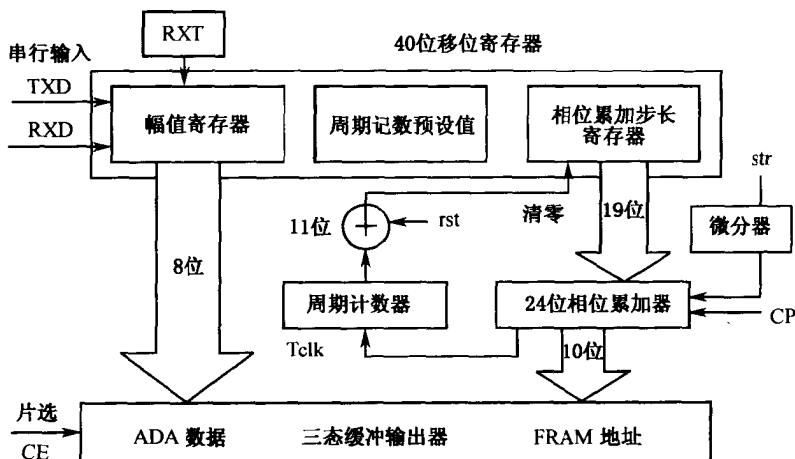


图 1-1-3

(2) 幅度控制、双 D/A 设计 双 D/A 转换是实现幅度可调和任意波形输出的关键，第一级 D/A 的输出作为第二级 D/A 转换的参考电压，以此来控制信号发生器的输出电压。D/A 转换器的电流建立时间将直接影响到输出的最高频率。本系统采用的是 DAC0800 电流建立时间为 100 ns 在最高频率点，一个周期输出 32 点，因此极限频率大概是 300 kHz 本系统的设计为 250 kHz。幅度控制用 8 位 D/A 控制 最高峰-峰值为 12.7 V 因此幅度分辨率为 0.1 V。

(3) 滤波、缓冲输出电路 图 1-1-4 设计 D/A 输出后，通过滤波电路、输出缓冲电路，使信号平滑且具有负载能力。

二阶巴特沃兹有源低通滤波器设计：

正弦波的输出频率小于 262 kHz 为保证 262 kHz 频带内输出幅度平坦，又要尽可能抑制谐波和低频噪声，综合考虑取

$$R_1 = 1 \text{ k}\Omega, R_2 = 1 \text{ k}\Omega, C_1 = 100 \text{ pF}, C = 100 \text{ pF}$$

运放选用宽带运放 LF351 用 Electronics Workbench 分析表明：截止频率约为 1 MHz, 262 kHz 以内幅度平坦。

为保证稳幅输出，选用 AD817 这是一种低功耗、高速、宽带运算放大器 具有很强的大电流驱动能力。实际电路测量结果表明：当负载 100 Ω 、输出电压峰-峰值 10 V 时，带宽大于 500 kHz 幅度变化小于 $\pm 1\%$ 。

(4) 液晶显示、键盘输入 我们的显示单元是用点阵液晶显示模块。该 LCD 模块是由 LCD 驱动器、LCD 控制器、少量电阻电容以及 LCD 屏组成 具有质量轻、体积小、功耗低、显示

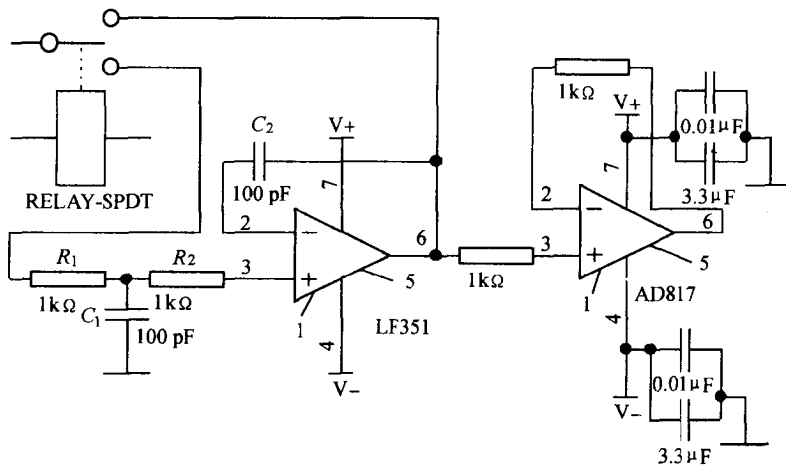


图 1-1-4

内容丰富、指令功能强(可组合成各种输入、显示、移位方式)接口简单方便(可与 8 位微处理器或控制器相连)有 8×8 bit 的 RAM、可靠性高等优点。

键盘输入模块采用 8279 控制 4×4 阵列键盘,采用扫描方式由 8279 得到键盘码,并由中断服务程序把数据送给单片机。此方案不用单片机扫描,占用资源少。

(5) 单片机最小系统本系统程序代码比较长,约二十几 kb,使用 PHILIPY 公司的 89C58 单片机,片内有 32 kb 程序 ROM,不必扩展外部 ROM。

本程序需要的 RAM 也是比较大,以进行数据采集、波形存储、FFT 运算、失真度分析等操作,本系统扩展了 32 kb 外部 SRAM。为了方便单片机和 EPLD 存取数据,采用双端口 RAM。

(6) 任意波形输入

方法一:以触摸屏作为前向通道,采集用户在触摸屏上绘制的波形,并将其存储和显示。触摸屏和单片机之间通过串口进行数据传输,波特率为 9 600 Hz。当触摸屏被触及时,它将被触及点的坐标值进行适当的编码,并打包传给单片机,单片机接收到数据后,对接收到的数据进行适当的处理,然后存储起来,这样就完成了一次波形的输入操作。

方法二:通过串行 RS232 接口,实现与任何带 RS232 接口的输入设备连接。只要外部通过 RS232 接口,向单片机发来数据,即可实现波形的输入。

(7) 掉电存储对用户输入波形的存储,由于要求掉电不丢失数据,因此我们采用 EEPROM 2817 作为存储器件,2817 操作简单,易于实现于与单片机的连接。其片选、读允许、写允许信号均与普通 RAM 接法相同。在写操作时,单片机对其 RDY 信号进行查询,有效则继续写入,无效则等待。每次输出波形之前,先对波形进行存储。

(8) 对 A/D 信号采样进行频谱分析,采样选用 12 位 A/D 转换器 MAX574,其转换时间为 $25 \mu\text{s}$,考虑到存储及中断调用等时间,选择采样中断时间为 $100 \mu\text{s}$,这样采样频率为 10 kHz。根据奈奎斯特抽样定理,能够在不发生混叠的情况下对 5 kHz 以下的信号进行 FFT 变换。因此,在输入的前级加了一级截止频率为 5 kHz 的有源低通滤波器。

3. 软件系统

(1) 流程图如图 1-1-5 所示。

(2) 波形发生程序和波形回放程序本系统采取根据输出波形参数实时计算波形样值,

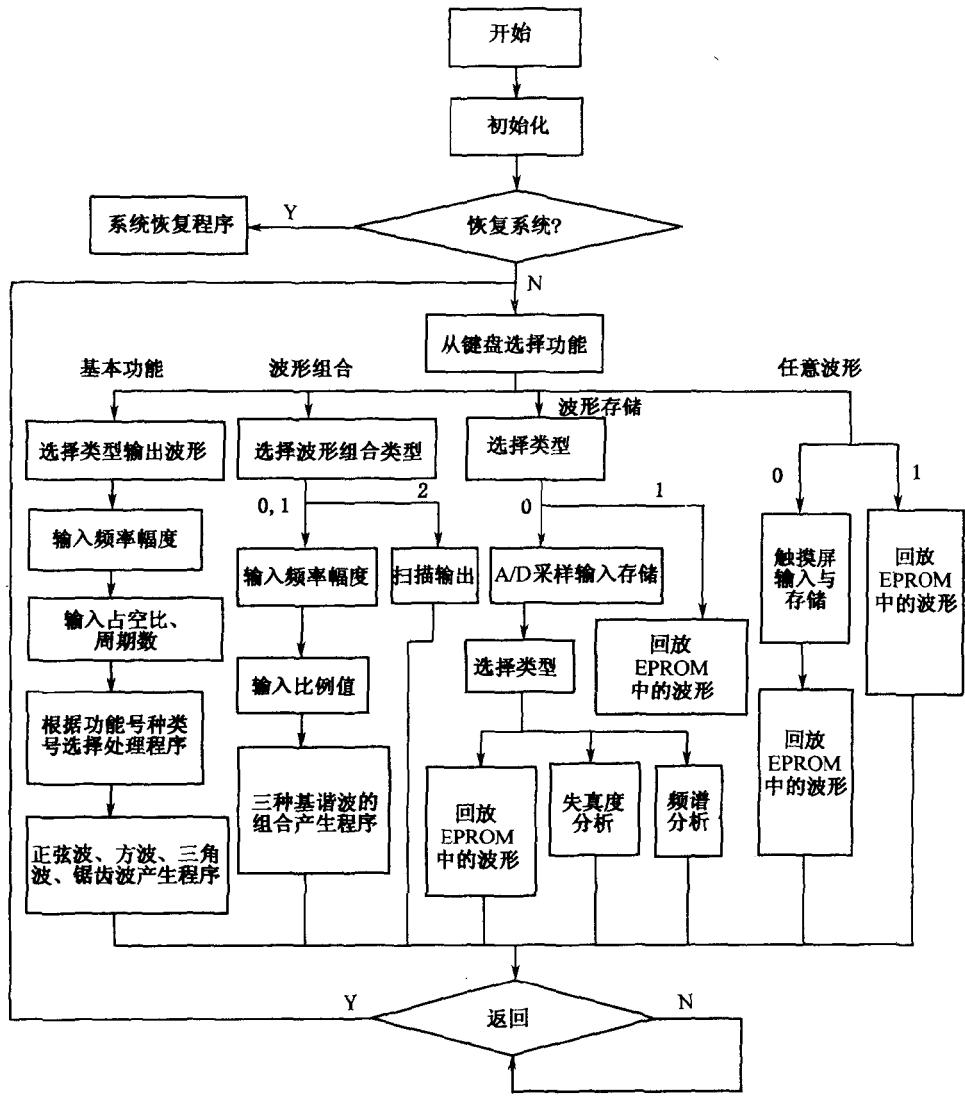


图 1-1-5

把样值存入 SRAM 由 EPLD 控制读出。它可以灵活地输出任意波形，以及波形的任意组合。

(3) A/D 采样输入与存储程序、触摸屏输入与存储程序

(4) 频谱分析程序用数字信号处理的方法，通过离散傅里叶变换求出频谱。为了减少运算量采用实序列 FFT 算法。一个 $2N$ 点的实序列通过一个 N 点复序列的 FFT 和一些简单运算就可以完成。

4. 系统设计图 (图 1-1-6)

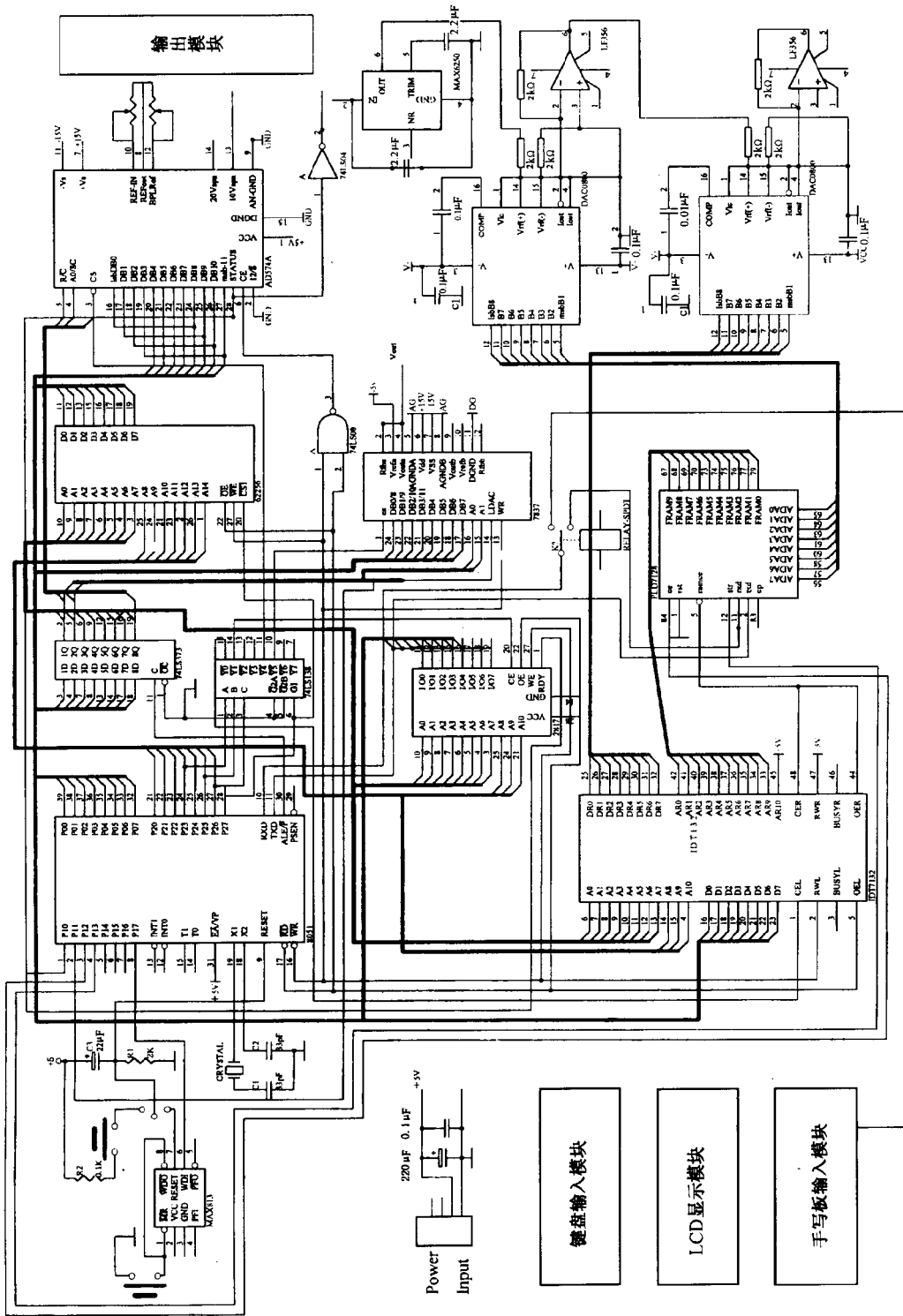


图 1-1-6

三、调试

根据方案设计的要求，调试过程共分三大部分：硬件调试、软件调试和软硬件联调。

电路按模块调试，各模块逐个调试通过后再联调。单片机软件先在最小系统板上调试，确保外部 EPROM 及 RAM 工作正常之后，再与硬件系统联调。

1. 硬件调试

(1) EPLD 控制电路的调试调试时，使用逻辑分析仪，分析 EPLD 输入输出，可以发现时序与仿真结果是否有出入，便于找出硬件电路中的故障。

(2) 高频电路抗干扰设计 EPLD 的时钟频率很高，对周围电路有一定影响。我们采取了一些抗干扰措施。例如引线尽量短，减少交叉，每个芯片的电源与地之间都接有去耦电容，数字地与模拟地分开。实践证明，这些措施对消除某些引脚上的“毛刺”及高频噪声起到了很好的效果。

(3) 运算放大器的选择由于输出频率达到几百千赫兹，因此对放大器的带宽有一定要求。所以，在调试滤波电路和缓冲输出电路时，都选择了高速宽带运放。

2. 软件调试

本系统的软件系统很大，全部用 C51 来编写，由于一般仿真器对 C51 的支持都有一定的缺陷，软件调试比较复杂。除了语法差错和逻辑差错外，当确认程序没问题时，通过直接下载到单片机来调试。采取的是自下到上的调试方法，即单独调试好每一个模块，然后再连接成一个完整的系统调试。

3. 软硬联调

该系统的软件和硬件之间的联系不是十分紧密，一般是软件计算完毕之后，将数据存入 RAM 然后由 EPLD 控制读出 RAM 中的数据，从而产生波形。因此在软硬件都基本调通的情况下，系统的软硬件联调难度不是很大。

四、指标测试

1. 测试仪器

频率计 SAMPO CN3165

交流有效值测试表 HP34401

存储示波器 :Agilent 54622D

示波器 Hitachi V—1060

2. 指标测试

(1) 输出波形频率范围测试测试数据如下表：

预置频率/Hz	输出频率/Hz			负载电阻/ Ω
	正弦波	方波	三角波	
1	1.000 2	1.000 2	1.000 2	100
10	10.003	10.003	10.003	100
100	100.020	100.02	100.02	100
200	200.050	200.05	200.05	100
1 000	1 000.2	1 000.2	1 000.2	100
2 000	2 000.5	2 000.5	2 000.5	100
10 000	10 002	10 002	10 002	100
20 000	20 005	20 005	20 005	100
100 000	100 020	100 020	100 020	100
200 000	200 050	200 050	200 050	100
250 000	250 070	250 070	250 070	100

由表可以看出，在频率稳定度方面，正弦波、方波、三角波在带负载的情况下均十分稳定，这正是体现了 DDFS 技术的特点，输出频率稳定度和晶振稳定度在同一数量级。

(2) 输出波形幅度范围测试在 250 kHz 正弦波条件下，测得的输出幅度数据如下表：

预置幅度/V	输出幅度(负载电阻 97 Ω)		输出幅度(负载电阻 ∞)		负载变化率 /%
	有效值/V	峰 - 峰值/V	有效值/V	峰 - 峰值/V	
0.1	0.035	0.098 980	0.035	0.098 980	0
0.5	0.176	0.497 728	0.177	0.500 560	0.56
1.0	0.353	0.998 284	0.354	1.001 112	0.28
1.5	0.529	1.496 012	0.531	1.501 668	0.38
2.0	0.706	1.996 568	0.708	2.002 224	0.28
5.0	1.765	4.991 420	1.765	4.991 420	0
10.0	3.535	9.996 980	3.543	10.019 604	0.23

由表可见，在电压稳定度方面：电压的绝对值和预置值之差，及带载和不带载情况下输出电压之差均符合题目要求。

五、 结 论

我们设计的系统不仅完成了题目的基本功能、基本指标，而且有了很大的发挥，现将题目要求指标及系统实际性能列表如下：

基本要求	发挥要求	实际性能
产生正弦波、方波、三角波三种周期性波形		实现,还可产生锯齿波
三种基本波形的线性组合波形,以及基波及其谐波线性组合的波形		实现
波形存储功能		2 k EEPROM 存储
频率范围 100 Hz ~ 20 kHz	100 Hz ~ 200 kHz	1 Hz ~ 250 kHz
频率步进 ≤ 100 Hz		步进 1 Hz
输出波形峰 - 峰值 0 ~ 5 V		峰 - 峰值 0 ~ 10 V
幅度步进 0.1 V		实现
显示输出波形的类型、频率、幅度		液晶显示
	用键盘或其他输入装置产生任意波形	A/D 采样,触摸屏输入,RS232 串口输入
	稳幅输出功能,负载变化时,输出电压幅度变化不大于(负载电阻变化范围 $100 \Omega \sim \infty$)	小于 $\pm 1\%$
	掉电存储功能	实现
	可产生单次或多次特定波形	任意半周期数输出(1024 次以下)
	其他	对采样信号进行频谱分析,扫频输出,方波占空比可调,三角波上升下降时间可调

【专家点评】

作品由单片机系统、EPLD 实现的控制模块和输出模块三部分组成。由于波形发生器采用了 DDS 技术,输出选用宽带运放和双 D/A 稳幅设计,使系统输出频率范围较宽,输出频率和幅度的控制精度较高。

值得注意的是:A 题大多数作品没有很好解决输出波形失真的问题,需引起重视。

Abstract

The system includes 4 parts: waveform generating module controlled by EPLD and SCM, keyboard and touch pad input module, LCD display module, RS232 I/O module, power amplifier module and spectrum analysis module. The arbitrary waveform is achieved by using DDS technique, a couple of D/A converters. By calculating the waveform value and storing it into a double interface RAM, the arbitrary combination of these waveforms can be achieved. This system provides wide frequency range, small frequency step and high precision for amplitude and frequency.

作 品 2

作者：潘研 诸悦 乔天柱（上海交通大学）

赛前辅导教师：袁炎 谷晓晨 文稿整理辅导教师：马伟敏

摘 要

本设计从使用简单、调整方便、功能完备出发，采用 89C55 单片机，开发了全程菜单操作环境。具有全中文的提示和参数显示，触摸屏、手绘波形和键盘输入。基于 Flash ROM 实现的掉电存储保护、任意个波形、输出幅度、频率可调整、稳幅输出、单次波形输出、高达 300 kHz 的频率输出及 10 Hz 频率步进，扫频输出等功能。PLD 实现了众多需要大量逻辑器件实现的功能，方便而且稳定。输出采用了高速 D/A(DAC08) 和高速运放，输出波形稳定清晰。

一、方案设计与论证

1. 波形生成方案

本设计的核心问题是信号的程控问题，其中包括信号频率、信号种类以及信号强度的程控。在设计的过程中，我们综合考虑了两种实现方案：

方案一：程控数字锁相环频率合成。这种方案已经很成熟，也已经有各种成品集成电路可供使用，并且可以实现三种基本波形。具体方案如下：首先通过频率合成技术产生所需要频率的方波，通过积分电路就可以得到同频率的三角波，再经过滤波器就可以得到正弦波。其优点是工作频率可望做得很高，也可以达到很高的频率分辨率；缺点是使用的滤波器要求通带可变，实现很困难，并且有一个致命的弱点，即无法实现任意波形功能。

方案二：直接数字频率合成(DDFS)。DDFS 技术是 60 年代末出现的第三代频率合成技术，以 Nyquist 时域采样定理为基础，在时域中进行频率合成，它可以快速转换频率，频率、相位、幅度都可以实现程控，通过更换波形数据可以轻易实现任意波形功能，并且便于使用单片机控制。缺点是如果直接使用单片机(89C55)实现则很难达到较高频率(< 50 kHz)。

综合考虑各种因素，选择 DDFS 方案。

2. 掉电保护方案

为了保护用户输入的波形，需要增加波形的掉电保护措施。

方案一：采用蓄电池对存有波形数据的 SRAM 进行持续供电。此方案实现简单，用于保护直接存放波形数据的 SRAM，使其在关机或意外掉电后能够马上恢复上次输出的波形。

方案二：采用 Flash ROM，将波形数据以及各种系统设置值永久的存入 Flash ROM 中。此方案可以可靠地将数据保存下来。采用 29C040(4 Mbit /512 kbyte 块写 Flash ROM) 能对用户

输入波形进行“硬盘”式的存储，容量巨大且非常方便，用于储存用户自定义波形备以后调用。

3. 显示界面方案

这是决定系统使用是否方便的关键。

方案一 采用 LED 显示。显然这只能显示非常有限的符号和数码字。对于本设计如此复杂的功能是不相适应的。

方案二：采用字符式 LCD 显示。这可以用英文显示较为清晰的提示和数字，基本可以满足显示要求。但在用户输入波形时，无法显示其波形形状。

方案三：采用点阵式 LCD 显示。这是最为复杂的实现，需要完成大量的显示工作，但其功能也是最强大的。采用点阵式 LCD，可以将用户输入的波形及时显示出来，使用户自定义输入变得非常方便。而且，配合 Flash ROM 中的 12×12 点阵汉字库，可以实现汉字显示，使得界面非常亲切。

权衡之后，我们采用了方案三，并实现了用户输入波形的实时显示和全中文界面。

4. 输入方式方案

本系统需要用户选择预设波形，调整波形和输入自定义波形。这对输入方式提出了较高的要求。

方案一：采用键盘输入。这是最基本的方法。优点是输入值精确，实现方便。但用户自定义输入时无法自由输入想要的特殊波形。

方案二：采用手写板输入。这对于用户输入想要的特殊波形非常方便，但要输入确定值则比较困难。

方案三：采用键盘的同时采用手写板，并将手写板的感应片固定在 LCD 屏幕上，作为触摸屏。这样可以说是最佳组合。在需要输入数据时，可以使用键盘；在需要自定义波形时，可以直接在 LCD 屏幕上画。通过屏幕校正，可以使手写板与 LCD 达到精确对应 成为手写屏 绘制图形非常方便。而且，在系统菜单选择时，可以直接在选项上点击选择，增加了可用性，几乎相当于触摸屏。

我们采用方案三，实现了极为方便的人机交互。

5. 稳幅输出实现方案

这是发挥部分的内容。我们原计划采用峰值检波器获得输出端的电压幅值，经 A/D 采样后就得到了输出端当前的电压幅值，然后通过与预设的输出幅值比较就可以知道输出下降的情况。并由单片机控制放大器增加放大倍数，直至输出幅值调整到预期值。

实际制作时，由于时间紧迫，这部分无法实现。但经测试，由于输出所用运放输出阻抗很小 带负载能力很强 完全能够满足带 100Ω 负载而输出幅度变化小于 3% 的要求。

二、系统设计

本系统核心技术采用 DDFS, 4 kbyte 的波形数据存储于非易失性 SRAM 中。PLD 作为受单片机控制的可调步进地址累加器，循环读取 SRAM 中的波形数据 经 D/A 转换输出。通过改

变步进值可以调节输出频率。单片机采用 89C55 扩充 128 k × 2 + 8 k SRAM 和 4 Mbit Flash ROM。

输出部分 :D/A 后接数控可变放大器, 受单片机控制进行可变倍率幅度放大。

输入部分: 本设计将手写板中的透明感应片覆盖于点阵式液晶屏 (128 × 64) 上 作为触摸屏使用。可以直接在屏幕上绘制所需任意波形, 同时也可以直接点击所需菜单条目进行选择。手写板与单片机采用串行口通讯。同时, 本设计采用 8279 控制一个 4 × 4 的键盘, 用于输入较大的数字, 比如频率值等。

显示部分: 本系统采用点阵式液晶屏。操作系统采用全中文菜单方式。192 kbyte 全部汉字点阵库固化在 Flash ROM 中, 英文字符点阵存放在程序空间内。多级菜单将本设计的众多功能分类, 便于操作。

储存部分: 本系统采用了大容量 Flash ROM(4 Mbit)。它不仅预先固化了数个预设波形(方波、正弦波、三角波等)更可以随时保存多个手绘的自定义波形。

系统组成框图见图 1-2-1。

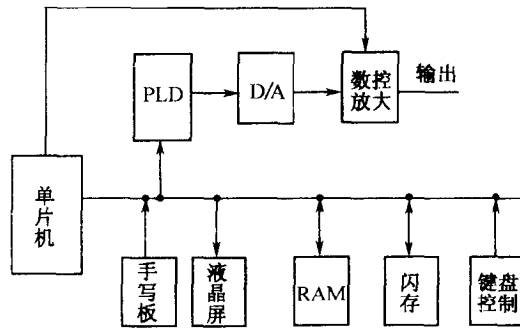


图 1-2-1

三、方案实现

1. 核心系统实现

(1)DDFS 实现 DDFS 在具体实现上有以下几个问题需要解决:

相位累加器实现的问题。

使用软件实现相位累加器, 优点是硬件上最简单, 缺点是只能达到 50 kHz 的最高频率 并且会占用单片机几乎全部处理器时间, 使得在人机界面等其他部分设计很困难。稍有不慎就会使输出波形失真。

使用分立元件实现, 则使用软件实现的缺点不复存在。缺点是会造成系统复杂化, 并且无法保证在较高频率下的稳定工作。

使用 PLD 实现相位累加器, 同时具有以上两者的优点。在保持电路简单的同时克服了软件实现的缺点, 保证了输出波形稳定。同时由于 PLD 没有逐级时延的问题, PLD 甚至可以实现比分立元件更高的输出频率。可以把某些器件如 74LS373 等一起由 PLD 实现 可以大大简化系统中连接线的数量, 并可以防止忙中出错, 如短路、虚焊或是接错线等现象出现。

综合考虑, 我们使用了 ALTELA 公司的 PLD7128S 实现了相位累加器。与单片机之间采用总线方式连接, 内部实现一些状态寄存器, 如频率码寄存器、信号输出使能等。这样单片机可以像访问一般的外设一样通过置状态字的方式控制 PLD 工作, 另有一根控制线 P1.6 控制访问波形数据(具体原因与方式见 RAM 控制的问题)

幅度程控的问题。 DDFS 技术本身可以实现幅度程控, 只需要把它的波形数据表中的

数据乘以一个系数就可以改变输出的幅度。但是我们还是在最后输出级使用一个数控可变增益放大器实现幅度程控（具体实现见输出部分）。其根本原因在于，通过改变波形表中的数据来改变信号的幅度需要大量的浮点运算，而单片机处理能力有限，这个过程将很慢，而且波形的垂直分辨率将损失。

③ RAM 控制的问题。由于产生任意波形的需要，DDFS 中的波形数据表需要经常改写且无法预测 故不能存放在 ROM 中。因为要实现掉电保护，需要非易失性存储器，所以最终选用了一片非易失性的 8 kbyte SRAM。又因为在产生波形时 PLD 需要直接控制这片 RAM 这片 RAM 不能直接挂在系统总线上，否则必然出现总线冲突。因此这里就出现了一个单片机如何写 RAM 的问题。

我们利用了单片机与 PLD 使用总线方式连接的优势，RAM 的所有控制/地址/数据线直接连接到 PLD 上，DAC 则直接挂在 RAM 的数据口上。

在正常工作的状态下，PLD 通过地址总线访问 RAM 此时 RAM 的 WE 线置常高，RD 线置常低，PLD 内部累加器的高 12 位接到 RAM 的地址总线上，PLD 数据总线接口置高阻态。这样，随着地址的变化 RAM 中的波形数据就直接由 DAC 变换后输出，实现了 DDFS。这种状态下，PLD 的所有地址端口均可用，可以在输出波形的同时，完成频率变更、幅度调整，以及波形个数计数、清零计数器的的工作。

在单片机需要访问该 RAM 时，PLD 起锁存器的作用，将系统总线上的地址低 8 位锁存至 RAM 的地址总线接口低 8 位。地址总线高 8 位、数据总线、各控制线则直通至 RAM 的相应接口上。这时 RAM 使用 PLD 的全部地址空间，单片机通过直接写操作就可以向 RAM 中写入数据。

两种工作模式切换由 P1.6 控制。这样就比较好地解决了这个问题。惟一缺点是在向 RAM 中写波形数据时，DAC 并没有与数据总线断开，会产生一些杂波，但无关大局，对正常工作没有任何影响。如果一定要除去，可以通过输入波形前将输出幅值设为零来解决。

单次/有限次波形输出方式实现。本想通过 PLD 内部计数输出脉冲的方法，通过计数累加器进位信号来得到输出波形个数，当达到输出个数时就禁止输出的方式实现。但由于 PLD 容量有限，最终使用了将进位信号反相后输入至单片机中断口，每输出一个完整波形就向单片机发送中断。单片机对中断次数计数，到达预定值即控制 PLD 停止输出。

参数选择与最终实现。设计时考虑输出波形频率上限 > 200 kHz，波形数据表为 4 kbyte 由

$$f_{\text{clk}} (N \times 2^m) \cdot M \times K$$

式中 f_{clk} 为基准时钟频率， N 是分频值， m 是累加器位数， M 是频率步进值， K 是累加器步进值。此处选取 $M = 10 \text{ Hz}$ （步进）则 K 至少要大于 $200 \text{ kHz}/10 = 20 \text{ kHz}$ 。所以频率码寄存器的位数至少为 15 位（ $2^{15} = 32768 > 20000$ ）又因为单片机为 8 位 故选择 $2 \times 8 = 16$ 位便于实现，所以最终选择了 16 位的频率码寄存器。在设计最高频率 200 kHz（后来的测试表明在 500 kHz 时还有较好的波形）时波形一周至少要有 32 点。这样相位累加器为 $15 + 5 = 20$ 位 时钟频率为 $2^{20} \times 10 = 10.24 \text{ MHz}$ 。由于手头正好有 10.24 MHz 钟振，因此最终参数选择如下：频率码寄存器为 16 位 在 PLD 中设置两个 8 bit 寄存器分别表示其高 8 位与低 8 位。相位累加器为 20 位，时钟为 10.24 MHz，不分频。这样 D/A 的转换时间不能超过 $1/10.24 \text{ MHz} = 97 \text{ ns}$ 最终选用了 85 ns 的 DAC08。运放则使用了 AD847，后来由于不慎烧坏改用 NE5534 低噪声高带宽音频

运放代替。由于此处对于零飘要求不高，效果也很好，不过由于 NE5534 的带宽不足 在较高频率处幅值下降较严重。

(2) PLD 实现本设计中，PLD 采用总线方式与单片机相连，使 PLD 可以通过不同端口实现多种功能，也使得 PLD 的控制简便。

PLD 实现了 DDFS 中的可变步进地址累加器。该累加器直接使用了系统提供的标准元件。累加的步进值可以通过两个端口输入。累加器的高 12 位作为地址信号。PLD 同时控制 SRAM 的各个控制线 配合完成 SRAM 的写入与读取时序。

PLD 还完成了一些分立元件（如锁存器）的功能，使得外围电路得到简化。

PLD 采用了原理图方式进行总体设计，其中部分模块采用 VHDL 进行描述。

(3) 单片机系统由于系统所要实现的功能众多，程序控制任务繁重，程序量巨大，故采用具有 20 k 程序存储器的 89C55 单片机。

内存部分扩展了两片 628128 (256 kbyte) SRAM ,一片 29C040 (512 kbyte) Flash ROM ,一片 6264 (8 kbyte) SRAM 。其地址分配和功能如下表所示。

芯 片	地 址 范 围	功 能
SRAM 6264	地址块 0 号 0x0000 ~ 0x1fff	LCD 显示缓冲区 串行通讯接收缓冲区
2 片 SRAM 628128	地址块 1 ~ 8 号 每块地址 0x0000 ~ 0xffff	通用外部存储器 其中地址块 1 号的 0x0000 ~ 0x0fff 为波形数据缓冲区
Flash ROM 29C040	地址块 11 ~ 13 号 (共 192kbyte)	汉字点阵字库
	地址块 14 号	用户自定义波形存储 (64 kbyte)
	地址块 15 号	预设波形存储 (64 kbyte)
	地址块 16 ~ 18 号	可扩展功能, 未用

注：地址块每块为 64 kbyte 由 P1.7,P1.0,P1.1,P1.2 控制切换。

液晶屏、PLD、8279 均挂在总线上，采用端口方式访问。端口分配在地址块 0 号中。键盘输入控制芯片 8279 同时占用一个外部中断源，以监视键盘动作。

触摸屏 手写板 以串行口与单片机相连 波特率为 9 600 bps。

2. 输出部分

可变幅度放大数控可变幅度放大采用了一级 D/A 转换实现。由于 D/A 转换的输出与参考电压成正比，又直接受到 D/A 的转换数据的控制 故将 DDFS 产生的信号作为参考电压输入 D/A 中。这样 D/A 的输出正比于原信号，并按照该 D/A 输入数据进行衰减。例如原信号为 $A(t)$ ，D/A 为 10 位 则输出信号 $B(t)$ 为

$$B(t) = A(t) \times d/1024$$

其中 d 为 D/A 的输入数据。这样 D/A 就成为了一个数控可变增益放大器（或者说是衰减器）。通过改变这级 D/A 的转换数据 d 就可以控制输出幅度。

在具体实现中，我们采用了经过激光电阻修正的 10 位 DAC: AD7520 与 AD847 (NE5534) 组

合实现。同时我们实现了其他一些功能。例如，由于使用的运放带宽有限造成设计频率上限处(200 kHz)正弦波幅值下降，我们通过改变设置的输出幅度衰减比来补偿。

3. 输入部分

(1) 触摸屏实现将手写板感应片覆盖于液晶屏上可以作为触摸屏使用。

手写板具有串行接口。每当感应片被按下，手写板将识别被按下的中心位置，并发送 4 bytes 的数据 (p1, p2, p3, p4) 到串行口上。为了识别这四个顺序传送的字节，这四个字节有固定的格式。头两个字节取值在 81h~87h 分别表示横向的 1 至 7 大区 and 纵向的 1 至 7 大区。接下来两个字节则表示相应区内的偏移量 取值在 00h~7fh。当手写笔离开时，手写板又会发送一个字节 80h 至串行口上，表示输入中断。比如图 1-2-2 表示的手写板上的 * 大区对应的前两个

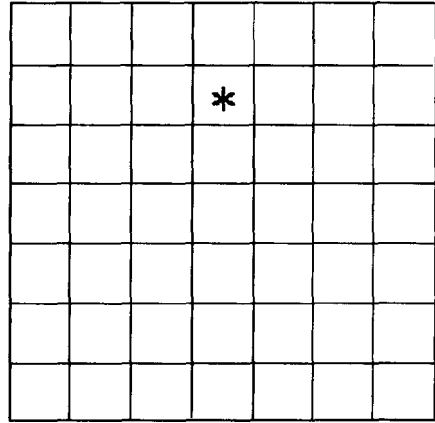


图 1-2-2

字节为 84h, 82h。该区内左上部某个点对应的全部四个字节可以是：84h, 82h, 1ah, 08h。该点对应的手写板坐标为 (x, y) 其中

$$x = (p1 - 81h) \times 128 + p3 \cdot (84h - 81h) \times 80h + 1ah \cdot 407$$

$$y = (p2 - 81h) \times 128 + p4 \cdot (82h - 81h) \times 80h + 08h \cdot 135$$

所以，在读取手写输入时，先清空串行输入缓冲区，再将单片机串行中断打开，然后检测接收缓冲区内的数据，如果发现连续四个字节的前两个都大于 80h 而后两个都小于 80h 则表示该 4 个字节为一组信息，按规则解码后即可得到相应点的手写板坐标，并立即关闭串行中断。这样就读得了一次屏幕点击的坐标。

由于手写板作为触摸屏使用，故要求手写板读取的坐标与液晶屏幕显示坐标相一致。本设计中采用开机校正屏幕的方法。即在开机时，在液晶屏左上角和右下角分别显示一个点，要求用户点击该点。然后，根据读得的手写板上坐标，将以后读得的手写板坐标转化为相应的屏幕坐标。比如，开机显示的点的屏幕坐标为 (0,0) 和 (95,63)，而读得的点的手写板坐标依次为 (LEFT, TOP) 和 (RIGHT, BOTTOM)，则以后读得的手写板坐标 (x, y) 对应的屏幕坐标 (x_s, y_s) 为

$$x_s = 95 \times (x - LEFT) / (RIGHT - LEFT)$$

$$y_s = 63 \times (y - TOP) / (BOTTOM - TOP)$$

这样，手写板与屏幕就联系在了一起。

在手绘输入任意波形时，开辟一块输入缓冲区，大小为手写板的横向分辨率 (896)。不断读取手写板的输入，对读入的手写板坐标 (x, y) 将该点至上次读入点之间差值成一条直线，对直线上每一点 (x_i, y_i) 将缓冲区的第 x_i 个字节的值置为 v_i。v_i 是将 y_i 压缩至 0~255 之间的对应值 即

$$v_i = \begin{cases} 0 & (y_i \leq TOP) \\ [(y_i - TOP) / (BOTTOM - TOP)] \times 255 & (TOP < y_i < BOTTOM) \\ 255 & (y_i \geq BOTTOM) \end{cases}$$