

内 容 简 介

本书详细介绍了单片系统(SoC)技术的基本概念、原理、构成、开发方法与应用。内容包括: SoC 的定义、典型结构、设计与应用现状,嵌入式软件工程,嵌入式系统设计,以及嵌入式软件的分析、设计、编程、测试、开发平台,VLSI 技术(包括数字、模拟、射频 IC 设计以及 EDA 工具、可测性设计、可编程逻辑器件),IP 核的设计、选择与验证方法,SoC 技术不同于一般 VLSI IC 设计的关键内容以及主要的设计与测试方法,家庭网关 SoC 芯片及其系统分析、芯片方案设计和验证等,SoC 技术应用和理论研究中存在的问题,并展望了 SoC 技术的未来发展。

本书面向高等院校计算机、电子工程、通信工程、微电子等专业高年级本科生和研究生,可作为“SoC 芯片设计”和“嵌入式系统开发”等有关课程的教材,同时,也可作为从事 SoC 芯片和嵌入式系统研究、设计与应用的工程技术人员的参考书。

版权所有,翻印必究。举报电话: 010-62782989 13501256678 13801310933

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

本书防伪标签采用特殊防伪技术,用户可通过在图案表面涂抹清水,图案消失,水干后图案复现;或将表面膜揭下,放在白纸上用彩笔涂抹,图案在白纸上再现的方法识别真伪。

图书在版编目(CIP)数据

SoC 技术原理与应用 / 郭兵等编著. —北京: 清华大学出版社, 2006. 4

(重点大学计算机专业系列教材)

ISBN 7-302-12552-X

I. S… II. 郭… III. 单片微型计算机—高等学校—教材 IV. TP368.1

中国版本图书馆 CIP 数据核字(2006)第 010855 号

出 版 者: 清华大学出版社

<http://www.tup.com.cn>

社 总 机: 010-62770175

地 址: 北京清华大学学研大厦

邮 编: 100084

客户服务: 010-62776969

组稿编辑: 丁 岭 咏 鹏

文稿编辑: 徐跃进

印 刷 者: 清华大学印刷厂

装 订 者: 三河市李旗庄少明装订厂

发 行 者: 新华书店总店北京发行所

开 本: 185×260 印张: 16.25 字数: 378 千字

版 次: 2006 年 4 月第 1 版 2006 年 4 月第 1 次印刷

书 号: ISBN 7-302-12552-X/TP·8031

印 数: 1~3000

定 价: 26.00 元

随着国家信息化步伐的加快和高等教育规模的扩大，社会对计算机专业人才的需求不仅体现在数量的增加上，而且体现在质量要求的提高上，培养具有研究和实践能力的高层次的计算机专业人才已成为许多重点大学计算机专业教育的主要目标。目前，我国共有 16 个国家重点学科、20 个博士点一级学科、28 个博士点二级学科集中在教育部部属重点大学，这些高校在计算机教学和科研方面具有一定优势，并且大多以国际著名大学计算机教育为参照系，具有系统完善的教学课程体系、教学实验体系、教学质量保证体系和人才培养评估体系等综合体系，形成了培养一流人才的教学和科研环境。

重点大学计算机学科的教学与科研氛围是培养一流计算机人才的基础，其中专业教材的使用和建设则是这种氛围的重要组成部分，一批具有学科方向特色优势的计算机专业教材作为各重点大学的重点建设项目成果得到肯定。为了展示和发扬各重点大学在计算机专业教育上的优势，特别是专业教材建设上的优势，同时配合各重点大学的计算机学科建设和专业课程教学需要，在教育部相关教学指导委员会专家的建议和各重点大学的大力支持下，清华大学出版社规划并出版本系列教材。本系列教材的建设旨在“汇聚学科精英、引领学科建设、培育专业英才”，同时以教材示范各重点大学的优秀教学理念、教学方法、教学手段和教学内容等。

本系列教材在规划过程中体现了如下一些基本组织原则和特点。

1. 面向学科发展的前沿，适应当前社会对计算机专业高级人才的培养需求。教材内容以基本理论为基础，反映基本理论和原理的综合应用，重视实践和应用环节。

2. 反映教学需要，促进教学发展。教材要能适应多样化的教学需要，正确把握教学内容和课程体系的改革方向。在选择教材内容和编写体系时注意体现素质教育、创新能力与实践能力的培养，为学生知识、能力、素质协调发展创造条件。

3. 实施精品战略,突出重点,保证质量。规划教材建设的重点依然是专业基础课和专业主干课;特别注意选择并安排了一部分原来基础比较好的优秀教材或讲义修订再版,逐步形成精品教材;提倡并鼓励编写体现重点大学计算机专业教学内容和课程体系改革成果的教材。

4. 主张一纲多本,合理配套。专业基础课和专业主干课教材要配套,同一门课程可以有多本具有不同内容特点的教材。处理好教材统一性与多样化的关系;基本教材与辅助教材以及教学参考书的关系;文字教材与软件教材的关系,实现教材系列资源配套。

5. 依靠专家,择优落实。在制订教材规划时要依靠各课程专家在调查研究本课程教材建设现状的基础上提出规划选题。在落实主编人选时,要引入竞争机制,通过申报、评审确定主编。书稿完成后要认真实行审稿程序,确保出书质量。

繁荣教材出版事业,提高教材质量的关键是教师。建立一支高水平的以老带新的教材编写队伍才能保证教材的编写质量,希望有志于教材建设的教师能够加入到我们的编写队伍中来。

教材编委会

前言

为了促进中国集成电路(IC)和软件产业的快速发展,国务院于2003年颁布了“鼓励软件产业和集成电路产业发展的若干政策(即18号文件)”,在迄今短短两年多的时间里,以上海中芯国际、上海宏力微电子、TSMC等为代表的IC厂家和以大唐微电子、杭州士兰、江苏意源、绍兴芯谷、深圳国微、北京中星等为代表的IC设计企业,纷纷加大了投资力度,使业务得到了快速发展。同时,嵌入式软件与具体的硬件设备结合在一起,不同的行业、不同的设备具有不同的应用特点,不存在通用台式机软件市场容易产生的垄断情形,市场领域广阔,具有良好的发展前景。

SoC(system on a chip,单片系统或片上系统)芯片,是嵌入式系统的一种新形式,通常在一块硅片里实现了能够完成一个计算机系统功能所需的硬件集成电路和嵌入式软件,属于计算机与微电子的新兴交叉学科。当前,SoC芯片设计结合了集成电路(包括数字集成电路和模拟集成电路)设计和嵌入式软件开发两方面的内容,是“18号文件”支持的重中之重,不但是学术界的研究热点,也是工业界大力推广应用的一项新技术,更是我国IT业难得的一次发展机遇。

目前,国内外许多SoC著作主要从VLSI集成电路设计与测试的角度,阐述SoC技术的相关组成内容。本书力图从嵌入式系统设计的角度出发,理顺SoC技术的多学科结构关系,深入地探讨SoC技术的基本概念、原理、构成和开发方法。在此过程中,对SoC技术进行了层层分解,全面介绍了目前SoC技术的理论研究和工程应用所取得的丰硕成果,包括嵌入式系统设计,嵌入式软件的分析、设计、编程、测试、开发平台,VLSI集成电路,IP核的设计、选择与验证,SoC的设计与测试等,为不同学科的教学和工程技术人员提供一个关于SoC技术的全貌。同时,本书还提供了—个家庭网关SoC芯片实例,采用目前流行的Synopsys和Mentor公司的EDA工具,从系统分析、芯片方案设计到验证,全面展示SoC芯片的开发过程,使读者在掌握SoC技术基本原理的基础上,能够将其有效地应用到SoC芯片的工程开发中,做到理论和实际的有机结合。最后,探讨了SoC技术应用

和理论研究中存在的问题，并展望了 SoC 技术的未来发展。

本书相当大一部分内容是作者和其他学者近年来的研究成果，反映了国内外 SoC 技术研究和应用的最新进展。

本书面向高等院校计算机、电子工程、通信工程、微电子等专业高年级本科生和研究生，也可供从事 SoC 芯片和嵌入式系统研究、设计、应用的工程技术人员参考。

在本书的编写和本人的 SoC 技术研究与开发过程中，一直得到众多专家的亲切关怀和广大读者的热情支持与帮助。美国佐治亚理工学院(Georgia Institute of Technology)的 Vincent J.Mooney 教授、美国加州大学 Irvine 分校(University of California, Irvine)的 Frank Vahid 教授、德国卡尔斯鲁厄大学(University of Karlsruhe)的 Joerg Henkel 教授、美国新泽西工学院(Institute of New Jersey)的王志刚博士、ISI (中国)公司的白宁博士和 Infineon (中国)有限公司西安研发中心的吴赛博士给了作者很多支持和帮助。本书还从国内外许多关于嵌入式系统、VLSI 设计、IP 核、SoC 设计与测试等高水平著作或与有关专家的讨论交流中吸取了新的营养，这些著作的作者和专家是孙天亮、余详、John P. Uyemura、罗胜钦、Rochit Rajsuman、Steve Furber、Wayne Wolf、曾繁泰、Frank Vahid、王勇、牛风举等，谨向上述教授、专家和朋友表示诚挚的谢意。

本书由郭兵、沈艳、林永宏、韩磊执笔完成，参加本书编写工作的还有彭舰、何军、陈良银、赵辉、张磊、徐云、王刚、高君、陈著华、张林等同志。在本书编写过程中，四川大学计算机学院(软件学院)的有关领导和师生对本书的写作提供了宽松的环境和多方协助，得到了四川大学计算机学院(软件学院)周激流教授、李志蜀教授、张建州教授、谢文副教授、唐宁九副教授和电子科技大学计算机学院熊光泽教授、任立勇副教授的大力支持和悉心指导，在此表示深深的谢意。清华大学出版社的有关工作人员也为本书的出版付出了辛勤劳动，在此深表谢意。

最后，特别感谢国家集成电路设计成都产业化基地、成都国腾微电子有限公司和 Synopsys (中国)有限公司对本项研究的支持。

SoC 是一门非常年轻的技术，仍处于快速发展时期。对许多问题，作者并未做深入研究；对一些有价值的新内容，也来不及收入本书。由于作者知识和水平有限，加上编写时间较紧，书中错误之处在所难免，希望大家批评指正。

联系地址：成都市一环路南一段 24 号四川大学计算机学院(软件学院)

E-mail：guobing@ cs.scu.edu.cn

邮编：610065

郭 兵

于四川大学计算机学院(软件学院)

2006 年 2 月

目录

第 1 章 绪论	1
1.1 嵌入式系统	1
1.1.1 嵌入式系统的定义	1
1.1.2 嵌入式系统的组成	3
1.1.3 嵌入式系统开发	4
1.1.4 嵌入式软件开发平台	5
1.2 微电子技术	6
1.2.1 微电子技术的发展	6
1.2.2 VLSI 集成电路设计	7
1.3 SoC 技术	9
1.3.1 SoC 的定义及特点	9
1.3.2 SoC 的典型结构	10
1.3.3 SoC 的设计	10
1.4 SoC 技术应用现状	12
1.5 小结	15
1.6 习题	15
第 2 章 嵌入式软件工程	17
2.1 引言	17
2.2 嵌入式系统设计	18
2.3 与嵌入式软件开发有关的困难	22
2.4 嵌入式软件的分析与设计	23
2.4.1 结构化的方法	23
2.4.2 面向对象的方法	27
2.4.3 基于组件的方法	32
2.5 嵌入式软件编程	35

2.5.1	嵌入式软件编程语言	35
2.5.2	嵌入式实时操作系统	36
2.6	嵌入式软件测试	37
2.7	嵌入式软件维护	40
2.8	嵌入式软件开发平台	43
2.8.1	实时 CASE 环境的定义及发展	43
2.8.2	嵌入式软件开发平台现状	44
2.8.3	如何选择嵌入式软件开发平台	46
2.8.4	现代嵌入式软件开发平台面临的挑战	49
2.8.5	嵌入式软件开发平台的构造	50
2.9	小结	51
2.10	习题	51
第 3 章	VLSI 集成电路	53
3.1	引言	53
3.2	数字 IC 设计	57
3.3	模拟 IC 设计	62
3.4	射频 IC 设计	65
3.5	IC 设计与 EDA 工具	67
3.6	Verilog HDL 设计简介	69
3.7	可测性设计	73
3.7.1	可测性基础	73
3.7.2	可测性结构设计	76
3.7.3	JTAG 接口	78
3.8	可编程逻辑器件	83
3.9	IC 的制造过程	85
3.10	小结	89
3.11	习题	89
第 4 章	IP 核的设计、选择与验证	91
4.1	引言	91
4.2	IP 核的应用现状	91
4.3	IP 核的应用分类	96
4.4	IP 核的设计方法	97
4.5	IP 核的选择方法	100
4.6	IP 核的验证环境	103
4.7	IP 核的验证过程	106
4.8	可综合性测试	107

4.9	Synopsys DesignWare Library 简介	108
4.10	一个基于 DW8051 的税控机 51 核芯片开发实例	111
4.11	小结	133
4.12	习题	133
第 5 章	SoC 设计与测试	134
5.1	引言	134
5.2	SoC 技术的关键内容	135
5.3	SoC 设计方法	142
5.3.1	自顶向下的设计方法	142
5.3.2	基于 IP 核的设计方法	144
5.3.3	软硬件协同设计与验证方法	146
5.4	SoC 建模语言 SystemC	149
5.5	SoC 设计工具	153
5.6	SoC 测试	156
5.7	小结	159
5.8	习题	159
第 6 章	家庭网关的系统设计	160
6.1	引言	160
6.2	家庭网络简介	161
6.3	家庭网关现状	164
6.4	家庭网关的总体设计方案	166
6.5	家庭网络技术的分析与选择	167
6.5.1	家庭网络的联网技术	167
6.5.2	家庭网络的接入技术	170
6.6	家庭网关的硬件设计	176
6.7	家庭网关的软件设计	176
6.8	家庭网关的工程化开发技术	178
6.9	小结	179
6.10	习题	179
第 7 章	HGSOC 芯片设计方案	181
7.1	引言	181
7.2	HGSOC 芯片设计方法的选择	181
7.3	IP 核的互连	182
7.3.1	片上总线的分类	184
7.3.2	AMBA 总线互连技术	186

7.4	HGSOC 芯片的体系结构及组成	188
7.5	HGSOC 芯片的可测性设计	195
7.6	存储器层次及地址空间分配	197
7.7	小结	199
7.8	习题	199
第 8 章	HGSOC 平台解决方案的测试与验证	200
8.1	引言	200
8.2	HGSOC 芯片验证方法	200
8.3	HGSOC 芯片功能验证样机的组成	202
8.4	软硬件测试环境	206
8.5	HGSOC 芯片的测试与验证内容	207
8.6	小结	210
8.7	习题	210
第 9 章	SoC 技术的应用与研究展望	211
9.1	SoC 技术应用存在的问题	211
9.2	SoC 技术的主要理论研究问题	214
9.3	小结	220
9.4	习题	221
附录 A	相关资源	222
附录 B	Synopsys DesignWare Fundamental IPs 的组成	224
附录 C	缩略语	228
参考文献	230

1.1 嵌入式系统

1.1.1 嵌入式系统的定义

嵌入式系统(embedded system),全称为嵌入式计算机系统(embedded computer system),是指以应用为中心,以计算机技术为基础,软硬件可裁剪,适应应用环境(real world),对功能、实时性、可靠性、成本、体积、功耗等严格约束的专用计算机系统。由于嵌入式系统一定是实时系统(real-time system),因此,也被称为嵌入式实时系统(embedded real-time system)。当然,随应用环境不同,实时性有强、弱之分。

嵌入式系统一般由嵌入式微处理器(主要由4~64位的微处理器、微控制器和数字信号处理器组成)、存储器、I/O接口等硬件及其软件组成,通常以单片系统(SoC)、单板机、多板式箱体结构、嵌入式PC等形式嵌入到各式各样的设备或大系统(如数字移动电话、路由器、导弹、信息家电等)中,作为设备或大系统的处理和控制中心。嵌入式系统的狭义定义是指主要由16位及16位以上的微处理器(MPU)、微控制器(MCU)和数字信号处理器(DSP)组成,其应用程序的运行一般需要一个实时操作系统(RTOS)的支持,这是它不同于过去许多单片机或单板机应用的关键之处。在本书中主要使用嵌入式系统的狭义定义。

与通用台式计算机系统相比,嵌入式系统具有以下几个重要特点。

1. 专用性

由于嵌入式系统的资源有限和环境限制,一个嵌入式系统通常只能执行一个特定的功能,如一台手机只能用来打电话、发送短信和记录电话号码,而台式机系统可以通过执行多种程序完成多种功能,如字处理、电子表格和游戏,还可以经常加入其他新程序。目前也有例外,如有些智能手机能够不断地下载和更新系统软件及应用程序,但由于系统存储容量的限制,这些应用

程序只能轮流下载到系统中。

2. 严格的约束

所有的计算机系统在设计指标上都有一些约束,但对嵌入式系统而言,这些约束尤为严格。设计指标反映了实现的特征,如成本、大小、性能与功耗。一般而言,嵌入式系统的成本必须控制在几十美元之内,大小必须能放在手掌上,处理速度要足够快,以便处理实时数据,必须拥有最低的功耗,以延长电池寿命或避免使用散热设备。

3. 反应性与实时性

许多嵌入式系统都需要不断地对所处环境的变化做出反应,而且要实时地得出计算结果,不能延迟。例如,汽车的定速控制器要持续监测速度与刹车传感器的状况,并做出反应,同时,还需要在有限时间内重复计算加速或减速量,计算延迟将导致对汽车控制的失灵,造成严重的后果。台式机系统通常主要用于计算,只须偶尔对输入设备做出反应(从计算机角度),并且计算即使有延迟,也可能只对计算机用户造成一些不便,但通常不会导致系统失效。

实时性包括确定性(或可预测性)和响应时间两方面的内容,按要求的不同可以分为硬嵌入式系统(hard real-time systems)和软嵌入式系统(soft real-time systems)两种。硬嵌入式系统要求必须满足所有空线(dead line),否则会导致重大损失或灾难性后果;对于软嵌入式系统,满足空线也很重要,但空线没有满足也不会造成严重后果。实时性主要强调的是时间上的确定性(just-in-time),而非响应时间的长短。

此外,嵌入式系统一般嵌入在一个更大的设备或环境中工作,从外部是不可见的,具有可嵌入性;由于许多嵌入式系统用在控制设备中,不允许死机和系统重启的发生,和台式机系统相比,其可靠性要求会更高。

因此,嵌入式系统^①是一门实践性和综合性都非常强的前沿技术,是将先进的计算机技术、微电子技术和现代电子系统技术与各个行业的具体应用相结合后的产物,这一点决定了它必然是一个技术密集、资金密集、高度分散、不断创新的知识集成系统。

随着 Post-PC(后 PC)时代的来临,据称 95% 的微处理器将用于嵌入式系统,嵌入式技术已经成为 21 世纪最热门的技术之一,其应用范围非常广泛,大到载人航天器,小到数字化时钟,遍布于我们生活的方方面面,可以说是 embedded everywhere(无处不在的嵌入)和 ubiquitous computing(无处不在的计算),如消费电子产品(移动电话、可视电话、数码相机、DVR、掌上游戏机、计算器、PDA、电子玩具等)、家用电器产品(微波炉、留言机、自动调温器、家庭安全系统、洗衣机以及照明系统)、办公自动化设备(传真机、复印机、打印机、扫描仪)、商用设备(收银机、路边收费器、报警系统、读卡机、产品扫描设备及 ATM 机)、通信设备(手机基站、交换机、DSL 接入设备)、军事武器装备(导弹、坦克、军舰、飞机、无人机、智能炸弹)、医疗设备(生命维持系统、医疗检测系统、CT、B 超)及车用设备(传导控制、定速控制、燃料控制、防锁死刹车器以及主动悬吊)等(如图 1-1 所示)。虽然嵌入式计算机比台式计算机便宜许多,但其数量庞大,如在 1999 年,一个典型的美国家庭

^① 在本书中,如无特别说明,嵌入式系统和实时系统都是指嵌入式实时系统,二者的含义相同。

可能拥有一部台式计算机,但有 35~50 部嵌入式计算机。另外,1998 年平均每部汽车有 50 个嵌入式微处理器单元,价值数百美元,年增长率达 17%。近年来,嵌入式微处理器单元每年销售量达 10 亿,而台式微处理器单元的年销售量仅为数亿。



图 1-1 部分嵌入式系统实例

1.1.2 嵌入式系统的组成

从图 1-2 可以看出,嵌入式系统主要由嵌入式微处理器等硬件和 RTOS、嵌入式应用程序等软件组成。

嵌入式系统的硬件组成主要包括下述五个部分。

(1) 嵌入式微处理器: 可分成 MCU、MPU 和 DSP 三类。目前市场上有上千种嵌入式微处理器,用得比较广泛的有 ARM 公司的 ARM 系列微处理器、Motorola 公司的 Power PC 和 MC68000 微处理器、MIPS 公司的 MIPS 系列微处理器、TI 公司的系列 DSP 等。

(2) 存储器: 常用的有静态存储器(SRAM)、动态存储器(DRAM)、只读存储器(ROM)、闪存(Flash ROM),每种存储器各有其用途和优缺点。

(3) I/O 接口: 种类繁多,如 UART(通用异步串口)、并口、I²C(集成电路间通信总线接口)、SPI(同步并行接口)、USB(通用串行接口)、Ethernet(以太网)接口、IEEE 1492、IEEE 802.11、IRDA(红外线接口)、BlueTooth(蓝牙)等。

(4) I/O 设备: 如 LCD、LED、键盘、面板开关、各种传感器/执行器等。

(5) 其他电路: 如 A/D、D/A、时钟电路、复位电路和电源模块等。

嵌入式系统的软件组成可分为以下四个层次。

(1) BSP(board support package,板级支持包): 即设备驱动程序,负责 RTOS 与硬件设备的信息交换,包括硬件的初始化、读、写、查询等操作,并给操作系统提供相应的设备驱动接口。

(2) RTOS(real-time operating system,实时操作系统): 负责整个系统的任务调度、存储分配、时钟管理和中断管理,并提供文件、图形用户接口、网络、数据库等功能。

(3) API(application programming interface,应用编程接口): 为编制应用程序提供的各种编程接口库(lib)。



图 1-2 嵌入式系统的组成

(4) 嵌入式应用程序：为满足嵌入式系统各种应用需要实现的应用程序，如手机上的编辑器、记事簿和游戏，路由器上的网络管理软件，数字电视上的浏览器等。

目前有许多不同类型的嵌入式系统，根据 Koopman 在 1999 年的分类，可以分为以下四种类型。

(1) 通用计算：应用程序与台式机类似，但在一个嵌入式软件包中，如可视游戏、机顶盒、可穿戴的计算机和自动应答机。

(2) 控制系统：实时系统的闭环反馈控制，如车辆引擎、化学处理、核电站和飞行控制系统。

(3) 信号处理：涉及大数据流的计算，如雷达、声呐和视频压缩/解压缩。

(4) 通信和网络：信息交换和传输，如电话系统和 Internet 设备。

1.1.3 嵌入式系统开发

嵌入式系统一般由硬件和软件两部分组成，因此，其开发过程大致可分为需求分析、规格说明、软硬件分解、软硬件设计、软硬件实现、集成测试、产品分配与维护等六个阶段。通常，在嵌入式系统软硬件分解结束后，开发人员分别独立进行嵌入式硬件和嵌入式软件的设计与实现，并在软件实现、硬件制造完成后，进行整个嵌入式系统的集成测试，如图 1-3(a)所示。目前，更先进的方法是建立软硬件协同设计 (co-design) 和协同验证 (co-verification) 环境，对嵌入式硬件和嵌入式软件进行协同设计和协同验证，大大缩短嵌入式系统的设计、实现和调试时间，如图 1-3(b)所示。

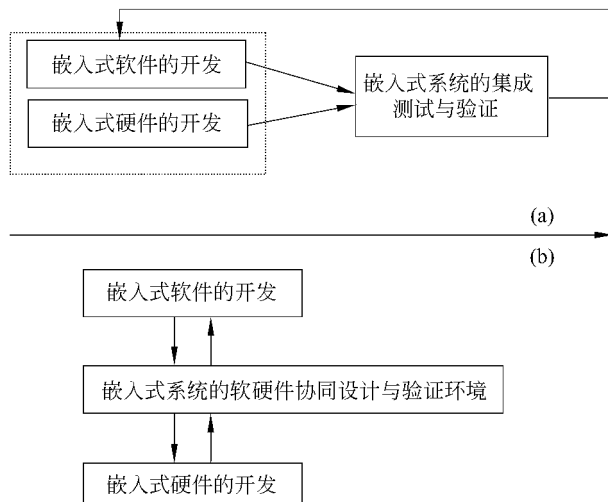


图 1-3 两种嵌入式系统开发方法的对比

嵌入式硬件开发过程一般有以下三种方式。

(1) 采用 SystemC、System Verilog、Handel-C 等系统建模语言，描述系统和算法的功能及处理过程，经综合 (synthesize) 后输出经过优化的电子数据交换格式 (EDIF) 网表；或者采用硬件描述语言 VHDL 或 Verilog HDL 描述硬件功能和结构，然后使用 EDA 工

具生成原理图,再利用原理图进行系统仿真,经过现场可编程门阵列(FPGA)测试后,最后交付生产厂家生产 ASIC 芯片。

(2) 直接使用电子设计自动化(EDA)工具进行布线设计印制电路板(PCB)板,经过测试后,交付生产厂家生产。

(3) 选择、外购成熟的商业硬件产品,包括芯片、线路板和外设等。

嵌入式软件开发,主要是指 RTOS 之上的应用程序开发,开发过程一般采用嵌入式实时系统软件工程(software engineering for embedded real-time system)生命周期的瀑布模型,并可考虑快速原型方法。由于嵌入式系统受资源限制,不可能建立庞大、复杂的开发平台,其开发平台和目标运行平台往往相互分离。因此,嵌入式软件的开发方式一般是(如图 1-4 所示),在主机(host)上建立开发平台,进行应用程序的分析、设计、编码,然后主机与目标机(target)建立连接,将经交叉编译(cross compiling)后的应用程序目标代码下载到目标机上进行交叉调试(cross debugging)、性能优化分析(profiling)和测试,最后将应用程序“固化(burning)”到目标机中实际运行。

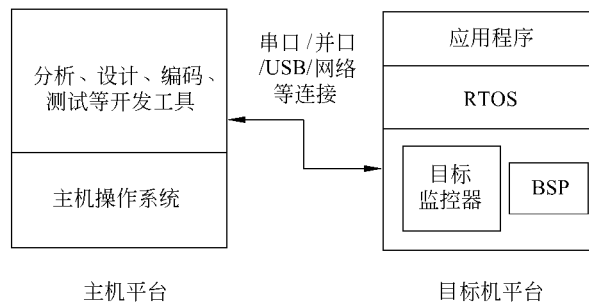


图 1-4 嵌入式软件的交叉开发方式

1.1.4 嵌入式软件开发平台

嵌入式软件开发平台(development platform)是为用户开发(包括需求分析、规格说明、设计、编码、测试、产品分配与维护等阶段)嵌入式应用程序而提供的高起点、综合的支撑环境(supporting environment),包括面向领域的应用程序基本框架、可复用的组件库、参考设计、应用示例、开发工具集、RTOS、相关文档以及对平台进行管理、配置的设施等技术实体,主要功能是将工具集成在一起支持某种软件开发方法或与某种软件开发模型相适应,是用户开发应用程序的重要基础,强调知识成果的积累和复用,是平台开发模式思想的集中体现。

通常,嵌入式软件开发平台支持嵌入式软件生命周期中的一个或多个开发阶段,甚至全部阶段,如设计平台、集成开发环境(IDE)(主要支持编码阶段的开发平台)、测试平台、维护平台等,而能够支持嵌入式软件生命周期中大部分阶段或全部阶段的开发平台,一般称为实时 CASE(CASE for real-time system,面向实时系统的计算机辅助软件工程)环境。

目前与 RTOS 紧密结合、支持编码阶段的开发平台使用得较为广泛,主要有

WindRiver 公司的产品 WorkBench、ISI 公司(该公司目前已被 WindRiver 公司兼并)的产品 pRISM+、Microtec 公司的产品 Spectra、Microsoft 公司的产品 Windows CE Platform Builder、Green Hills 公司的 MULTI 2000 等。

许多实时 CASE 环境也得到了广泛的应用,如瑞典 Telelogic 公司的产品 TAU、法国 Verilog 公司的产品 ObjectGeode 以及用于安全关键系统的产品 SCADE、美国 I-logix 公司的产品 Rhapsody 和美国 Rational 公司的产品 Rational Rose RealTim 等。

1.2 微电子技术

1.2.1 微电子技术的发展

自 1947 年晶体管发明以来,微电子技术在迄今为止的五十多年的时间里得到了惊人的飞速发展。微电子技术发展的目标是不断提高集成系统的性能和性价比,这是半导体工艺不断提高的动力源泉。遵循特征尺寸平均每三年缩小 $\sqrt{2}$ 倍、集成度平均每三年增加 4 倍、芯片尺寸每年提高 12% 的 Moore 定律,集成电路(IC)制造的特征尺寸先后从最初的 $10\mu\text{m}$ 以上缩小到 $5\mu\text{m}$ 、 $1\mu\text{m}$ 、 $0.5\mu\text{m}$,并在 1997 年前后缩小至 $0.35\mu\text{m}$,半导体工艺自此进入深亚微米阶段(线宽 $\leq 0.5\mu\text{m}$)。同时,IC 芯片的规模在依次经历小规模(SSI)、中规模(MSI)、大规模(LSI)和超大规模(VLSI)阶段后,如今已发展到特大规模(GSI)阶段。

目前, $0.18\mu\text{m}\sim 0.09\mu\text{m}$ 线宽已成为主流生产技术,世界上最先进的超深亚微米技术(线宽 $\leq 0.25\mu\text{m}$) $0.07\mu\text{m}$ 和 $0.04\mu\text{m}$ 的器件已在实验室中研制成功。预计 2015 年微电子技术的特征尺寸将达到 $0.025\mu\text{m}$ 的“极限”水平,芯片的集成度至 10^9 ,芯片面积达到数厘米乘数厘米,DRAM 的存储容量达到吉位,Pentium 4 CPU 的时钟频率已达 3.4GHz 。表 1-1 给出了 1997—2009 年国际集成电路制造工艺的发展现状与发展趋势。

表 1-1 1997—2009 年国际集成电路制造工艺的发展现状与发展趋势

年 度	1997 年	1999 年	2001 年	2003 年	2006 年	2009 年
工艺最小特征尺寸/ μm	0.25	0.18	0.15	0.13	0.07	0.04
晶体管数目/ 10^6	11	21	40	76	200	520
芯片时钟/MHz	750	1200	1400	3400	6000	8000
芯片面积/ mm^2	700	800	850	900	1000	1100
布线层数	6	6~7	7	7	7~8	8~9

超深亚微米技术的出现,对人类生产和生活的影响重大。目前,微电子技术已经广泛应用于国民经济、国防建设,乃至家庭生活的各个方面。实现人类社会信息化所需要的中高档的通信与网络产品、电子电器等消费产品,增强未来国防信息战实力所需要的高速大容量通信、高速计算机、高速信息处理及高性能的测量仪表等系统,无不需高性能的集成电路来实现这些系统的关键硬件。超深亚微米技术极大地推动了 IC 芯片的发展,不仅可以使这些系统的性能日渐提高,而且可以逐步实现低成本大批量生产、方便甚至便携使

用,从而使人类社会信息化更上一个台阶。

1.2.2 VLSI 集成电路设计

VLSI 集成电路设计主要根据芯片的功能和性能要求,经历若干步骤,从系统设计到芯片封装测试等。目前,几乎在集成电路的每个环节上都要使用 EDA 工具,而不同的 EDA 公司提供了自己的设计工具和方案。这些设计方案可归纳、抽象为如图 1-5 所示的 IC 设计流程。下面简要说明每个设计阶段。

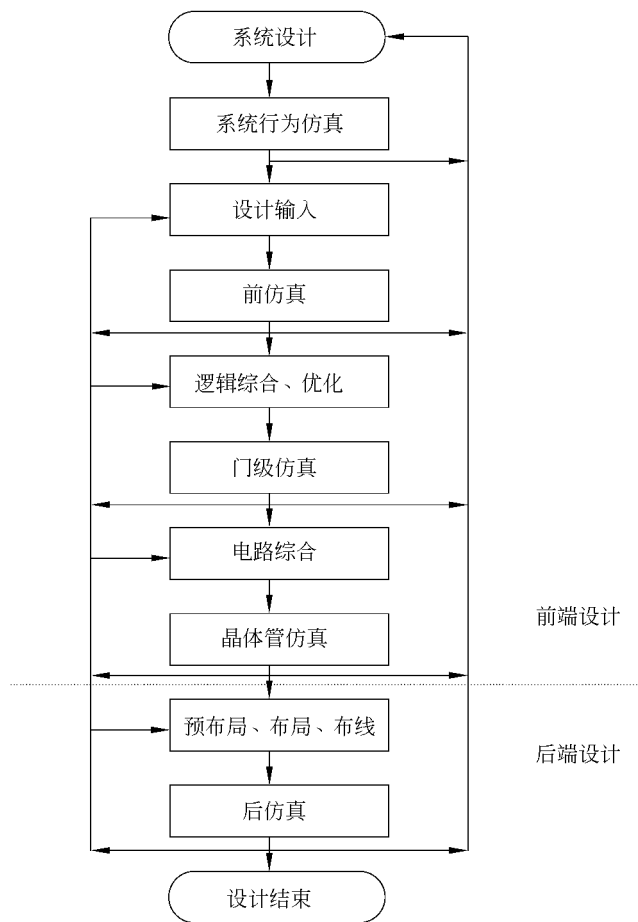


图 1-5 集成电路设计流程

(1) 系统设计: 给出设计芯片的规范,主要有功能、性能、目标门数、设计模式和制造工艺等,进而确定芯片尺寸、最高工作速度、功耗等指标,同时,还要确定系统主要时序关系,并完成模块的划分、各模块的输入输出及其连接关系。

(2) 系统行为仿真: 对设计系统的行为特性进行仿真测试,其结果可作为对系统设计规范和整个设计过程改进的依据。

(3) 设计输入: 目前通常采用 Verilog (IEEE 1364—2001 标准)、VHDL (IEEE 1076—1995 标准)等硬件描述语言(HDL),有时也可采用符号原理图和布尔方程等表示

系统(或模块)功能的逻辑结构。

(4) 前仿真(pre-layout simulation): 根据 HDL 语义用 HDL 仿真器进行,与具体电路无关的行为仿真(在 ASIC 设计中称为第一次 Sign-off),验证电路逻辑功能是否正确。此时,可充分利用 HDL 中适合仿真控制的语句、有关的预定义函数和库文件。在前仿真时,通常没有时序信息,或定义延迟时间为单位时间,如 1ns。

(5) 逻辑综合、优化(logic synthesis): 在集成电路设计中,综合是两种不同表达式的转换与优化,即 $\text{logic synthesis} = \text{translation} + \text{optimization}$ 。逻辑综合是将电路的状态图、HDL 语言等逻辑描述转换为低级的、可与 FPGA/CPLD 或 ASIC 的门级基本单元结构相映射及其连线的网表(netlist)文件,是将 HDL 符号设计转换为可实现硬件电路的关键步骤。逻辑综合器将忽略用于 HDL 行为仿真的、硬件无法实现的语句。优化是根据布尔方程等效原则,将综合生成的网表用更小、更快的综合结果代替一些复杂单元,并与指定的库映射生成新的网表(多为 EDIF 格式),达到减少电路规模的目的。HDL 网表文件可以仍然采用 HDL 语法,只是其中的电路描述使用了结构描述方法,首先描述了最基本的门电路,然后将这些门电路用例化语句连接起来。这时,可将网表文件送入 HDL 仿真器进行功能仿真,其结果应基本上与门级仿真器的功能仿真结果一致。

(6) 门级仿真(gate-level simulation): 对综合和布局后的门级网表进行仿真,可以对门级电路进行反标(back-annotate),加入时序信息后再进行仿真。

(7) 电路综合(circuit synthesis): 电路综合将电路的逻辑描述转化为满足时序约束的晶体管表述,将布局(placement)信息和综合统一起来,使得设计从寄存器传输级(RTL)到门级(gates)在最短时间得到较好验证,同时,将引入真实的连线延迟信息,减少了与 post-layout 在时序上的不一致。

(8) 晶体管级仿真: 仿真测试电路综合后的电路功能及时序是否达到设计要求。

(9) 预布局、布局和布线: 预布局(floor planning)是在芯片上排列网表的块(blocks),布局(placement)是确定块内单元(cells)的位置,布线(routing)是在块和单元内或它们之间确定连线。

(10) 后仿真(post-layout simulation): 对经过布局、布线后的网表和反标文件进行仿真(在 ASIC 设计中,称为第二次 sign-off),以验证此时网表功能和时序(timing)是否正确。一般情况下,后仿真和前仿真所用的激励相同。在后仿真时,考虑了工艺、延迟等特性,可获得更为精确的电阻电容等参数。

在实际 IC 设计工作中,设计人员将依赖 EDA 工具来完成设计。由于不同设计任务具有其特殊的要求,且各个 EDA 公司在 IC 设计的不同环节上具有各自的优势,如 Cadence 公司擅长于前仿真和后端布图、Synopsys 公司的逻辑综合工具设计综合器(design compiler)具有绝对优势、Metor Graphics 公司在自动测试与提取验证方面占有一定的优势。因此,在一个芯片设计工作中,首先要根据具体要求选配各环节的 EDA 工具,处理好不同的 EDA 工具间文件交换可能出现的问题。此外,根据芯片的具体要求在设计中还可增加功耗分析与优化、静态时序分析、形式验证、时钟综合、测试综合等。完成这些工作后,可将网表等前端设计文件提交给 IC 制造商或设计服务公司,进行 IC 后端设计及制造。通常,后端设计与前端设计需要非常耗时的多次反复确认后,才能到 IC 代工