

PLD and Digital Logic System Design

PLD 与数字系统设计

李 辉 编著

*Specially Designed
for Engineers and Technicians of Electronics*



西安电子科技大学出版社

<http://www.xduph.com>

PLD 与数字系统设计

李 辉 编著

西安电子科技大学出版社

2005

内 容 简 介

本书介绍了可编程逻辑器件的内部结构和工作原理、用于数字逻辑电路设计的硬件描述语言 VHDL 和 Verilog-HDL、可编程逻辑器件的开发系统 ISE 5.1i 的使用方法。最后通过几个具有一定应用价值的电子系统设计实例,介绍了实现数字逻辑系统的设计方法。

本书可作为从事电子产品开发及生产的工程技术人员学习和开发在系统可编程集成电路原理与应用技术的参考书,也可作为大专院校电子工程、计算机和自动化等相关专业开设实验与数字系统设计课程的教学参考书。

图书在版编目(CIP)数据

PLD 与数字系统设计 / 李辉编著. —西安:西安电子科技大学出版社, 2005.5

ISBN 7-5606-1502-3

. P . 李 . 可编程序逻辑器件—系统设计 数字系统—系统设计

. TP211 TP271

中国版本图书馆 CIP 数据核字(2005)第 024792 号

策 划 臧延新

责任编辑 王 瑛 臧延新

出版发行 西安电子科技大学出版社(西安市太白南路 2 号)

电 话 (029)88242885 88201467 邮 编 710071

<http://www.xduph.com>

E-mail: xdupfxb@pub.xaonline.com

经 销 新华书店

印 刷 西安文化彩印厂

版 次 2005 年 5 月第 1 版 2005 年 5 月第 1 次印刷

开 本 787 毫米×1092 毫米 1/16 印 张 16

字 数 377 千字

印 数 1~4000 册

定 价 25.00 元

ISBN 7-5606-1502-3 / TP·0798

XDUP 1773001 - 1

*** 如有印装问题可调换 ***

本社图书封面为激光防伪覆膜,谨防盗版。

前 言

随着计算机和大规模集成电路制造技术的迅速发展，采用普通的小规模数字逻辑集成电路，如 74 系列的 TTL 或通用 CMOS 数字逻辑集成电路，已经不能够满足现代数字系统设计的要求了。现代的电子产品和复杂的数字逻辑系统正朝着高集成度、小型化和低功耗的方向发展。

从 20 世纪 80 年代开始，由于可编程逻辑器件(PLD，Programmable Logic Device)具有体积小、功耗低和容易实现数字逻辑系统设计的优点，深受电子系统设计者的青睐。目前的复杂可编程逻辑器件(CPLD，Complex PLD)和现场可编程门阵列(FPGA，Field Programmable Gate Array)因其功能更加强大、开发过程投资少和周期短、在线可编程、可以反复修改、保密性能好等优点，已经成为硬件设计者首选的电子元件之一。CPLD/FPGA 已经广泛应用于通信、工业自动化、智能仪器仪表和计算机等领域。

本书介绍了可编程逻辑器件的内部结构和工作原理、用于数字逻辑电路设计的硬件描述语言和可编程逻辑器件的开发系统以及实现数字逻辑系统的设计实例。

本书共分 5 章，分别介绍了 PLD 的原理和应用实例。

第 1 章介绍可编程逻辑器件的特点，并重点讲述可编程逻辑器件的内部结构和工作原理。

第 2 章和第 3 章分别介绍常用的两种硬件描述语言 VHDL 和 Verilog-HDL 描述逻辑电路的方法。

第 4 章介绍利用在系统可编程逻辑器件的工具 ISE 5.1i 开发系统，并利用该工具进行数字逻辑系统设计和仿真的方法。

第 5 章介绍实现具有一定应用价值的电子系统的设计实例，而且这些设计实例都已经在实验开发板上得到验证和通过。

本书在编写过程中，得到了戴蓓倩老师的关心和帮助，在此表示衷心感谢。

由于作者水平有限和时间的的原因，书中难免存在一些不足之处，恳请各位专家批评指正。

电子邮箱：hli@ustc.edu.cn。

作 者

2004 年 12 月

于中国科学技术大学

目 录

第 1 章 可编程逻辑器件	1
1.1 可编程逻辑器件概述	1
1.2 低密度 PLD	4
1.3 高密度 PLD	11
1.3.1 XC9500 在系统可编程逻辑器件系列	12
1.3.2 Spartan 可编程逻辑器件系列	15
1.3.3 Spartan-II 可编程逻辑器件系列结构	21
1.4 CPLD 和 FPGA	24
1.5 基于可编程逻辑器件的数字系统的设计流程	26
1.6 可编程逻辑器件的发展趋势	28
第 2 章 VHDL 语言	32
2.1 VHDL 的基本结构	34
2.2 VHDL 结构体的子结构	38
2.2.1 块(BLOCK)语句	38
2.2.2 进程(PROCESS)语句	39
2.2.3 子程序(SUBPROGRAMS)语句	43
2.2.4 库、程序包和配置	44
2.3 标示符、数据对象、数据类型、属性和保留关键字	47
2.3.1 标示符(Identifiers)	47
2.3.2 数据对象(Data Objects)	47
2.3.3 数据类型(Data Types)和属性	52
2.3.4 保留关键字	58
2.4 VHDL 的运算操作符	59
2.5 VHDL 的顺序描述语句	60
2.6 VHDL 的并发描述语句	68
2.7 基本逻辑单元描述实例	74
2.8 测试程序的设计	95
第 3 章 Verilog-HDL 语言	104
3.1 模块的结构	104
3.2 数据类型	107
3.2.1 常量的数据类型	107

3.2.2	变量的常用数据类型.....	108
3.3	运算符和表达式.....	109
3.4	语句.....	112
3.4.1	赋值语句.....	112
3.4.2	条件语句.....	114
3.4.3	循环语句.....	116
3.4.4	结构说明语句.....	117
3.4.5	块语句.....	119
3.4.6	语句的顺序执行和并行执行.....	120
3.4.7	编译预处理.....	122
3.5	基本逻辑单元描述实例.....	124
3.6	测试程序的设计.....	142
第 4 章	ISE 5.1i 开发系统.....	144
4.1	设计流程.....	144
4.2	工程管理用户界面.....	146
4.3	VHDL 的输入方法.....	146
4.3.1	创建一个新的工程项目.....	147
4.3.2	输入 VHDL 程序.....	149
4.3.3	利用语言参考模板编写程序.....	150
4.3.4	语法检查.....	151
4.3.5	逻辑功能仿真.....	151
4.3.6	综合.....	157
4.3.7	添加芯片管脚约束文件.....	158
4.3.8	设计的实现.....	162
4.3.9	配置 FPGA.....	164
4.4	基于电路原理图输入的设计方法.....	167
4.4.1	创建一个新的工程项目.....	167
4.4.2	输入电路原理图.....	168
4.5	状态转换图描述状态机.....	172
4.6	硬件描述语言和电路原理图混合输入方式.....	177
4.6.1	输入模块 count4 的 VHDL 程序和生成的电路符号.....	178
4.6.2	使用 ECS 工具设计顶层电路的原理图.....	179
4.6.3	设计的实现.....	182
第 5 章	设计实例.....	183
5.1	实验开发板原理.....	183
5.1.1	实验开发板原理.....	183
5.1.2	XC2S15-5VQ100C 的管脚连接.....	184

5.1.3 编程接口	186
5.2 设计实例.....	187
5.2.1 汉字显示	187
5.2.2 数字频率计.....	190
5.2.3 交通信号灯控制器	195
5.2.4 电子数字钟.....	200
5.2.5 计时器.....	206
5.2.6 电子密码锁.....	212
5.2.7 数字电压表.....	219
附录 A 实验开发板电路原理图	226
A.1 实验开发板电路原理图之一	226
A.2 实验开发板电路原理图之二.....	227
A.3 实验开发板电路原理图之三.....	228
A.4 实验开发板电路原理图之四.....	229
附录 B VHDL 标准程序包	230
B.1 STD_LOGIC_1164.....	230
B.2 STD_LOGIC_ARITH	234
B.3 STD_LOGIC_UNSIGNED	240
B.4 STD_LOGIC_SIGNED	242
附录 C 缩写词汇.....	244
附录 D 参考网址	247
参考文献.....	248

第 1 章 可编程逻辑器件

1.1 可编程逻辑器件概述

当今社会是数字集成电路广泛应用的社会。数字集成电路本身在不断地进行更新换代。它由早期的电子管、晶体管、中小规模集成电路发展到超大规模集成电路(几万门以上)以及许多具有特定功能的专用集成电路(ASIC, Application Specific Integrated Circuits)。在现代复杂的数字逻辑系统中, 专用集成电路的应用越来越广泛。曾经广泛使用的由基本逻辑门和触发器构成的中小规模集成电路(例如, TTL 和 CMOS 系列数字集成电路)所占的比例却越来越少。其主要原因是这些通用成品集成电路只能够实现特定的逻辑功能, 不能由用户根据具体的要求进行修改; 而且, 许多使用不上的逻辑功能和集成电路管脚不能发挥应有的作用, 造成电子产品的功耗增加, 印刷电路板和产品体积的增大。

虽然 ASIC 的成本很低, 但设计周期长, 投入费用高。可编程逻辑器件(PLD, Programmable Logic Device)自问世以来, 经历了从低密度的 PROM、PLA、PAL、GAL 到高密度的现场可编程门阵列(FPGA, Field Programmable Gate Array)和复杂可编程逻辑器件(CPLD, Complex Programmable Logic Device)的发展过程。可编程逻辑器件实际上是一种电路的半成品芯片, 这种芯片是按一定排列方式集成了大量的门和触发器等基本逻辑元件, 出厂时不具有特定的逻辑功能, 需要用户利用专用的开发系统对其进行编程, 在芯片内部的可编程连接点进行电路连接, 使之完成某个逻辑电路或系统的功能, 才能成为一个可在实际电子系统中使用的专用芯片。

可编程逻辑器件的出现打破了中小规模通用型集成电路和大规模专用集成电路垄断的天下, 大规模可编程逻辑器件既继承了专用集成电路的高集成度、高可靠性的优点, 又克服了专用集成电路设计周期长、投资大和灵活性差的缺点。而且, 可编程逻辑器件设计灵活, 发现错误可以及时修改, 逐步成为复杂数字逻辑系统的理想器件, 非常适合于科研单位开发小批量和多品种的电子产品。甚至, 有时设计专用集成电路时, 也将使用可编程逻辑器件实现功能样机作为必需的步骤。

可擦除的可编程逻辑器件(EPLD, Erasable Programmable Logic Device)则是可以由用户通过编程实现具体逻辑功能的集成电路。目前, 广泛使用的低密度的 PLD(所谓低密度, 是指包含的等效逻辑门低于 1000 个的 PLD 芯片, 一个门阵列的等效门就是一个具有两输入端的与非门)有可编程阵列逻辑(PAL, Programmable Array Logic)和通用阵列逻辑(GAL, Generic Array Logic)芯片。

随着微电子技术的发展, 设计与制造集成电路的任务已不完全由半导体厂商来独立承

担。系统设计师们更愿意自己设计专用集成电路(ASIC)芯片,而且希望 ASIC 的设计周期尽可能短,最好是在实验室里就能设计出合适的 ASIC 芯片,并且立即投入实际应用之中,因而出现了现场可编程逻辑器件(Field PLD),其中应用最广泛的当属现场可编程门阵列(FPGA)和复杂可编程逻辑器件(CPLD)。许多著名的半导体集成电路制造公司都不断地推出了各种新型的高密度 PLD(包含的等效逻辑门高于 1000 个的 PLD 芯片)。高密度 PLD 包含两种不同结构的器件,一种是复杂可编程逻辑器件,另一种是现场可编程门阵列结构的器件。

相对于低密度的 PLD 来说,高密度的 PLD 具有更多的输入/输出、乘积项(product term)和宏单元(macrocell),复杂可编程逻辑器件含有多个逻辑单元,其中每个逻辑单元都相当于一个低密度的 PLD(例如一个 GAL16V8),通过可编程内部连线(PI, Programmable Interconnect)将芯片内部的逻辑单元连接起来,仅用一块复杂可编程逻辑器件就能够完成比较复杂的逻辑功能。

这样的 FPGA/CPLD 实际上就是一个子系统部件。这种芯片受到世界范围内电子工程设计人员的广泛关注和普遍欢迎。经过了十几年的发展,许多公司都开发出了多种可编程逻辑器件。比较典型的的就是 Xilinx 公司的 FPGA 器件系列和 Altera 公司的 CPLD 器件系列,它们提供的可编程逻辑器件产品占了较大的 PLD 市场。全球的 PLD/FPGA 产品 60%以上是由 Altera 公司和 Xilinx 公司提供的。当然还有许多其他类型器件,如 Lattice、Vantis、Actel、Quicklogic 和 Lucent 公司等。

FPGA 器件在结构上,逻辑单元(logic cell)按阵列排列,由可编程的内部连接线连接这些逻辑单元。一般来说,逻辑单元比 CPLD 的乘积项和宏单元的功能要少,但是将这些逻辑单元级联起来,就能够形成更强的逻辑功能。例如,Xilinx 公司的现场可编程门阵列就有 XC3000A/L、XC3100A/L、XC4000A/L、XC5000、XC6200、XC8000、Spartan、Spartan- / Spartan- E、Virtex 等系列产品。

XC4000 系列产品采用了 CMOS 和 SRAM 技术,其功耗非常低,在静态和等待状态下的功耗仅为毫瓦级。FPGA 的基本结构由可编程逻辑功能块(CLB)、接口功能块(IOB)和可编程内部连线(PI)三个部分组成。其中:可编程逻辑功能块(CLB, Configurable Logic Blocks)在芯片上按矩阵排列;接口功能块(IOB, Input/Output Blocks)在芯片四周;可编程内部连线(PI, Programmable Interconnect)是 FPGA 中最灵活的一部分,可以在逻辑功能块的行与列以及接口功能块之间实现互连。可编程逻辑功能块、接口功能块和可编程内部连线三个主要部分构成了可编程逻辑单元阵列(LCA, Logical Cell Array)。CLB 实现用户定义的基本逻辑功能;IOB 实现内部逻辑与器件封装引脚之间的接口;PI 完成模块之间的信号传递。FPGA 的配置数据存放在静态随机存储器 SRAM 中,即 FPGA 的所有逻辑功能块、接口功能块和可编程内部连线的功能都由存储在芯片上的 SRAM 中的编程数据来定义。由于断电之后 SRAM 中的数据会丢失,因此每次接通电源时,由微处理器来进行初始化和加载编程数据,或将实现电路的结构信息保存在外部存储器 EPROM 中,FPGA 由 EPROM 读入编程信息。由 SRAM 中的各位存储信息控制可编程逻辑单元阵列中各个可编程点的通断,从而达到现场可编程的目的。

Xilinx 公司的 Virtex- PRO 系列采用 0.13 μm , 9 层金属结构,是一款基于 Virtex- 系列基础的高端 FPGA,其主要特点是在 Virtex- 上增加了高速 I/O 接口能力和嵌入了 IBM 公司的 PowerPC 处理器。

除了 FPGA 产品外, Xilinx 公司的 CPLD 产品有 XC9500(5 V CPLD 系列)和 XC9500XL (3.3 V CPLD 系列)。它们采用了 0.35 μm 技术, 对芯片的编程次数达到一万次, 具有在线可编程的功能。

结合 XC9500 系列 CPLD 的速度快和 CoolRunner XPLA3 系列 CPLD 的功耗低的特点, Xilinx 公司又推出了第二代 CPLD 产品——CoolRunner- 系列 CPLD, 例如 XC2C128 等。CoolRunner- 系列 CPLD 的内核电源电压为 1.8 V, 支持 1.5 V、1.8 V、2.5 V 和 3.3 V 多种输入/输出电平, 它具有 XC9500 系列 CPLD 所没有的时钟分频和倍频功能, 特别适合采用电池供电的电子产品。

Altera 公司有 MAX7000 系列、MAX9000 系列、FLEX8000 系列、FLEX10K 系列、APEX 20K、ACEX、Cyclone 和 Stratix 等产品。MAX 系列 CPLD 采用 EEPROM 技术和乘积项的结构; FLEX 系列 CPLD 采用 SRAM 技术和查表结构; Stratix 系列 CPLD 内嵌乘加结构的 DSP 块, 采用 1.5 V 内核, 0.13 μm 全铜工艺。

MAX 系列非常适合应用于复杂的组合逻辑和状态机数字系统中(例如接口总线控制器、译码器等); FLEX 系列适合应用于需要进行快速运算的数字逻辑系统中(例如数字信号处理、PCI 接口电路和计数器等); APEX 20K 系列同时具备了 MAX 系列和 FLEX 系列的特点, 内部还有高速双端 RAM。

Stratix 系列芯片由 QuartusII 2.0 版本软件支持。它具有以下特点:

(1) 内嵌三级存储单元: 可配置为移位寄存器的 512 b 小容量 RAM; 4 Kb 容量的标准 RAM(M4K); 512 Kb 的大容量 RAM(MegaRAM), 并自带奇偶校验。

(2) 内嵌乘加结构的 DSP 块(包括硬件乘法器/硬件累加器和流水线结构), 适于高速数字信号处理和各类算法的实现。

(3) 全新布线结构, 分为三种长度的行列布线, 在保证延时可预测的同时, 提高资源利用率和系统速度。

(4) 增强时钟管理和锁相环能力, 最多可有 40 个独立的系统时钟管理区和 12 组锁相环 PLL, 实现 $K \times M/N$ 的任意倍频/分频, 且参数可动态配置。

(5) 增加片内终端匹配电阻, 提高信号完整性, 简化 PCB 布线。

Lattice 半导体公司将其先进的在系统可编程 ISP 技术应用到高密度可编程逻辑器件(High Density Programmable Logical Device)中, 先后推出了 ispLSI 1000、ispLSI 2000、ispLSI 3000、ispLSI 5000、ispLSI 6000 和 ispLSI 8000 等一系列高密度在系统可编程(ispLSI, in system programmable Large Scale Integration)逻辑器件, 宏阵列 CMOS 高密度(MACH, Macro Array CMOS High-density)器件, 其规模为 32 ~ 512 个宏单元, 多达 2 万个门, 传输延迟 t_{pd} 可低到 4.5 ns。根据信号的传输路径, 能够计算出信号的延迟时间, 可以预测出信号由输入端传输到输出端的延迟时间, 延迟时间参数对设计高速逻辑电路非常重要。

不同厂家对可编程逻辑器件的叫法不尽相同, Xilinx 公司把基于查找表技术、SRAM 工艺及要外挂配置用的 EEPROM 的 PLD 叫 FPGA, 把基于乘积项技术和 Flash(类似 EEPROM)工艺的 PLD 叫 CPLD。而 Altera 公司把自己的 PLD 产品——MAX 系列(乘积项技术, EEPROM 工艺)和 FLEX 系列(查找表技术, SRAM 工艺)都称为 CPLD。由于 FLEX 系列也是采用 SRAM 工艺, 基于查找表技术, 要外挂配置用的 EPROM, 用法和 Xilinx 公司的 FPGA 一样, 因此很多人把 Altera 公司的 FELX 系列产品也叫做 FPGA。其实现场可编程门阵列与

复杂可编程逻辑器件都是可编程逻辑器件，它们都是在 PAL、GAL 等逻辑器件的基础之上发展起来的。

还有一种反熔丝(Anti-fuse)技术的 FPGA ,如 Actel 和 Quicklogic 公司的部分产品就是采用这种工艺。其使用方法与上述 PLD 一样，但是这种 PLD 的缺点是不能重复改写，所以初期开发过程的费用也比较高。然而采用反熔丝技术的 PLD 也有许多优点：这种 PLD 的速度更快，布线能力更强，功耗会更低，同时抗辐射能力更强，耐高、低温，可以加密，所以在一些有特殊要求的领域中运用得比较多，如军事及航天等领域。

可编程逻辑器件(PLD)的分类如图 1-1 所示。

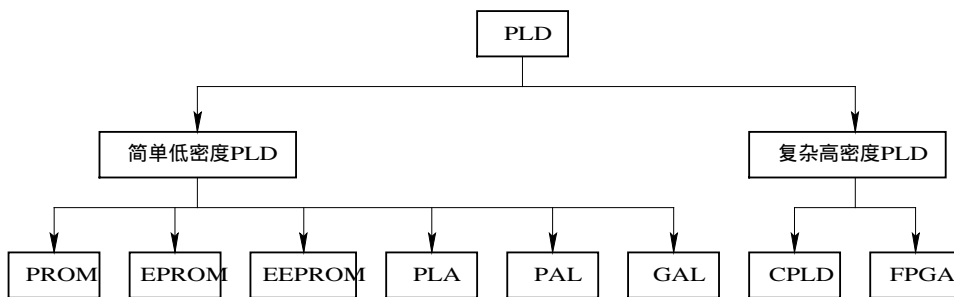


图 1-1 可编程逻辑器件(PLD)的分类

1.2 低密度 PLD

早期的可编程逻辑器件有可编程只读存储器(PROM)和可改写可编程只读存储器(EPROM)。由于结构的限制，它们只能完成简单的数字逻辑功能。

1. 只读存储器(ROM, Read Only Memory)

只读存储器包括固定 ROM、可编程只读存储器(PROM)、可改写可编程只读存储器(EPROM)、电可改写可编程只读存储器(EEPROM)、快闪存储器(Flash EEPROM)、熔丝型(fuses)PROM 和反熔丝型(Anti-fuse)PROM 等。

1) 固定 ROM

固定 ROM 所存的信息由厂家完全固定下来，使用过程中无法修改。这种 ROM 灵活性差，但成本低、可靠性高。它主要用于能够批量生产的产品中。

2) 可编程只读存储器(PROM, Programmable ROM)

PROM 的信息由用户自己根据需要编程写入，但只能写入一次，一经写入则不能够再修改。

3) 可改写可编程只读存储器(EPROM, Erasable PROM)

EPROM 的信息内容可以多次编程和改写，可以通过紫外线等照射擦除原来的内容。

EPROM 是采用浮栅技术生产的可编程存储器，一般的 EPROM 用叠栅 MOS 管(SIMOS, Stacked-gate Injection MOS)构成基本的存储单元，EPROM 的结构如图 1-2 所示。浮栅被绝缘物质 SiO₂ 所包围。

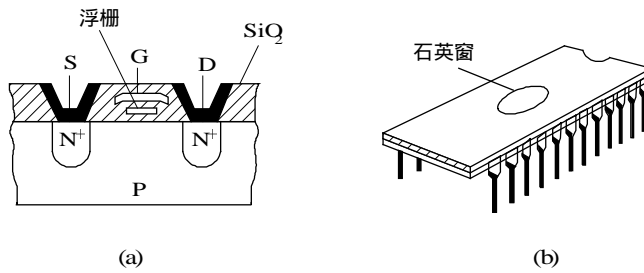


图 1-2 EPROM 的结构

(a) EPROM 单元结构；(b) 存储器外形图

在写入数据前，浮栅没有电子，当源极接地，给控制栅(接在行选择线上)加上控制电压时，在漏、源极之间形成 N 型沟道(在 P 型衬底上感应出一个反型层，P 型衬底的少数电子连接漏、源极的两个 N 型半导体而导通)，MOS 管导通，如图 1-3(a)所示；而当浮栅带有电子时，则衬底表面感应出正电荷，这使得 MOS 管的开启电压变高，如果给同样控制栅加上同样的控制电压，MOS 管仍然处于截止状态。SIMOS 管可以利用浮栅是否积累有负电荷来存储二值数据。

如果在漏、源极之间加足够高的正电压后，漏、源极之间形成强电场，使衬底与漏极之间的 PN 结产生雪崩击穿，使得一些速度较高的电子穿越 SiO_2 层，到达浮栅。当漏极上外加的高压去掉以后，俘获在浮置栅上的电子由于被绝缘层所包围无法消散而长期保存在浮置栅上，使浮置栅带负电位，从而使该场效应管的开启电压增加，在正常工作状态下处于截止状态，并且在漏、源极之间的沟道中感应出正电荷。这样漏、源极之间失去 N 沟道，即使在控制栅加 +5 V 电压时，漏、源极之间也不可能形成导电沟道，如图 1-3(b)所示。

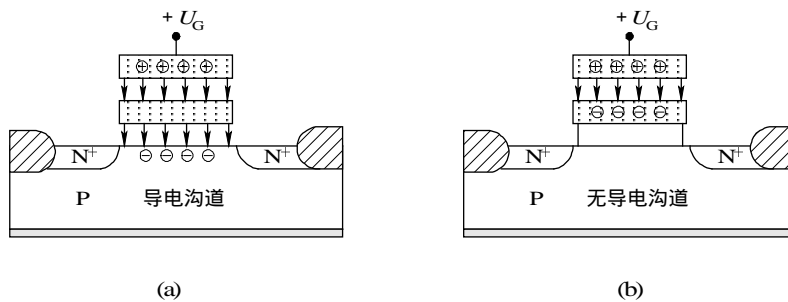


图 1-3 EPROM 的工作原理

(a) 形成导电沟道；(b) 没有导电沟道

EPROM 上方开设一个石英玻璃窗，在紫外线照射下，使 SiO_2 层中产生电子—空穴对，为浮置栅上的电子提供泄放通道。对 EPROM 编程时，必须先进行擦除后，才能进行编程。

当叠栅 MOS 管作为基本存储单元构成 EPROM 芯片时，使用前，浮置栅上没有电子，称为空白片。写入过程实际上是使某些存储单元的浮置栅上注入电子的过程。

4) 电可改写可编程只读存储器(EEPROM, Electrically EPROM)

EEPROM 存储单元的结构如图 1-4 所示。

在浮栅与漏区之间有一个薄氧化层(厚度在 $2 \times 10^{-8} \text{ m}$ 以内)的区域, 这个区域称为隧道区。当隧道区的电场强度大到一定程度 ($>10^7 \text{ V/cm}$) 时, 在漏区与浮栅之间出现导电隧道, 电子可以通过, 形成电流, 使得一些电子穿越 SiO_2 层, 到达浮栅。这种现象称为隧道效应。

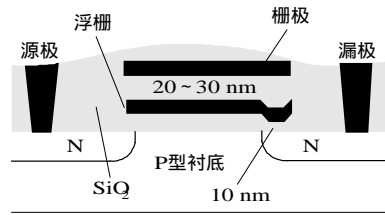


图 1-4 EEPROM 存储单元的结构

当漏极上外加的高压去掉以后, 在浮置栅上的电子, 由于被绝缘层所包围无法消散而长期保存在浮置栅上, 使浮置栅带负电位, 从而使该场效应管的开启电压增加, 在正常工作状态下处于截止状态。

5) 快闪存储器(Flash EEPROM)

快闪存储器(Flash EEPROM)又称为快擦快写存储器, 快闪存储器的结构如图 1-5 所示。浮栅与 P 型衬底的距离更短, 约为 100 埃。

当源极接地, 漏极接 $4.5 \sim 8 \text{ V}$, 栅极接 $+12 \text{ V}$ 左右的电压时, 会使一些电子穿越薄氧化层, 到达浮栅。

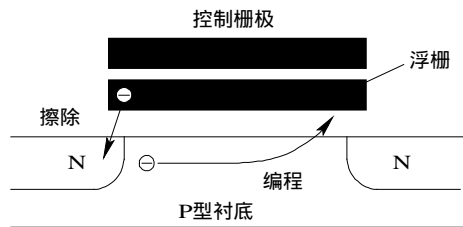


图 1-5 Flash EEPROM 存储单元的结构

当需要擦除 Flash EEPROM 上的信息时, 源极接 5 V , 漏极开路 and 栅极接 -12 V 电压, 使浮栅的电子泄放掉。

6) 熔丝型(fuses)PROM

熔丝采用很细的低熔点合金丝多晶硅导线。在写入数据时, 只要将需要写入 0 的那些存储单元的熔丝烧断。

编程时, 先输入地址信号, 提高 V_{CC} 到编程所需要的电压, 在对应写 0 的位线上, 加入编程脉冲, 写入放大器的输出为低电平, 这样就会有强烈的脉冲电流通过熔丝, 将熔丝烧断。熔丝编程结构示意图如图 1-6 所示。

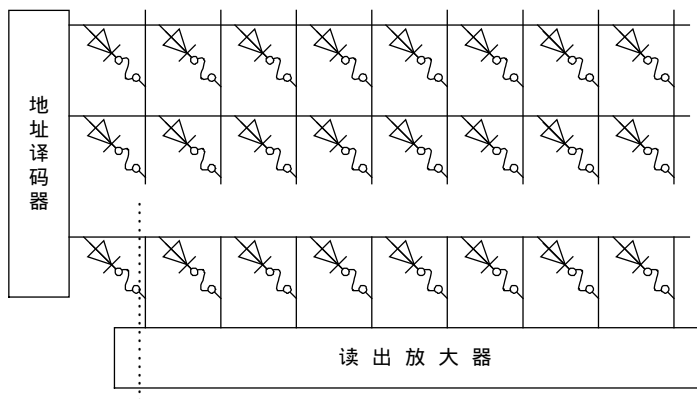


图 1-6 熔丝编程结构示意图

芯片中，每个数据皆为 1，因而不带任何信息，是一个半成品，然后根据用户的需要，用一个能产生编程电流或编程电压(是一种特殊波形的电流或电压)的编程器，将不需要连接处的熔丝熔断，制成所需要的 ROM。这种可以在 ROM 半成品上编程的器件称为可编程 ROM(PROM)，是最原始的 PLD。

7) 反熔丝型(Anti-fuse)PROM

反熔丝型 PROM 的结构示意图如图 1-7 所示，电介质夹在多晶硅和扩散层之间。与熔丝型 PROM 相反，当有编程高电压(例如 18 V)加到电介质两端时，击穿介质，介质呈现很小的电阻(小于 500 Ω)，将两层导电材料连通；当没有编程时，在两层导电材料之间的介质的电阻非常高(大于 100 MΩ)，介质相当于绝缘体。

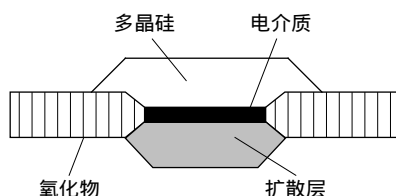


图 1-7 反熔丝型 PROM 的结构示意图

反熔丝型 PROM 的优点是反熔丝所占用的面积很小，适合做要求集成度很高的可编程逻辑器件的开关，但是，其缺点同样明显，属于一次性可编程器件，不能够重复使用。

使用 PROM 可以实现组合逻辑功能，如图 1-8 所示。

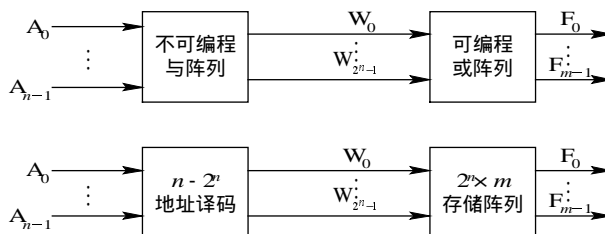


图 1-8 PROM 实现组合逻辑功能

分析 PROM 的结构可知，其译码器部分实际是一个由 2^n 个 n 输入与门组成的与门阵列 (n 是阵列的输入端数)，即 PROM 相当于一个不可编程的与阵列和一个可编程的或阵列。每个与门输出一个 n 变量的乘积项，而存储矩阵的每一个输出端代表一个对这些乘积项进行或运算的或门，因此一个 PROM 实际是一个按标准与或式运算的组合逻辑电路。

例如： $F=ABC+NP+XYW$

将输入逻辑信号 ABCNPXYW 分别接在 PROM 的地址线 $A_7A_6A_5A_4A_3A_2A_1A_0$ 上，输出 F 接在 PROM 的数据线 D_0 上。编程时，将地址线 $A_7A_6A_5$ 、 A_4A_3 、 $A_2A_1A_0$ 都为 1 的那些存储单元的第一位写为 1(如果没有其他逻辑函数考虑)，其他单元写为 0，就能实现该组合逻辑功能。

由于 PROM 的与阵列是全译码器，即它产生了输入逻辑信号的全部最小项，因而所占用的芯片面积随输入信号数量的增加而急剧增加，从而使芯片的成本增加，速度降低。实际上，大多数组合逻辑函数并不需要所有的最小项，因此，用 PROM 实现组合逻辑的功能会造成 PROM 的资源利用率不高。

2. 可编程逻辑阵列(PLA, Programmable Logic Array)

为了克服上述实现数字逻辑电路时的缺点, 出现了一类结构上稍复杂的可编程芯片, 而任意一个组合逻辑都可以用“与或”表达式来描述, 所以, 简单可编程逻辑器件的“与”阵列和“或”阵列的连接关系是可编程的, 它能够完成各种数字逻辑功能。其工作原理如图 1-9 所示。

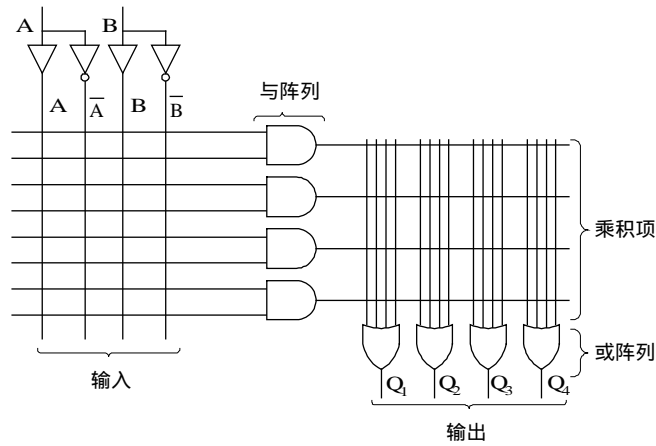


图 1-9 简单可编程逻辑器件的“与”阵列和“或”阵列

实现逻辑函数时, 运用简化后的与或表达式, 由与阵列构成与项, 然后用或阵列实现相应的或运算。例如, 要实现下列多输出逻辑函数:

$$Q_1 = \bar{A}\bar{B} + A\bar{B}$$

$$Q_2 = \bar{A}\bar{B} + \bar{A}B + AB$$

$$Q_3 = \bar{A}\bar{B} + \bar{A}B + A\bar{B}$$

$$Q_4 = AB$$

通过开发系统, 改变“与”阵列和“或”阵列的连接关系, 就会实现上述逻辑功能, 如图 1-10 所示。

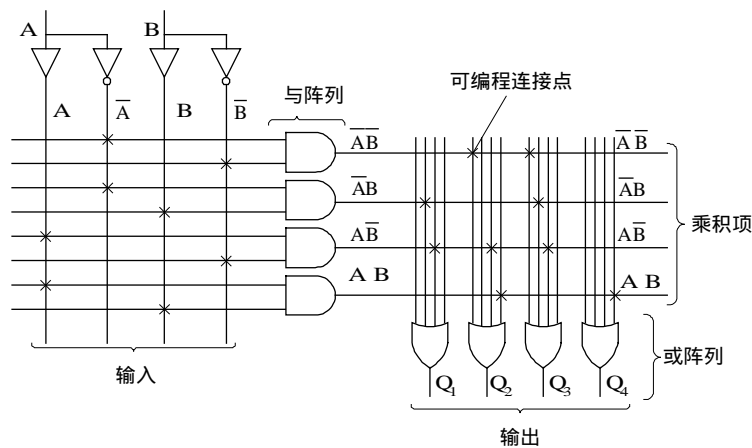


图 1-10 简单可编程逻辑器件实现上述逻辑功能

PLA 在上述基本结构的基础上，增加了三态逻辑门和反馈电路，以乘积项之和的形式完成大部分组合逻辑功能。PLA 的结构如图 1-11 所示。

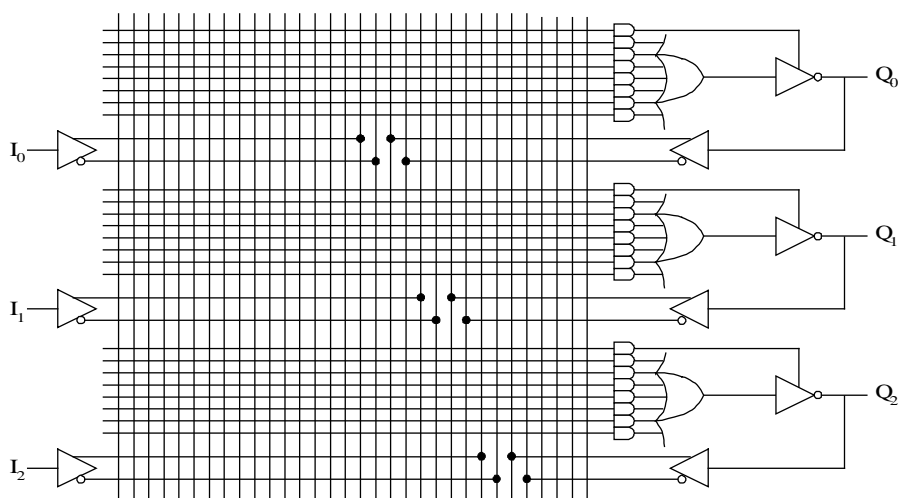


图 1-11 PLA 的结构

图中采用了简化的表示方法，每个与门的一条线输入表示有多个输入信号线，如图 1-12 所示。

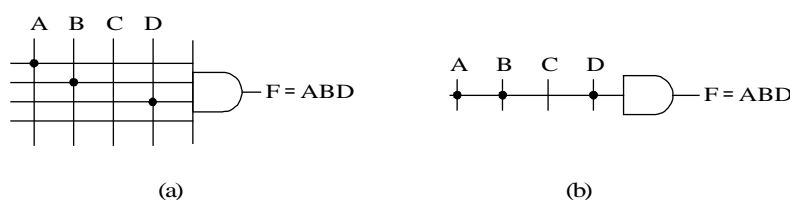


图 1-12 PLD 的简化表示方法

(a) PLD 乘积项；(b) 简化表示方法

图 1-11 所示的 PLA 有 3 个输入 I_2 、 I_1 、 I_0 ，但是其乘积项是 6 根而不是 2^3 根。如果 PLA 有 8 个输入，其乘积项是 16 根；而采用 PROM 实现组合逻辑输入时，8 个输入却对应着 256 个地址单元。所以 PLA 的与阵列不再采用全译码的形式，从而减小了阵列的规模。

PROM 实现数字逻辑功能时，相当于一个不可编程的与阵列和一个可编程的或阵列。PLA 与 PROM 不同，它们不能实现输入信号所有可能的“与”项所构成的“与或”表达式输出，但是 PLA 含有更多的输入变量，实现组合逻辑功能的速度更快。

3. 可编程阵列逻辑(PAL, Programmable Array Logic)

PAL 由一个可编程的“与”阵列和一个固定的“或”阵列构成，或门的输出可以通过触发器有选择地设置为寄存器输出状态或组合电路输出状态。它不但能够实现组合逻辑电路，还能够实现时序逻辑电路，PAL 器件是可编程的。PAL 的结构如图 1-13 所示。

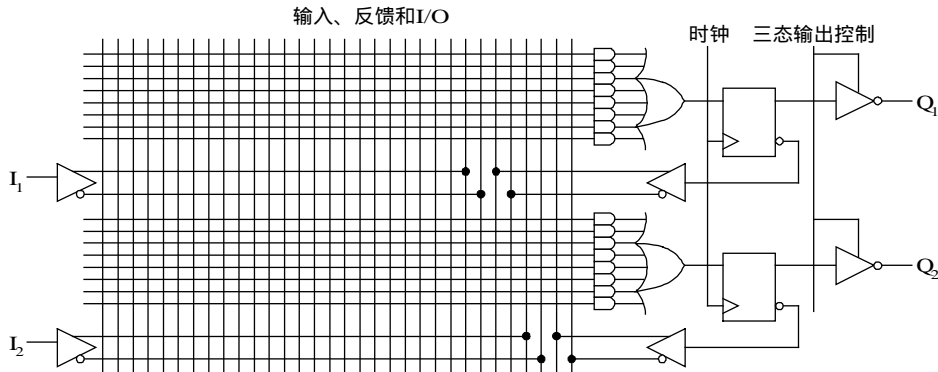


图 1-13 PAL 的结构

4. 通用阵列逻辑(GAL, Generic Array Logic)

在 PAL 的基础上,又发展了一种通用阵列逻辑 GAL,如 GAL16V8,GAL22V10 等。GAL 是 Lattice 半导体公司于 1985 年推出的最成功的 PLD。它采用了 EEPROM 工艺,实现了电可擦除、电可改写,其输出结构是可编程的逻辑宏单元,因而它的设计具有很强的灵活性,至今仍有许多人使用。这些早期的 PLD 器件的一个共同特点是可以实现速度特性较好的逻辑功能,但其过于简单的结构也使它们只能实现规模较小的电路。

GAL 的基本结构是由可编程的与阵列、固定的或阵列和输出宏单元 OLMC 组成的,其结构如图 1-14 所示。OLMC 可以得到不同的输出结构,使得 GAL 比输出部分相对固定的 PAL 芯片更为灵活。

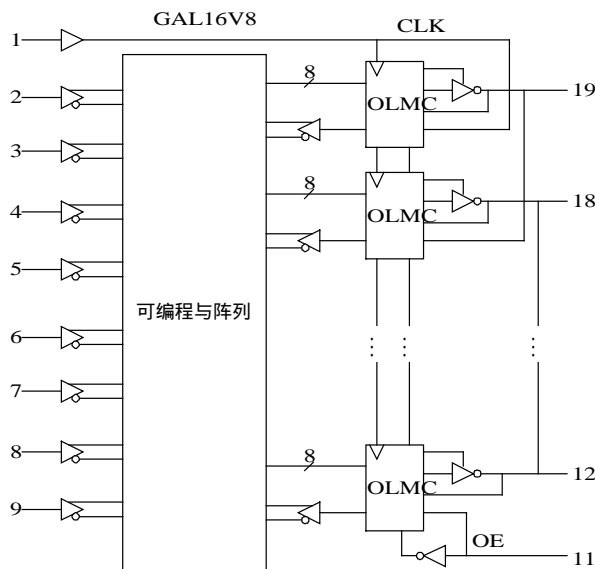


图 1-14 GAL 的结构

以 GAL16V8 为例,它具有以下特点:

(1) 与阵列有 8 个输入缓冲器和 8 个反馈输入缓冲器。每个输入缓冲器有同相和反相输出端(即原变量和反变量),所以与阵列共有 $(8 + 8) \times 2 = 32$ 个输入变量。