

FPGA 原理、设计与应用

赵雅兴 主编

天津大学出版社

内容提要

本书全面介绍了 FPGA 的原理、设计与应用。主要内容有专用集成电路和可编程专用集成电路、ALTERA 可编程逻辑器件、MAX + PLUS II 开发工具、ALTERA 硬件描述语言和设计实例与技巧。

本书叙述深入浅出、语言简练,可作为大专学校有关专业教材,也可供有关专业人员参考。

FPGA 原理、设计与应用 赵雅兴 主编

出版发行 天津大学出版社(电话:022-27403647)

地 址 天津市卫津路 92 号天津大学内(邮编:300072)

印 刷 河北省昌黎县印刷厂

经 销 新华书店天津发行所

开 本 787mm×1092mm 1/16

印 张 16 3/8

字 数 410 千

版 次 1999 年 4 月第 1 版

印 次 1999 年 4 月第 1 次

印 数 001~4000

书 号 ISBN 7-5618-1126-8/TN·14

定 价 19.00 元

如有印装质量问题,请与本社发行部门联系调换。

前 言

专用集成电路(ASIC)即特定的电子电路和系统(包括模拟、数字与数模混合电路)的设计与制造,在发达国家已经完成了由传统模式向现代化设计模式的转变,即完成了向电子线路与系统功能设计的转变。通过软件开发工具完成硬件电路的设计,近年来在国内也已经逐渐开展起来,并引进了一些国外的先进设计技术在各种新型电子设备和采用电子线路的设备中广泛使用。其中,由于“现场可编程门阵列”(FPGA)设计灵活、速度快,在数字专用集成电路的设计中得到更为广泛的应用。

由于专用集成电路设备价格低、功耗小、可靠性高、体积小、重量轻,已经普遍用于通信、雷达、导航、广播、电视、仪器、自动控制和计算机等领域。可以预计到21世纪我国的专用集成电路研制工作将有飞速发展。但是,在这方面的设计人才还十分匮乏。摆在我们面前亟待解决的任务是,一方面深入进行高等院校的教育改革,更新教学内容,培养出适应这一发展需要的科技人才;另一方面更新现有电子设备(系统)研制人员的知识,进行继续教育。编写本书的目的就是为了让当代的大学生、研究生和从事电子设备制造的设计人员能由浅入深地迅速掌握数字专用集成电路的基本设计方法,以适应工作的需要。

本书是根据世界领先的著名可编程逻辑器件生产厂家ALTERA公司的器件用户手册和我们在开发、研究过程中积累的经验编写而成的。在编写过程中力求做到浅显易懂、便于应用,以达到学以致用为目的。全书共五章。第一章为绪论,概述可编程ASIC的分类、特点以及当前电子设计自动化(EDA)的发展状况;第二章介绍美国ALTERA公司MAX和FLEX器件的结构性能和特点;第三章介绍ALTERA公司的MAX+PLUS II开发工具;第四章介绍ALTERA公司的硬件描述语言AHDL;第五章介绍设计的一般规则及应用实例。

在本书编写出版过程中,ALTERA公司给予了极大的支持和帮助。全书由天津大学电子信息工程学院电子信息系赵雅兴教授和赵松蹊、刘剑锋、李立勋等同志共同编写完成,韩改玲、刘东、张新苗、赵学义等同志也做了大量工作。书中不妥之处,望读者予以批评指正。

作者

1998.10

目 录

第一章 绪论	(1)
1.1 专用集成电路(ASIC)概述	(1)
1.2 可编程专用集成电路.....	(1)
1.2.1 简单 PLD	(1)
1.2.2 复杂的 CPLD(Complex programmable Logic Device——CPLD)	(4)
1.3 EDA 概述	(14)
第二章 ALTERA 可编程逻辑器件	(16)
2.1 概述.....	(16)
2.2 各类 ALTERA 器件的基本结构	(18)
2.3 各类 ALTERA 器件的特性指标	(29)
第三章 MAX+PLUS II 开发工具	(33)
3.1 MAX+PLUS II 简介	(33)
3.1.1 MAX+PLUS II 的安装	(33)
3.1.2 MAX+PLUS II 设计过程	(36)
3.2 MAX+PLUS II 系统的使用	(39)
第四章 ALTERA 硬件描述语言	(65)
4.1 概述.....	(65)
4.2 基本的 AHDL 设计结构	(72)
4.2.1 标题语句.....	(73)
4.2.2 参数语句.....	(73)
4.2.3 包含语句.....	(75)
4.2.4 常量语句.....	(76)
4.2.5 定义语句.....	(76)
4.2.6 函数原型语句.....	(77)
4.2.7 选择语句.....	(79)
4.2.8 断言语句.....	(80)
4.2.9 子设计段.....	(80)
4.2.10 变量段	(81)
4.2.11 实例说明	(83)
4.2.12 结点说明	(83)
4.2.13 寄存器说明	(84)
4.2.14 状态机说明	(85)
4.2.15 状态机别名说明	(86)
4.2.16 逻辑段	(87)

4.3	AHDL 的基本元素.....	(98)
4.3.1	保留关键字和标识符.....	(98)
4.3.2	符号.....	(99)
4.3.3	带引号和不带引号的名称	(100)
4.3.4	组	(101)
4.3.5	AHDL 中的数字	(103)
4.3.6	算术表达式	(103)
4.3.7	布尔表达式	(105)
4.3.8	逻辑运算符	(105)
4.3.9	应用 NOT 的布尔表达式	(106)
4.3.10	应用 AND、NAND、OR、NOR、XOR 和 XNOR 的布尔表达式	(106)
4.3.11	在布尔表达式中的算术运算符.....	(107)
4.3.12	比较符.....	(107)
4.3.13	布尔运算符和比较符的优先级.....	(108)
4.3.14	原语.....	(108)
4.3.15	强函数(Megafunctions).....	(119)
4.3.16	老式宏函数(old-style Macrofunctions)	(120)
4.3.17	端口.....	(127)
4.3.18	参数.....	(129)
4.4	如何使用 AHDL	(131)
4.4.1	简介	(131)
4.4.2	组合逻辑	(135)
4.4.3	时序逻辑	(148)
4.4.4	状态机	(151)
4.4.5	实现层次化设计	(161)
4.4.6	实现 LCELL 和 SOFT 语句	(168)
4.4.7	实现 RAM 和 ROM	(169)
4.4.8	命名一个布尔运算符或比较符	(169)
4.4.9	使用层次化设计生成逻辑	(170)
4.4.10	使用迭代生成逻辑.....	(171)
4.4.11	使用断言(Assert)语句	(171)
第五章	设计实例与技巧.....	(173)
5.1	设计稳定性	(173)
5.1.1	FPGA 的设计特点	(173)
5.1.2	FPGA 设计的基本单元	(174)
5.1.3	信号的分类	(174)
5.1.4	FPGA 中的同步设计技术	(174)
5.1.5	FPGA 设计的稳定性	(175)
5.2	频率计实例	(182)

5.3	数字滤波器实例	(189)
5.4	盲均衡器 FLEX10K 器件的实现	(203)
	附录.....	(218)
	参考文献.....	(254)

第一章 绪 论

1.1 专用集成电路(ASIC)概述

专用集成电路的英文写法是 Applications Specific Intergrated Circuit ,简称为 ASIC。ASIC 是为专门限定的某一种或某几种特定功能的产品或应用而设计的芯片。所谓专用集成电路是相对于通用集成电路而言的。专用集成电路又分为模拟和数字两大类 ,而本书只涉及数字专用集成电路。从目前制造的方法看 ,数字专用集成电路可分为全定制 ASIC(Full Custom ASIC)、半定制 ASIC(Semi-Custom ASIC)和可编程 ASIC(Programmable ASIC)三大类别。全定制 ASIC 芯片没有经过预加工 ,各层掩膜全部是按特定功能专门制造的 ;半定制 ASIC 是在硅片上已经预制好晶体管单元电路(这种硅片可以称为母片) ,只剩金属连线层的掩膜有待按照具体要求进行设计和制造。因此 ,和全定制 ASIC 相比 ,当生产量不大时 ,半定制的成本低而且设计和生产周期都很短。可编程 ASIC 的芯片各层均已由工厂预先制造好 ,不需要定制任何掩膜 ,用户可以用开发工具按照自己的设计对可编程器件编程 ,以实现特定的逻辑功能。

1.2 可编程专用集成电路

可编程逻辑器件(Programmable Logic Device)简称 PLD ,是新一代的数字器件。它不仅具有很高的速度和可靠性 ,而且具有用户可重复定义的逻辑功能即具有可重复编程的特点。因此 ,可编程逻辑器件使数字电路系统的设计非常灵活 ,并且大大缩短了系统研制的周期 ,缩小了数字电路系统的体积和所用芯片的品种。

可编程逻辑器件 PLD 分类框图如图 1-1 所示。

1.2.1 简单 PLD

简单的 PLD 是由“与”阵列及“或”阵列组成 ,能有效地以“积之和”的形式实现布尔逻辑函数。从技术实现上 ,输入到 PLD 的信号必须首先通过一个“与”门阵列 ,在这里形成输入信号的组合。每组相“与”的组合被称为布尔表达式的子项或 PLD 术语中的乘积线。这个乘积线在第二个“或”门阵列中被相加。简单 PLD 在“与”、“或”阵列的基础上有三种基本类型 ,可根据阵列能否编程来区分 :①可编程只读存储器(Programmable Read-Only Memory)即 PROM ,它的“与”阵列固定 ;“或”阵列可编程 ;②可编程阵列逻辑(Programmable Array Logic)即 PAL ,它的“与”阵列可编程 ;“或”阵列固定 ;③可编程逻辑阵列(Programmable Logic Array)即 PLA ,

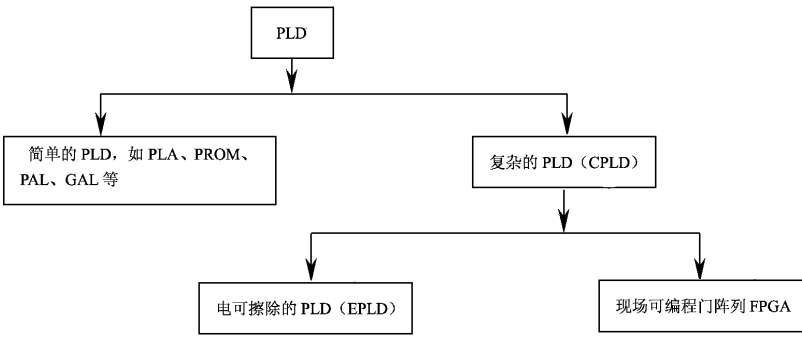


图 1-1 PLD 分类框图

它的‘与’阵列和‘或’阵列都可编程。

可编程只读存储器(PROM)的内部结构如图 1-2 所示。

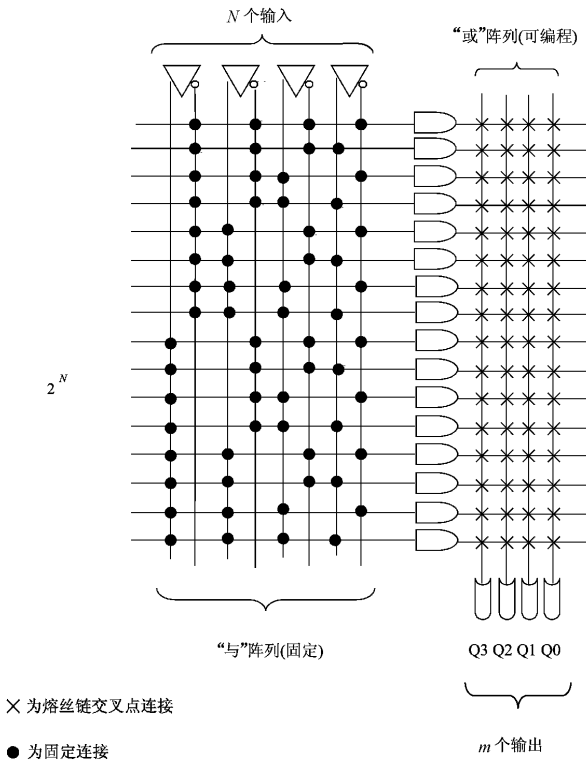


图 1-2 PROM 器件内部结构图

由图 1-2 可以看出,由于“与”阵列是固定的,输入信号的各种可能组合是由连接线连接好的,不管组合是否会被使用。因此从某种意义上说,PROM 又十分类似于一个查找表,即根据用户要求在“表”中查找所需要的可能组合。

可编程逻辑阵列(PLA)的内部结构如图 1-3 所示。

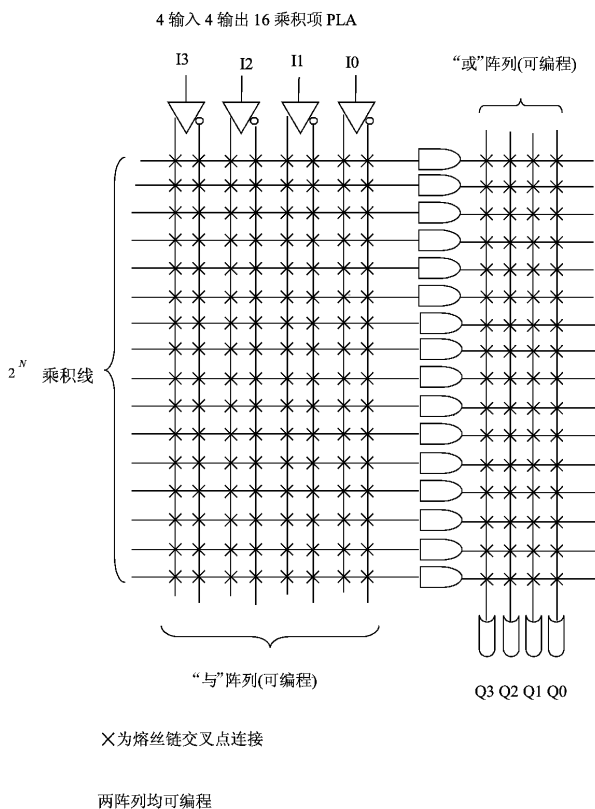


图 1-3 PLA 器件内部结构图

由图 1-3 可以看出,由于“与”阵列可编程而不需要包含输入信号各种可能的组合,所需包含的组合只是在逻辑功能中实际要求的那些组合。这不仅提供了在可编程器件中的高度灵活性,而且也不会出现在 PROM 器件中由于输入信号数量增加而使器件规模增大的问题。

可编程阵列逻辑(PAL)的内部结构如图 1-4 所示。

通用阵列逻辑(Generic Array Logic —— GAL)器件与 PAL 器件具有相同的内部结构,但又靠各种特性组合而被区别。这类器件综合了 PROM 器件编程的低成本、高速度、容易编程和 PLA 的灵活性,因此成为最早实现可编程 ASIC 的主要器件。尤其是 GAL 的可再编程特性,为开发提供了很大方便。

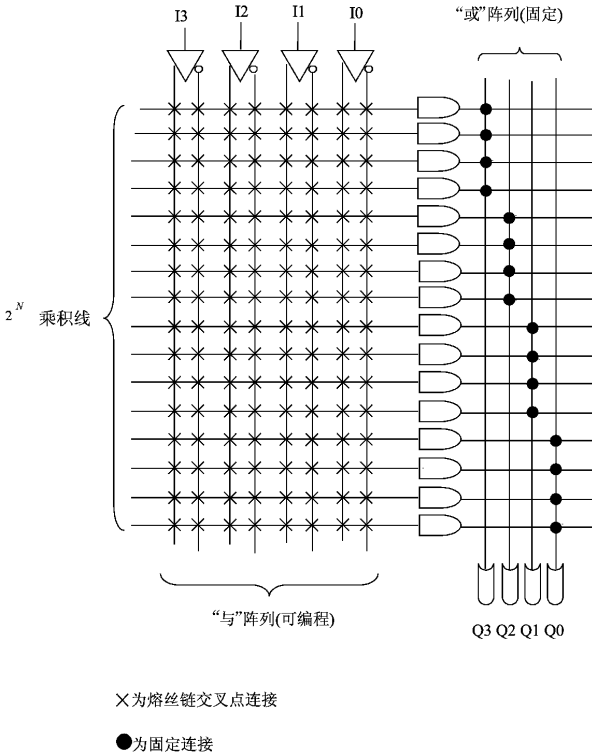


图 1-4 PAL 器件内部结构图

1.2.2 复杂的 CPLD(Complex Programmable Logic Device)

复杂的可编程逻辑器件 CPLD 是由 PAL 或 GAL 发展而来的,基本上是扩充原始的可编程逻辑器件。它通常是由可编程逻辑的功能块围绕一个位于中心和延时固定的可编程互连矩阵构成。

为了增加电路密度而不使性能或功耗受到损失,复杂的可编程逻辑器件 CPLD 在结构上引入了各种特性。如:引入分页系统,分页的目的在于仅使阵列的一部分在任何给定的时刻被加电,按备份模式放置阵列,或者靠变换检测自动地控制加电,或者采用外部指令加以控制。在实现级上“与”阵列及“或”阵列需要用缓冲器分开,因为这些一般是倒相器。在两个阵列中实际逻辑一般是相同的。某些公司已经引入了折叠 PLA,它仅用了一个实际阵列,但可以将乘积项反馈回阵列。这也允许在单个器件中实现多级逻辑。

从目前发展趋势可以看出 CPLD 又延伸出两大分支,即可擦除可编程的逻辑器件 EPLD

(Erasable Programmable Logic Device)和现场可编程门阵列器件 FPGA(Field Programmable Gate Array)。

EPLD可擦除可编程逻辑器件分为两类,一类是 UV 可擦 PLD ,称为 EPLD ;另一类是电可擦 PLD ,简称 EEPLD。ALTERA 公司自 80 年代中期推出 EPLD 以来 ,已经有多种产品推向市场 ,其中典型代表产品是 MAX7000 系列 ,它属于电可擦除可编程的逻辑器件。

FPGA 现场可编程门阵列器件通常由布线资源围绕的可编程单元(或宏单元)构成阵列,又由可编程 I/O 单元围绕阵列构成整个芯片,如图 1-5 所示。排成阵列的逻辑单元由布线通道中的可编程连线连接起来实现一定的逻辑功能。一个 FPGA 可能包含有静态存储单元,它们允许内连的模式在器件被制造以后再被加载或修改。

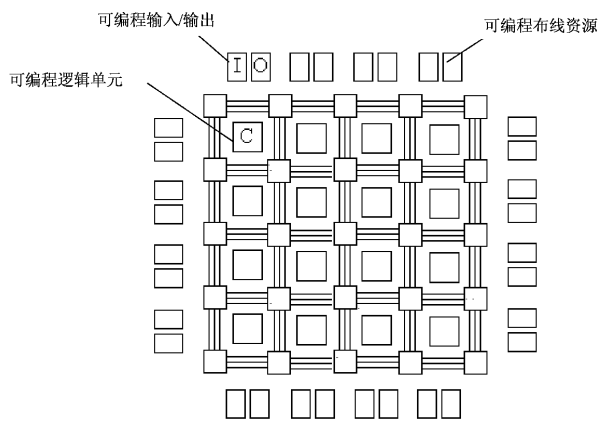


图 1-5 FPGA 的基本结构

FPGA 是由掩膜可编程门阵列和可编程逻辑器件演变而来的,将它们的特性结合在一起,使得 FPGA 既有门阵列的高逻辑密度和通用性,又有可编程逻辑器件的用户可编程特性。目前 FPGA 的逻辑功能块在规模和实现逻辑功能的能力上存在很大差别。有的逻辑功能块规模十分小,仅含有只能实现倒相器的两个晶体管;而有的逻辑功能块则规模比较大,可以实现任何五输入逻辑函数的查找表结构。据此可把 FPGA 分为两大类,即细粒度(fine-grain)和粗粒度(coarse-grain)。细粒度逻辑块是与半定制门阵列的基本单元相同,它由可以用可编程互连来连接的少数晶体管组成,规模都较小,主要优点是可用的功能块可以完全被利用,缺点是采用它通常需要大量的连线和可编程开关,使相对速度变慢。由于近年来工艺不断改进,芯片集成度不断提高,加上引入硬件描述语言(HDL)的设计方法,不少厂家开发出了具有更高级程度的细粒度结构的 FPGA。例如, XILINX 公司的采用 Micro Via 技术的一次编程反熔丝结构的 XC8100 系列,它的逻辑功能块规模较小,而粗粒度功能块规模较大并且功能较强。从构成它的可编程逻辑块和可编程互连资源来看,主要有两类逻辑块的构造。其一是查找表类型;其二是多路开关类型,由此形成两种 FPGA 的结构。

第一种是具有可编程内连线的通道型门阵列。它采用分段互连线,利用不同长度的多种金属线经传输管将各种逻辑单元连接起来。布线延时是累加的、可变的,并且与通道有关。

第二种是具有类似 PLD 可编程逻辑块阵列的固定内连布线,采用连续互连线,利用相同

长度的金属线实现逻辑单元之间的互连,布线延时是固定的,并且可预测。

XILINX 公司和 ACTEL 公司的 FPGA 属于第一种 FPGA 结构。从逻辑块构造看,XILINX 公司的 FPGA 属于查找表类型,ACTEL 公司的 FPGA 属于多路开关类型。而 ALTERA 公司的 FPGA 则是由传统的 PLD 结构演变而来,因此应属于具有类似 PLD 的可编程逻辑块阵列和连续布线这一类,即第二种 FPGA 结构,其逻辑块是基于“与”或“门”电路构成的。

下面针对这三种 FPGA 的结构特点分别介绍。

一、查找表型 FPGA 结构

不同公司产品的查找表型 FPGA 的结构各有特点,但可编程逻辑器件单元基本上都是查找表的静态存储器(SRAM)构成函数发生器,并由它去控制执行 FPGA 应用函数的逻辑。如果有 N 个输入,那么将有 N 个输入的逻辑函数真值表存储在一个 $2^N \times 1$ 的 SRAM 中。SRAM 的地址线起输入作用。SRAM 的输出为逻辑函数的值,由此输出状态去控制传输门或多路开关信号的通断,实现与其他功能块的可编程连接。

查找表结构的优点是功能很多。 N 输入的查找表可以实现 N 个任意函数,这样的函数高达 2^{2^N} 个。但是,这也将带来一些问题,如若有多于 5 个输入,则由于 5 个输入查找表的存储单元数是 2^5 ,它可以实现的函数数目增加得太多,而这些附加的函数在逻辑设计中又经常用不到,并且也很难让逻辑综合工具去开发利用。所以在实际产品中,一般查找表型 FPGA 的查找表输入 $N \leq 5$ 。例如 XILINX 公司的 XC2000 系列的逻辑块是由 4 输入和 1 输出的查找表组成。它可以生成任何四输入变量的逻辑函数,可配置逻辑块 CLB 的方框图如图 1-6 所示。

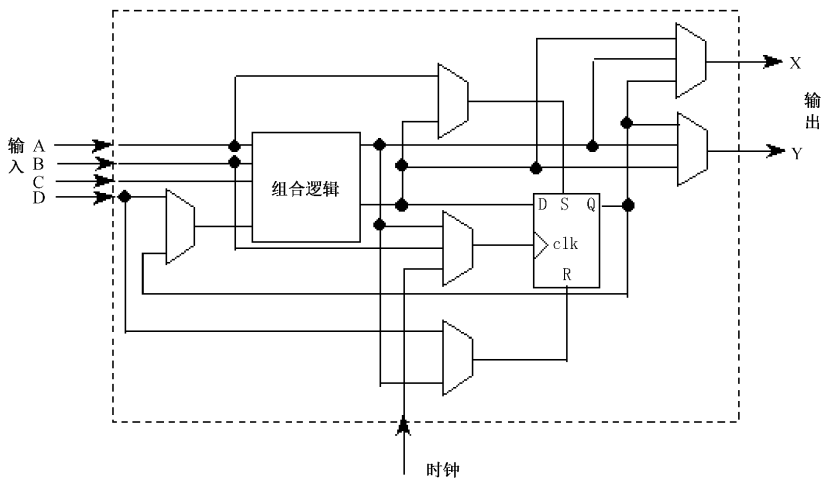


图 1-6 XC2000 系列 CLB 方框图

图 1-7 表示 XILINX 公司的 XC4000 系列的可配置逻辑块(CLB)的方框图。可配置逻辑块包括函数发生器、触发器和编程控制的多路开关。一个函数发生器就是一个 N 输入的 2^N 位存储器,可实现 2^{2^N} 个 N 输入的任何函数。该器件可用变址方法到存储器的真值表中配

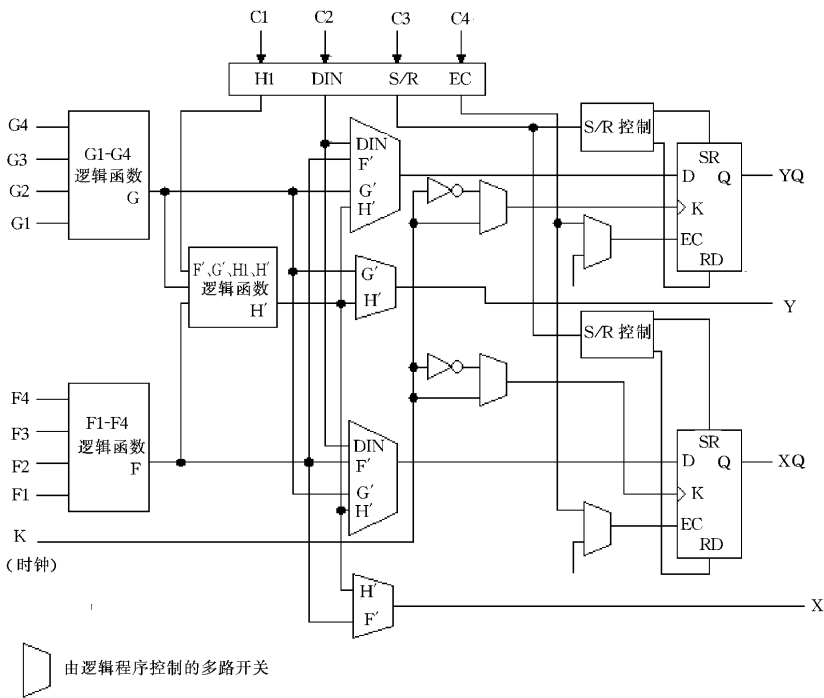


图 1-7 XC4000 系列 CLB 方块图

置逻辑块。它们包含三个函数发生器,分别用 F、G、H 表示。两个第一级的输入函数发生器 F 和 G 为四输入查找表,每个实现四输入的任何函数,其输出可以独立地从这个块输出。或者在 H 函数发生器三输入查找表中组合成五输入的任何函数,或者高达九输入的一些函数。这样就可以允许某些高输入函数,如九输入的“与”或“及”异或”,并且在一个逻辑块中译码。四输入查找表的 F 和 G 与三输入查找表 H 之间的连接采用了非可编程的固定连接。尽管这样不具有灵活性,但由于不存在改变查找表形式的可编程连接,所以速度显著加快。

图 1-8 是 XC3000 系列的 CLB 方块图。每个 CLB 由一个组合函数发生器和两个 D 触发器组成。它包括 5 个逻辑输入端 (a、b、c、d、e),一个公共时钟输入 k、一个异步直接复位输入 RD、一个使能时钟 EC 及两个输出 X、Y,还提供一个 Data-in 输入(以便对 CLB 中的触发器直接输入)两个输出(可以由函数发生器或由触发器来驱动)。两个触发器的输出可以不通过 CLB 的外部直接布线返回到函数发生器的输入。

图 1-9 给出三种可用的组合逻辑。XC3000 系列的函数发生器是由两个四输入的查找表组成的。它可以单独使用,也可以组成单个的函数。由于 CLB 仅有 5 个输入到函数发生器,所以这 5 个输入必须在两个查找表之间共享。对于 F、G 模式,函数发生器提供任何两个 A、B、C 和 D 或 E 四输入函数,其中 D 和 E 之间的选择由每个函数分别进行;F 模式,所有五个输入组合成单个的五输入函数;FGM 模式,两个 A、B、C 和 D 的四输入函数按第五个变量 E

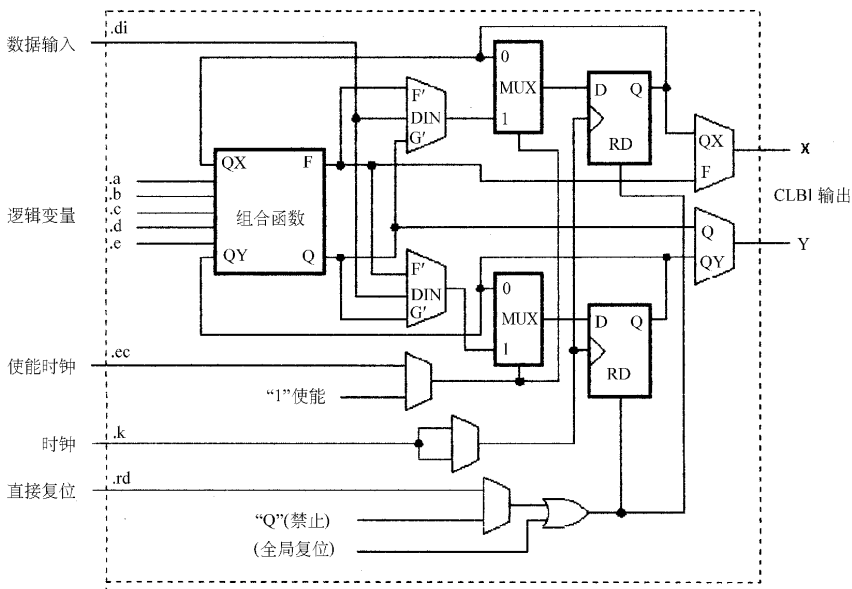


图 1-8 XC3000 系列 CLB 方块图

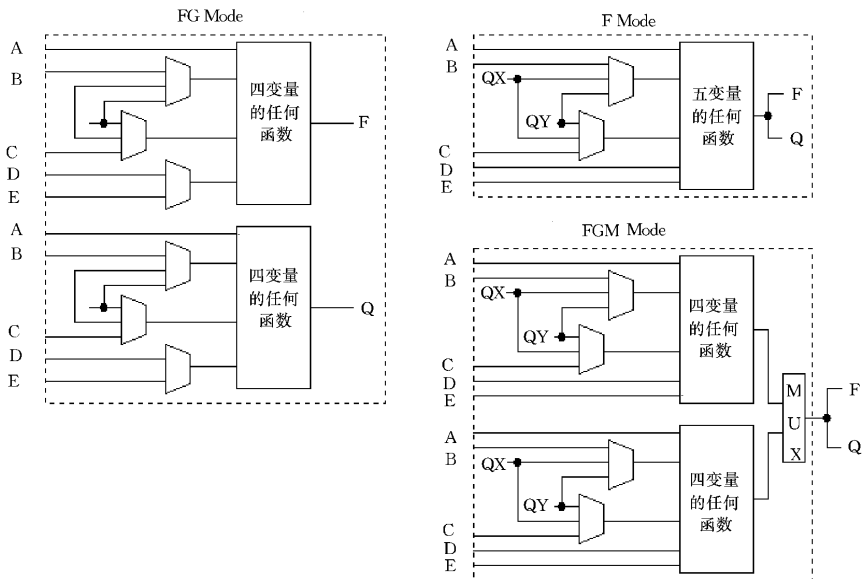


图 1-9 XC3000 系列的三种组合逻辑

复合在一起。对于上述所有模式 B 或 C 输入可选触发器输出 QX 或 QY 代替。在 FG 模式中，这个选择是对两个查找表分别进行的，功能上扩展到由七变量选出的任意两个四变量函数。只要这些变量的两个存储在触发器中，在类似状态机的应用中就特别有用。在 F 模式中，函数发生器由七个变量中选出单个五变量函数。当选择 QX 和 QY 后，两个查找表的内容也就被限定了。FGM 模式与 Y 模式不同，QX 和 QY 可以在两个查找表中分别选择，这一点与 FG 模式相同。这个附加的灵活性允许仿真包括所有七个可能输入的被选函数。

图 1-10 为五输入查找表实现一位全加器的原理图。当输入信号为 A_0 和 B_0 且进位输入位为 C_1 时，全加器输出为 S_0 和 C_0 。逻辑方程为：

$$S_0 = A_0 \oplus B_0 \oplus C_1$$

$$C_0 = A_0 C_1 + B_0 C_1 + A_0 B_0$$

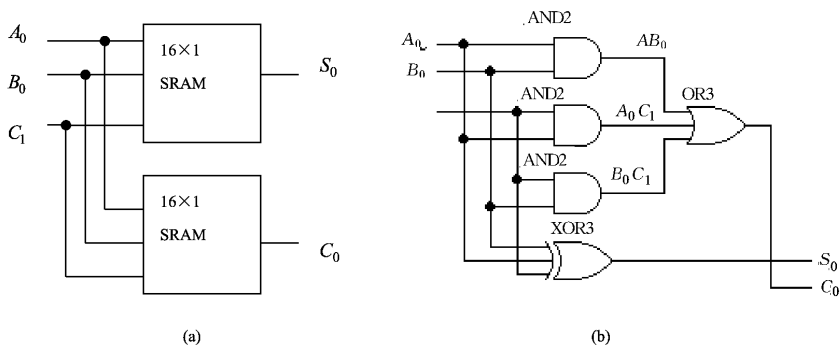


图 1-10 基本的 XILINX 查找表宏单元实现一位全加器

(a) XC3000 系列 FG 模式 (b) 实现一位全加器的逻辑图

表 1-1 全加器输入和输出的真值表

输 入			输 出	
A_0	B_0	C_0	S_0	C_0
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

表 1-1 列出一位全加器输入和输出的真值表。在查找表中存储的是全加器真值表的输出数值，而输入变量相应为查找表的地址。由于有两个输出变量，对于 XILINX 的 XC3000 系列，采用它的 FG 模式及两个四输入函数的模式如图 1-9 所示。它将原来的 32×1 的 SRAM 分成两个 16×1 的 SRAM，而且每个存储器仅用一半存入真值表数值即可。若采用 XILINX

的 XC2000 系列,可用图 1-11 所示的两个三变量函数模式,将四输入的 16×1 的 SRAM 分成两个三输入的 8×1 的存储器作为查找表,分别存入 S_0 和 C_0 的真值表数值。

二、多路开关型 FPGA 结构

多路开关型 FPGA 的基本模块是一个多路开关的配置。在多路开关的每一个输入端接上固定电平或输入信号时,可以实现不同的逻辑功能。例如图 1-12 为基本 ACTEL 多路开关型逻辑块的二到一开关。它包含一个具有选择输入 S 、两个输入 a 和 b ,是一种二到一型多路开关。其输出表达式为:

$$f = Sa + \bar{S}b$$

当 b 输入逻辑零时

$$f = Sa$$

多路开关实现 S 与 a 的功能。当 a 输入置逻辑 1 时,有

$$f = S + b$$

多路开关实现 S 或 b 功能。

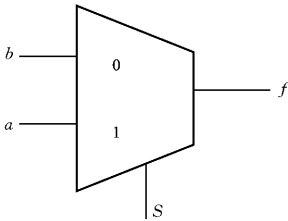


图 1-12 多路开关型逻辑块

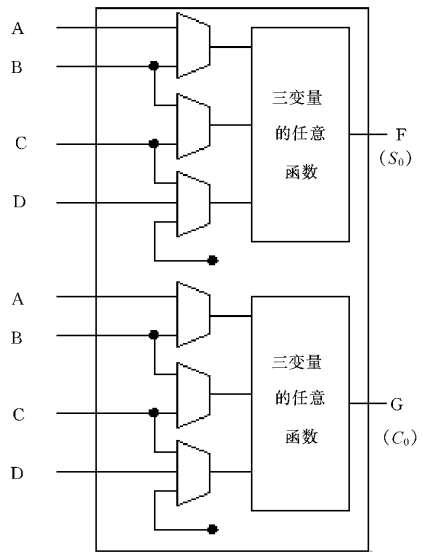


图 1-11 XC2000 系列两个三变量函数

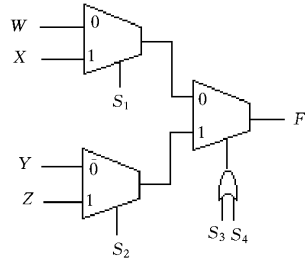


图 1-13 基本的 ACTEL 多路开关型逻辑块

如果把大量的多路开关和逻辑门连接起来,可以构成大量函数的逻辑块。ACTEL 公司的 FPGA、ACT-1 就是由三个两输入多路开关和一个“或”门组成的基本模块,如图 1-13 所示。这个基本模块可称作“宏单元”,具有八个输入和一个输出,输出表达式为:

$$f = (\bar{S}_3 + \bar{S}_4) \wedge (\bar{S}_1 W + S_1 X) + (S_3 + S_4) \wedge (\bar{S}_2 Y + S_2 Z)$$

当设置每个变量为一个输入信号或一个固定电平时,可以实现 702 种逻辑函数,例如当设置

$$W = A_0, X = \bar{A}_0, S_1 = B_0, Y = \bar{A}_0, Z = A_0, S_2 = B_0, S_3 = C_1, S_4 = 0$$

时,有

$$f = (\bar{C}_1 + 0) \wedge (\bar{B}_0 A_0 + B_0 \bar{A}_0) + (C_1 + 0) \wedge (\bar{B}_0 A_0 + B_0 A_0)$$

$$\begin{aligned}
&= \overline{C_1}(A_0 \oplus B_0) + C_1(\overline{B_0 A_0} + B_0 A_0) \\
&= \overline{C_1}(A_0 \oplus B_0) + C_1(B_0 \overline{B_0} + \overline{B_0} \overline{A_0} + B_0 A_0 + A_0 \overline{A_0}) \\
&= \overline{C_1}(A_0 \oplus B_0) + C_1[(B_0 + \overline{A_0}) \overline{B_0} + A_0] \\
&\quad - \overline{C_1}(A_0 \oplus B_0) + C_1[(\overline{B_1} + \overline{A_0}) \overline{B_1} + \overline{A_0}] \\
&= \overline{C_1}(A_0 \oplus B_0) + C_1(\overline{B_0} A_0 \overline{B_0} + B_0 \overline{A_0}) \\
&= \overline{C_1}(A_0 \oplus B_0) + C_1(\overline{B_0} A_0 + B_0 \overline{A_0}) \\
&= \overline{C_1}(A_0 \oplus B_0) + C_1(\overline{A_0 \oplus B_0}) \\
&= (A_0 \oplus B_0) \oplus C_1
\end{aligned}$$

由所得函数 f 的表达式可知,此时所得恰为全加器输出的逻辑函数。再如,当设置

$$W=0 \quad X=C_1 \quad S_1=B_0 \quad Y=C_1 \quad Z=1 \quad S_2=B_0 \quad S_3=A_0 \quad S_4=0$$

时,有

$$\begin{aligned}
f &= (\overline{A_0 + 0}) \overline{B_0} + B_0 C_1 + (A_0 + 0) \overline{B_0} C_1 + B_0 1 \\
&= \overline{A_0} B_0 C_1 + A_0 \overline{B_0} C_1 + A_0 B_0 \\
&= B_0 C_1 + A_0 C_1 + A_0 B_0
\end{aligned}$$

由所得的函数 f 的表达式可知,此时所得恰为全加器输出的逻辑函数。图 1-14 给出 ACT-2 组合逻辑块的结构图。它是第二类 ACTEL 多路开关型的逻辑块执行四到一线的多路开关作用,可以实现 766 种函数。

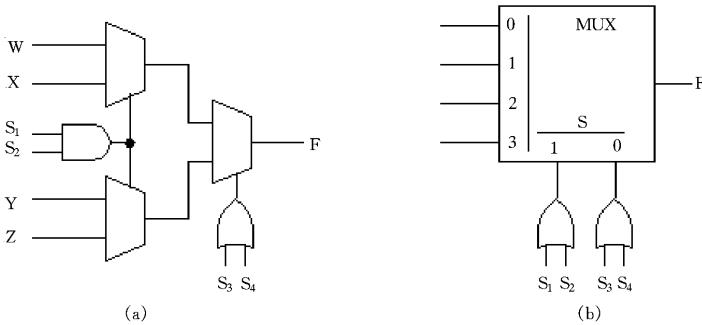


图 1-14 第二类 ACTEL 多路开关型逻辑块

(a) 多路开关型逻辑块结构 (b) 多路开关型逻辑块符号

三、多级“与”或”门 FPGA 结构

多级“与”或”门 FPGA 是基于可以实现“与”“或”逻辑的“与”“或”电路,其输出馈送到一个“异或”门,如图 1-15 所示。这个基本电路可以用一个触发器和一个多路开关扩充,如图 1-16 所示。此多路开关可选择锁存的输出信号或非锁存的输出信号。这里的“异或”门可以用来获得可编程的“非”逻辑。如果一个“异或”门的输入端是分离的,起作用同“或”门一样,可允许“与”门和“异或”门形成更大的“或”函数,用来实现算术功能。

ALTERA 公司的 MAX5000、MAX7000 和 MAX9000 系列产品就是属于多级“与或”门的 FPGA 结构。图 1-17 示出用 MAX5000 系列器件的逻辑单元实现一位全加器的原理图。