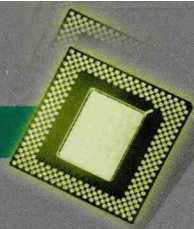


嵌入式系统开发技术丛书

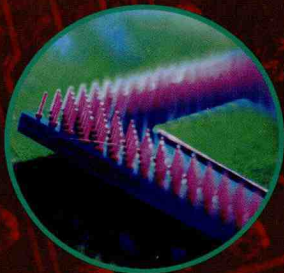


# FPGA

## 应用开发

# 从实践到提高

袁文波 张 皓 唐振中 编著



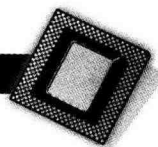
- 本书系统介绍了FPGA的基本原理和数字系统的设计方法，重点分析了存储器、串行接口芯片、LED显示电路和数字视频信号处理等设计实例
- 从工程实践技术的角度出发，理论结合实际，强调由电路结构来学习设计语言和标准化的设计风格，有助于读者提高设计技能
- 本书既可作为工程技术人员的工作参考书，同时也可供大中专院校学生学习时参考



中国电力出版社

www.infopower.com.cn

嵌入式系统开发技术丛书



**FPGA**

应用开发

# 从实践到提高

袁文波 张皓 唐振中 编著



中国电力出版社

[www.infopower.com.cn](http://www.infopower.com.cn)

## 内 容 简 介

作为一名 FPGA 设计者,应当精通电路基础结构、硬件设计语言、EDA 工具以及设计方法学等知识。本书从工程开发的角度出发,结合实例系统地介绍了这些内容,有助于读者了解和提高设计技能,跨入 FPGA 设计的门槛。

本书共分为 11 章,第 1 章介绍了 FPGA 的基本概念及设计流程,第 2 章介绍了 Verilog 语言,第 3 章介绍了 FPGA 的开发工具,第 4 章介绍了一些基础的电路,其余几章则介绍了一些具体的设计实例及原理。本书强调应用,强调由电路结构学习设计语言,强调标准化的设计风格。书中的代码都是作者精心编写,读者可以在实践中加以借鉴。

本书既可以作为学习 FPGA 设计的教材,也可以作为有关技术人员的参考书。

### 图书在版编目(CIP)数据

FPGA应用开发从实践到提高 / 袁文波,张皓,唐振中编著. —北京:中国电力出版社,2007

(嵌入式系统开发技术丛书)

ISBN 978-7-5083-5377-7

I. F… II. ①袁…②张…③唐… III. 可编程逻辑器件—系统设计 IV. TP332.1

中国版本图书馆CIP数据核字(2007)第053923号

责任编辑:牛贵华

责任校对:崔燕菊

责任印制:李文志

书 名:FPGA 应用开发从实践到提高

编 著:袁文波 张皓 唐振中

出版发行:中国电力出版社

地址:北京市三里河路6号 邮政编码:100044

电话:(010) 68362602 传真:(010) 68316497

印 刷:航远印刷有限公司

开本尺寸:185×260 印 张:15.25 字 数:365千字

书 号:ISBN 978-7-5083-5377-7

版 次:2007年6月北京第1版

印 次:2007年6月第1次印刷

印 数:0001—4000

定 价:27.00元

### 敬告读者

本书封面贴有防伪标签,加热后中心图案消失

本书如有印装质量问题,我社发行部负责退换

版 权 专 有 翻 印 必 究



这是一个令人激动的时代，嵌入式系统的应用深入到了整个社会。环顾四周，总会发现嵌入式系统正在深刻地改变着我们的生活。十年前，一个数字寻呼机就能彰显用户的身份，而如今，手机已经成为我们生活的必备品，不仅能打电话和发短信，还能拍照片、玩游戏、看电影；十年前，我们得冲洗胶卷后才能看到拍摄的相片，发现拍摄的失误时往往已经为时已晚，十年后的今天，数码相机已经深入到每个家庭，它不仅可以让咱们马上看见拍摄的照片，而且不使用胶卷，数字信息也更易于传递。这一切的变化，都得益于嵌入式系统发展所起的举足轻重的作用。

## ► 关于嵌入式系统

---

嵌入式系统是一种专用的计算机系统，它根据应用要求，把相应的计算机直接嵌入到应用系统中。嵌入式系统涉及到了当前信息技术最新成果的方方面面，融合了计算机软硬件技术、通信技术、半导体微电子技术等，设计与制造相当不易。嵌入式系统的重要性与日俱增，而这方面的人才却十分紧缺。

## ► 丛书的内容

---

本丛书包括 ARM 系统开发、ASIC 芯片设计、嵌入式系统无线互联、FPGA 应用开发、SoC 系统开发和 DSP 应用开发 6 个专题，共分 6 本书。每本书以一个或几个案例为基础展开，并提供了大量的源代码，便于读者学习和使用。

## ► 丛书特点

---

在编写本丛书的过程中，力求以简明扼要的语言，重点突出地描述清楚基本概念和开发流程。在本丛书的内容中，融入了作者以往的研发经验和科研工作实例。通过案例分析与设计，逐步完成某个完整嵌入式系统的设计。案例剖析不仅能够提高读者的阅读兴趣，克服对复杂问题的恐惧心理，而且能够使设计思想与设计过程更容易理解，帮助读者尽快上手训练。

## ► 作者优势

---

我们组织了在嵌入式领域具有长期开发经验的研究人员与工程师编写了本套丛书，他们都有丰富的电子产品研发编程经验，在专业期刊上发表过很多学术论文，在实际开发过程中积累了丰富的项目实践经验，相信他们提供的应用方法和技巧能有效地帮助读者提高实际操作能力。

## ► 读者对象

---

本丛书可作为有关科学研究与产品开发人员的工作学习参考书，也可作为高等院校相关专业本科生与研究生的教学参考书。

## ► 其他声明

---

尽管作者做了很大努力，但限于水平和时间，错误和不妥之处在所难免，敬请读者批评指正，我们的联系方式是 [liu\\_chi@cepp.com.cn](mailto:liu_chi@cepp.com.cn)。同时希望各行业从事嵌入式系统及相关技术工作的专家、学者、工程技术人员借此机会积极参与图书的选题开发和编写工作，将您在工作实践中获得的丰富经验总结出来，共同推进我国嵌入式系统技术的发展！

丛书编委会

2007年5月

# 前 言

随着电子技术的不断发展，集成电路的设计方法学也在不断地更新，随之带来了设计方法、设计过程、设计方式的不断变化。一个明显的变化就是，传统的手工设计已经被先进的 EDA (Electronic Design Automation, 电子设计自动化) 工具所替代。另外一个显著的特点就是，集成电路系统设计不断复杂化，而市场的压力又迫使缩短设计周期；这两者之间的冲突和矛盾导致过去全定制的设计方式，逐渐被半定制、门阵列、可编程逻辑器件等多种设计方式所代替。有时，在整个设计过程中还需要根据各个设计模块或者设计进度等要求采用混合的设计方式。

过去，基于 FPGA 的设计由于可编程逻辑器件的规模较小，因此只用来设计较为简单的产品。但是随着可编程逻辑密度的不断提高，可以在 FPGA 中嵌入更多的数字设计。可以通过硬件描述语言（如 Verilog HDL）的形式嵌入越来越多的数字单元。这些都使得 FPGA 开始蚕食 ASIC 的市场，尤其在上市时间和设计灵活性有苛刻要求的场合中取代了 ASIC 的应用。可以预见，在 FPGA 供应商及市场要求的推动下，以 FPGA 为核心的可编程逻辑器件在数字系统设计领域将占据越来越重要的地位。

本书旨在帮助硬件设计人员了解如何进行 FPGA 开发设计。本书先介绍 Verilog HDL 这一硬件设计语言，然后围绕设计领域常用的设计工具结合一些具体的实例进行讲解，力图使设计人员了解 FPGA 系统设计的概念，给设计人员展示清晰明了的基于可编程逻辑器件的设计过程，从而帮他们掌握设计的流程、理解设计方法。

本书按两部分组织内容。第 1~4 章为基础篇，主要介绍 FPGA 系统设计的一些基础知识。第 5~11 章为提高篇，结合实例介绍了如何综合各种设计方法进行 FPGA 系统设计。

第 1 章主要介绍了 FPGA 的基本原理、数字系统的设计方法，以及当前市场上两个知名 FPGA 供应商的开发工具。

第 2 章则介绍了 Verilog HDL 硬件设计语言的基础知识，包括基本的语法、编程风格等等。

第 3 章则专门介绍了如何使用 Xilinx 公司的 ISE 工具进行 FPGA 的设计。鉴于 ISE 工具在不断更新和变化，本书介绍的 ISE 版本为笔者写作时最新的工具版本。

第 4 章则介绍了一些基本的逻辑单元，包括这些单元的基本构造、逻辑原理及实现方式。

第 5~11 章则分别介绍了存储器、控制器、滤波器、定时/计数器、串行接口芯片、键盘及 LCD 控制器、数字视频信号处理器等比较常见的数字系统设计实例。

由于时间和篇幅所限，本书不可能涵盖 FPGA 系统设计的所有内容。而且 FPGA 系统设计是一个瞬息万变的领域，随着工艺的进步和市场需求的变化，设计方法也在不断地变

化和完善。实践是学习的最佳途径，所以建议读者在学习之余尽量多地进行设计实践。希望本书能为那些从事 FPGA 设计开发的读者提供帮助，为他们更好地理解和熟悉这一设计领域提供参考。

在此特别感谢我的同事管志利、谭磊、张萍、肖登峰，以及好友许良栋、曲楠、王涌等人在本书的写作过程中给予的帮助。

编者

2006年11月

# 目 录

## 丛书序

## 前 言

<b>第 1 章 FPGA 系统设计基础</b> .....	<b>1</b>
1.1 FPGA 简介 .....	1
1.2 FPGA 的设计流程 .....	4
1.3 FPGA 的开发工具 .....	10
<b>第 2 章 Verilog HDL 硬件描述语言</b> .....	<b>13</b>
2.1 Verilog HDL 简介 .....	13
2.2 Verilog HDL 程序基本结构 .....	17
2.3 Verilog 的数据类型及逻辑系统 .....	21
2.4 Verilog 操作数和操作符 .....	26
2.5 赋值语句和块语句 .....	31
2.6 条件语句 .....	34
2.7 循环语句 .....	35
2.8 过程语句 .....	36
2.9 task 和 function 说明语句 .....	37
2.10 Verilog test bench 简介 .....	39
2.11 Verilog 的可综合描述风格 .....	47
<b>第 3 章 使用 ISE 进行 FPGA 开发</b> .....	<b>50</b>
3.1 ISE 简介 .....	50
3.2 ISE 的安装 .....	51
3.3 ISE 的使用方法 .....	54
<b>第 4 章 基本逻辑电路设计</b> .....	<b>69</b>
4.1 组合逻辑电路设计 .....	69
4.2 时序电路设计 .....	81
<b>第 5 章 存储器设计</b> .....	<b>88</b>
5.1 存储器原理 .....	88
5.2 移位寄存器设计 .....	89
5.3 ROM 和 RAM .....	93
5.4 先进先出型存储器 .....	98
<b>第 6 章 数据控制器设计</b> .....	<b>111</b>
6.1 总线控制器设计 .....	111

6.2	USB 2.0 接口控制器设计	123
<b>第 7 章</b>	<b>数字滤波器设计</b>	<b>133</b>
7.1	基于 FPGA 的数字滤波器优势	134
7.2	FIR 数字滤波器设计	134
7.3	IIR 数字滤波器设计	137
<b>第 8 章</b>	<b>定时/计数器芯片 8253/8254 的设计</b>	<b>144</b>
8.1	芯片的结构和功能	144
8.2	8253 的 6 种工作方式	148
8.3	芯片设计的具体实现	150
<b>第 9 章</b>	<b>串行接口芯片设计</b>	<b>163</b>
9.1	串行通信概述	163
9.2	芯片的原理及实现方案	173
9.3	串行通信的实现	176
9.4	测试平台的编写和仿真	199
<b>第 10 章</b>	<b>键盘控制器和 LCD 控制器</b>	<b>202</b>
10.1	键盘控制器	202
10.2	LCD 控制器	206
<b>第 11 章</b>	<b>数字视频信号处理器的设计</b>	<b>219</b>
11.1	视频信号概述	219
11.2	数字视频子系统概述	222
11.3	视频信号处理的框架	226
11.4	视频处理程序的具体实现	234
11.5	测试码的开发与模拟验证	235

# FPGA 系统设计基础

自 1985 年 Xilinx 公司推出第一片现场可编程逻辑门阵列 (Field Programmable Gate Array, FPGA) 至今, FPGA 已经历了 20 余年的发展历史。在这 20 余年的发展过程中, 以 FPGA 为代表的数字系统现场集成技术取得了惊人的发展: FPGA 从最初的 1200 个可利用门, 发展到 20 世纪 90 年代的 25 万个可利用门, 进入 2000 年以后, 国际上 FPGA 的著名厂商 Altera 公司及 Xilinx 公司又陆续推出了数百万个可利用门的单片 FPGA 芯片, 将 FPGA 的集成度提高到了一个新的水平。

纵观 FPGA 的发展历史, 之所以具有巨大的市场吸引力, 根本在于 FPGA 不仅可以解决电子系统小型化、低功耗、高可靠性等问题, 而且其开发周期短、开发软件投入少、芯片价格不断降低, 促使 FPGA 越来越多地取代了 ASIC 的市场, 特别是对于小批量、多品种的产品需求, 使 FPGA 成为首选。

目前, FPGA 的主要发展方向是: 随着大规模现场可编程逻辑器件的发展, 系统设计进入了“片上可编程系统 (SOPC)”的新纪元; 芯片朝着高密度、低电压、低功耗方向挺进; 国际上的各大公司都在积极扩充其 IP 库, 以优化的资源更好地满足用户的需求, 扩大市场; 特别引人注目的是所谓 FPGA 动态可重构技术的开拓, 将推动数字系统设计观念的巨大转变。

本章将对 FPGA 的基本原理、基本设计方法和开发工具作一个大体的介绍, 让读者从宏观上对 FPGA 本身以及 FPGA 的开发有一个总体认识和了解。

## 1.1 FPGA 简介

### 1.1.1 FPGA 的基本原理

FPGA 同 CPLD (Complex Programmable Logic Device, 复杂可编程逻辑器件) 一样都是可编程逻辑器件, 它是在 PAL、GAL 等逻辑器件的基础之上发展起来的。同以往的 PAL、GAL 等相比, FPGA 的规模更大, 它可以替代几十甚至几千块通用 IC 芯片。这样的 FPGA 实际上就是一个子系统部件, 这种芯片受到全世界范围内电子工程设计人员的广泛关注和普遍欢迎: 经过 20 余年的发展, 许多公司都开发出了多种可编程逻辑器件, 比较典型的是 Xilinx 公司的 FPGA 器件系列和 Altera 公司的 CPLD 器件系列, 它们开发较早, 占据了较大

的 PLD 市场。目前全球范围内的 PLD/FPGA 产品有 60% 以上都是由 Altera 和 Xilinx 公司提供的，可以说是 Altera 和 Xilinx 共同决定了 PLD 技术的发展方向。当然还有许多其他类型的器件，如 Lattice、Vantis、Actel、Quicklogic、Lucent 等。

FPGA、CPLD 和其他类型 PLD 的结构各有其特点和长处，但它们都属于可编程逻辑器件 (Programmable Logic Device, PLD) 这个大家族，概括起来它们由三大部分组成，如图 1-1 所示。

(1) 一个二维的逻辑块阵列，它构成了 PLD 器件的逻辑组成核心。

(2) 输入/输出块。

(3) 连接逻辑块的互连资源。这些资源由各种长度的连线线段组成，其中也有一些可编程的连接开关，它们用于逻辑块之间、逻辑块与输入 / 输出块之间的连接。

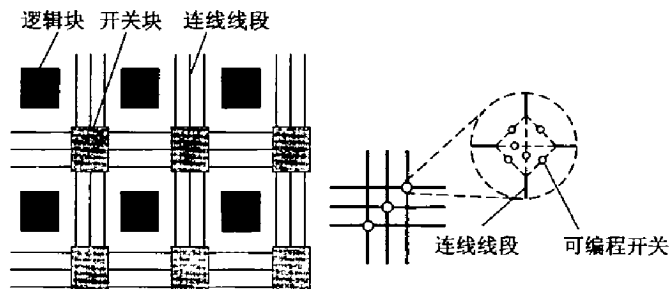


图 1-1 FPGA 的结构

通常 PLD 器件可分为两种结构。一种是基于乘积项 (Product-Term) 的 PLD 结构，采用这种结构的 PLD 芯片有：Altera 的 MAX7000、MAX3000 系列 (EEPROM 工艺)、Xilinx 的 XC9500 系列 (Flash 工艺) 和 Lattice、Cypress 的大部分产品 (EEPROM 工艺)。对此本文中不作详细介绍。另一种是基于查找表 (Look-Up-Table, LUT) 的结构。采用这种结构的 PLD 芯片也可以称之为 FPGA，如 Altera 的 ACEX、APEX 系列以及 Xilinx 的 Spartan、Virtex 系列等。

查找表本质上就是一个 RAM。目前 FPGA 中使用 4 输入的 LUT，所以每一个 LUT 可以看成是一个有 4 位地址线的 16×1 的 RAM。当用户通过原理图或 HDL 语言描述了一个逻辑电路后，PLD/FPGA 开发软件会自动计算逻辑电路的所有可能的结果，并把结果事先写入 RAM，这样，每输入一个信号进行逻辑运算就等于输入一个地址进行查表，找出地址对应的内容，然后输出即可。

下面是一个 4 输入与门的例子，如表 1-1 所示。

表 1-1 实际逻辑电路与 LUT 实现方式对比表

实际逻辑电路		LUT 的实现方式	
a, b, c, d 输入	逻辑输出	地址	RAM 中存储的内容
0000	0	0000	0

续表

实际逻辑电路		LUT 的实现方式	
0001	0	0001	0
...	0	...	0
1111	1	1111	1

图 1-2 所示为基于查找表 (LUT) 的 FPGA 结构。图中左边为 Xilinx Spartan-II 芯片的内部结构, 右边为 Slices 结构。

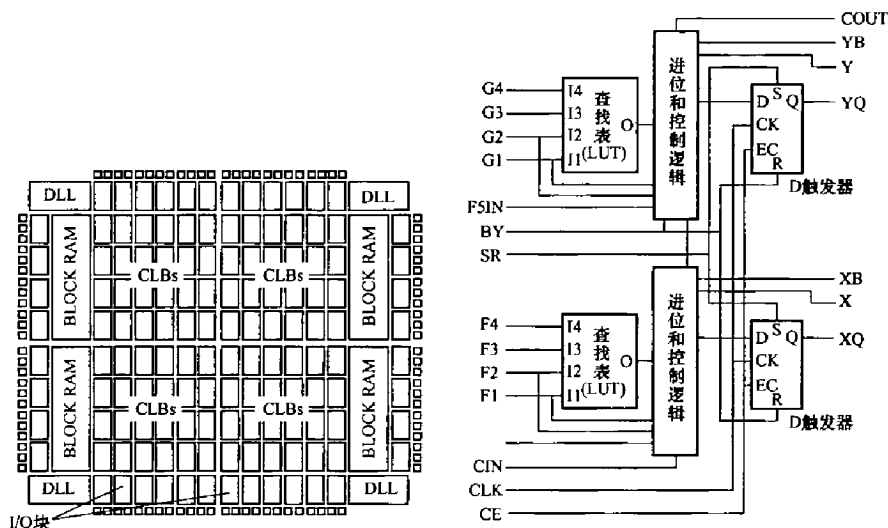


图 1-2 基于查找表 (LUT) 的 FPGA 的结构

对用户而言, CPLD 与 FPGA 的内部结构稍有不同, 但用法一样, 所以多数情况下不加以区分。

### 1.1.2 FPGA 的特点

FPGA 芯片从某种角度来看是一种特殊的 ASIC 芯片, 它们除了具有 ASIC 的特点之外, 还具有以下优点:

(1) 随着 VLSI (Very Large Scale IC, 超大规模集成电路) 工艺的不不断提高, 单一芯片内部可以容纳上百万个晶体管, FPGA 芯片的规模也越来越大, 其单片逻辑门数已达到上百万个, 它所能实现的功能也越来越强, 同时也可以实现系统集成。

(2) FPGA 芯片在出厂之前都做过百分之百的测试, 不需要设计人员承担投片风险和费用, 设计人员只需在自己的实验室里就可以通过相关的软硬件环境来完成芯片的最终功能设计。所以, FPGA 的资金投入小, 节省了许多潜在的花费。

(3) 用户可以反复地编程、擦除、使用, 或者在外围电路不动的情况下用不同的软件实现不同的功能。所以, 用 FPGA 试制样片能以最快的速度占领市场。FPGA 软件包中有各种输入工具和仿真工具, 以及版图设计工具和编程器等全线产品, 电路设计人员在很短的时间内就可完成电路的输入、编译、优化、仿真, 直至最后芯片的制作。当电路有少量改

动时，更能显示出 FPGA 的优势。电路设计人员使用 FPGA 进行电路设计时，不需要具备专门的 IC（集成电路）深层次的知识。FPGA 软件易学易用，可以使设计人员更集中精力进行电路设计，快速将产品推向市场。

可见，FPGA 既继承了 ASIC 的大规模、高集成度、高可靠性的优点，又克服了普遍 ASIC 设计周期长、投资大、灵活性差的缺点，逐步成为复杂数字硬件电路设计的理想首选。此外，现在的 FPGA 更是突出了如下特点：规模越来越大、开发过程投资小、可以反复编程及擦除、保密性能好、开发工具智能化、功能强大，可完成从输入、综合、实现到配置芯片等一系列功能。还有很多工具可以实现对设计的仿真、优化、约束、在线调试等功能。新型的 FPGA 内嵌 CPU 或 DSP 内核，支持硬件协同设计，可以作为片上可编程系统(SOPC)的硬件平台。

## 1.2 FPGA 的设计流程

---

FPGA 设计大体分为设计输入、综合、功能仿真（前仿真）、实现、时序仿真（后仿真）、配置下载等六个步骤，下面分别介绍各个设计步骤。

### 1. 设计输入

设计输入包括使用硬件描述语言（HDL）、状态图与原理图输入三种方式。HDL 设计方式是现今设计大规模数字集成电路的良好形式，除了 IEEE 标准中的 VHDL 与 Verilog HDL 两种形式外，有些 FPGA 厂家还推出了专用语言，如 Quartus 下的 AHDL。HDL 描述语言在状态机、控制逻辑、总线功能方面较强，使其描述的电路能在特定综合工具（如 Synopsys 公司的 FPGA Compiler II 或 FPGA Express）作用下以具体硬件单元较好地实现；而原理图输入在顶层设计、数据通路逻辑、手工最优化电路等方面具有图形化强、单元节俭、功能明确等特点，另外，在 Altera 公司的 Quartus 软件环境下，可以使用 Memory Editor 对内部 memory 进行直接编辑置入数据。常用方式是以 HDL 语言为主，原理图为辅进行混合设计，以发挥二者各自特色。

通常，FPGA 厂商的软件与第三方软件设有接口，可以把第三方设计文件导入进行处理。如 Quartus 与 Foundation 都可以把 EDIF 网表作为输入网表而直接进行布局布线，布局布线后，可再将生成的相应文件交给第三方进行后续处理。

### 2. 设计综合

综合就是针对给定的电路实现功能和实现此电路的约束条件，如速度、功耗、成本及电路类型等，通过计算机进行优化处理，获得一个能满足上述要求的电路设计方案。也就是说，被综合的文件是 HDL 文件（或相应文件等），综合的依据是逻辑设计的描述和各种约束条件，综合的结果则是一个硬件电路的实现方案，该方案必须同时满足预期的功能和约束条件。对于综合来说，满足要求的方案可能有多个，综合工具将产生一个最优的或接近最优的结果。因此，综合的过程也就是设计目标的优化过程，最后获得的结构与综合工具的工作性能有关。

FPGA Compiler II 是一个完善的 FPGA 逻辑分析、综合和优化工具，它从 HDL 形式未优化的网表中产生优化的网表文件。包括分析、综合和优化三个步骤，其中分析是采用

Synopsys 标准的 HDL 语法规则对 HDL 源文件进行分析并纠正语法错误；综合是以选定的 FPGA 结构和器件为目标，对 HDL 和 FPGA 网表文件进行逻辑综合；而优化则是根据用户的设计约束对速度和面积进行逻辑优化，产生一个优化的 FPGA 网表文件，以供 FPGA 布局和布线工具使用，即将电路优化于特定厂家器件库，独立于硅特性，但可以被约束条件所驱动。

### 3. 仿真验证

从广义上讲，设计验证包括功能与时序仿真和电路验证。仿真是指使用设计软件包对已实现的设计进行完整测试，模拟实际物理环境下的工作情况。前仿真是指仅对逻辑功能进行测试模拟，以了解其实现的功能是否满足原设计的要求，仿真过程没有加入时序信息，不涉及具体器件的硬件特性，如延时特性；而在布局布线后，提取有关的器件延时、连线延时等时序参数，并在此基础上进行的仿真称为后仿真，它是接近真实器件运行的仿真。

### 4. 设计实现

实现可理解为利用实现工具把逻辑映射到目标器件结构的资源中，决定逻辑的最佳布局，选择逻辑与输入输出功能连接的布线通道进行连线，并产生相应文件（如配置文件与相关报告）。通常可分为如下五个步骤。

(1) 转换：将多个设计文件进行转换，并合并到一个设计库文件中。

(2) 映射：将网表中的逻辑门映射成物理元素，即把逻辑设计分割到构成可编程逻辑阵列的可配置逻辑块与输入输出块及其他资源中的过程。

(3) 布局与布线：布局是指从映射取出定义的逻辑和输入输出块，并把它们分配到 FPGA 内部的物理位置上，通常基于某种先进的算法，如最小分割、模拟退火和一般的受力方向张弛等来完成；布线是指利用自动布线软件使用布线资源选择路径，试着完成所有的逻辑连接。因最新的设计实现工具是由时序驱动的，即在器件的布局布线期间对整个信号通道执行时序分析，因此可以使用约束条件操作布线软件，完成设计规定的性能要求。在布局布线过程中，可同时提取时序信息形成报告。

(4) 时序提取：产生一个目标文件，供后续的时光仿真使用。

(5) 配置：产生 FPGA 配置时需要的位流文件。

在实现过程中可以进行选项设置。因其支持增量设计，可以对其重复多次布线，且每次布线可利用上一次布线信息，以使布线更优或达到设计目标。在实现过程中应设置默认配置的下栽形式，以使后续位流下栽正常。

### 5. 时序分析

在设计实现过程中，在映射后需要对一个设计的实际功能块的延时和估计的布线延时进行时序分析；而在布局布线后，也要对实际布局布线的功能块延时和实际布线延时进行静态时序分析。从某种程度来讲，静态时序分析可以说是整个 FPGA 设计中最重要的一步，它允许设计者详尽地分析所有关键路径并得出一个有次序的报告，而且报告中含有其他调试信息，比如每个网络节点的扇出或容性负载等。静态时序分析器可以用来检查设计的逻辑

其设计的环境下皆有与第三方时序分析工具的接口。Synopsys 公司的 PrimeTime 是一个很好的时序分析工具，利用它可以达到更好的效果。将综合后的网表文件保存为 db 格式，可在 PrimeTime 环境下打开。利用此软件查看关键路径或设计者感兴趣的通路的时序，并对其进行分析，再对原来的设计进行时序结束，可以提高工作主频或减少关键路径的延时。与综合过程相似，静态时序分析也是一个重复的过程，它与布局布线步骤紧密相连，这个操作通常要进行多次，直到时序约束得到很好的满足。

在综合与时序仿真过程中交互使用 PrimeTime 进行时序分析，满足设计要求后即可进行 FPGA 芯片投片前的最终物理验证。

## 6. 下载验证

下载是在功能仿真与时序仿真正确的前提下，将综合后形成的位流下载到具体的 FPGA 芯片中，也叫芯片配置。FPGA 设计有两种配置形式：直接由计算机经过专用下载电缆进行配置；由外围配置芯片进行上电时自动配置。因 FPGA 具有掉电信息丢失的性质，因此可在验证初期使用电缆直接下载位流。使用电缆下载时有多种下载方式，如对 Xilinx 公司的 FPGA 下载可以使用 JTAG Programmer、Hardware Programmer、PROM Programmer 三种方式，而对 Altera 公司的 FPGA 可以选择 JTAG 方式或 Passive Serial 方式。因 FPGA 大多支持 IEEE 的 JTAG 标准，所以使用芯片上的 JTAG 接口是常用的下载方式。将位流文件下载到 FPGA 器件内部后进行实际器件的物理测试即为电路验证，当得到正确的验证结果后就证明了设计的正确性。电路验证对 FPGA 投片生产具有较大意义。

上面的设计流程并不是固定不变的，结合不同的设计工具，设计流程或多或少都有一些差异。图 1-3 所示是 Altera 公司针对其 Quartus II 工具采用的设计流程。

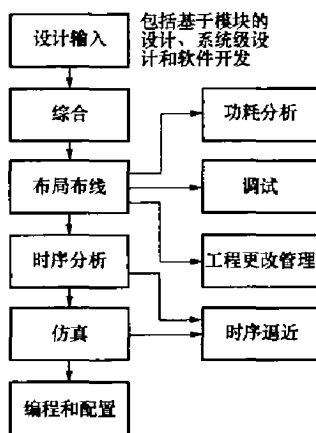


图 1-3 Quartus II 工具的设计流程图

## 1.2.1 现代数字系统的设计方法

传统的电子系统设计基本上采用自底向上 (bottom-up) 的设计方法，利用 SPICE 完成模拟验证。这种方法要求设计者具有丰富的设计经验。大部分电子系统的设计工作需要设计专家人工完成，同时任何一次设计方案的修改都意味着一次详细设计过程的重复，再加上模拟验证速度较慢，因此无论在设计时间还是在设计精度上都不十分令人满意。所以，

采用人工的自底向上设计方法，已很难满足当今电子系统的设计要求。而现在 EDA 所采用的自顶向下 (top-down) 的设计方法，则有效地实现了设计周期、系统性能和系统成本之间的最佳权衡。这是一种层次化的设计方法，设计在尽可能高的层次上开始进行，从而使设计者能在更大的空间内进行设计搜索，理解整个系统的工作状态，完成设计的权衡和相关的设计决策。自上而下的设计方法首先从系统设计入手，从顶层进行功能方框图划分和结构设计，这时的设计与工艺无关。在方框图级先进行仿真和纠错，用 VHDL 语言对高层次的系统行为级进行描述，并在系统级进行验证。然后，用逻辑综合优化工具生成具体的门级逻辑电路的 EDIF (Electronic Design Interchange Format, 电子设计转换格式) 网表，对应的物理实现级可以是 PCB 板或者是 ASIC 芯片。设计的主要仿真和调试过程是在高层次完成，这一方面有利于早期发现结构设计上的错误，避免设计工作的浪费，另一方面也减少了逻辑仿真的工作量。目前，一般的硬件平台已经可以支持系统设计的 CAD 软件运行。自顶向下的设计方法方便了从系统级划分和管理整个项目了简化了设计队伍的管理，减少了不必要的重复，提高了设计的一次成功率。同时，自顶向下的设计方法还提供了整个设计过程中的各设计阶段的统一规范管理，包括系统的测试和各层次的模拟验证。图 1-4 所示是一个电子系统自动化设计流程。

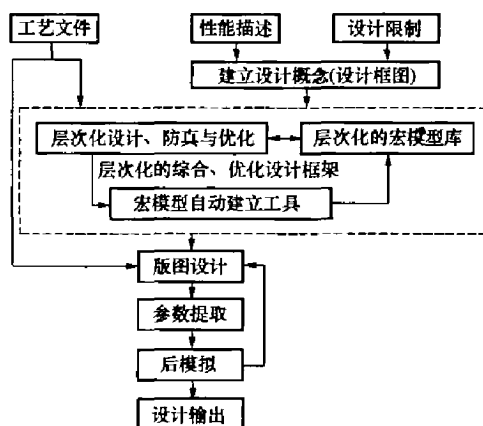


图 1-4 电子系统自动化设计流程

随着集成电路制造业的飞速发展，传统的设计方法受到越来越严峻的挑战。每年设计技术的进步大约滞后制造技术 20%。在器件的特征线宽进入深亚微米以后，这个矛盾显得越发突出。主要表现在系统的集成度越来越高，使得单个芯片的复杂度成倍提高，随之而来的是设计周期无限期增加，时序的收敛问题更加棘手，从而使得 IC (集成电路) 的设计不能满足制造的需要。为了弥和这两者之间的鸿沟，一系列崭新的设计方法被提了出来。笔者认为有以下四个方面值得引起大家的关注：IP 的引入令传统的自顶向下设计方法受到挑战；C/C++ 语言被越来越多地引入到 IC 系统级设计中；物理设计转向 COT 设计方法；EDA 向 EDO 的转变。

提醒大家注意的是，现代数字系统设计的发展得益于现代 EDA 技术的发展。VLSI 设计方法的每一次进步，都伴随着 EDA 技术的飞跃。可以说 EDA 技术是电子信息技术发展的杰出成果，它的发展与应用正引发着一场工业设计和制造领域的革命。最新的一种观点

认为：在电子设计的前端和后端，传统的 EDA 方法已经发生了若干变化，它们正在重塑传统的 EDA 工业。EDA 已不能准确地反映出这一工业界当前正在发生的巨大变化，一个更精确的词将是 EDO（电子设计最优化）。它要求设计人员要学会不要把自己的设计局限在某些具体的工艺上，而要能够更多地把自己从设计的具体实现中解放出来，学会从整体上去考虑问题。设计人员对于设计工具的依赖程度将更高，设计的优化程度和可靠性直接取决于设计工具。

此外，从具体实现的角度来分析数字系统或者数字电路的设计方法。通常，我们把数字电路的实现方法分为定制和半定制两大块。出于对上市时间以及 NRE（Non Recurring Engineering，非重复性工程）成本的考虑，除了对性能要求很高的芯片（比如 CPU）之外，当前大部分 IC 产品都采用半定制的设计。图 1-5 所示概括了这些不同的方法。需要注意的是，随着市场的不断细分以及用户要求的不断变化，ASIC 的设计变得有些迟钝，而 SoC 的设计方法更适合未来的发展趋势。

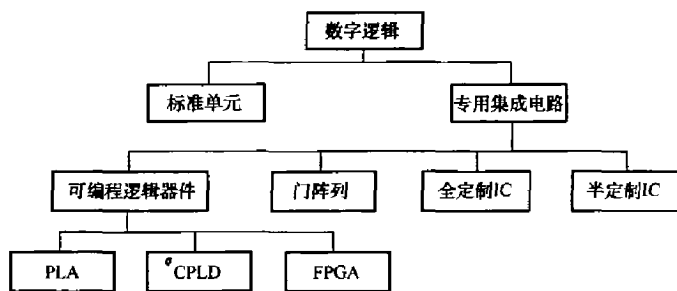


图 1-5 数字逻辑分类图

## 1.2.2 FPGA 设计的重要特征

要鉴别一个事物独有的特质，我们总会拿它同其他类似或者相关的事物进行对比，所以单单挑出 FPGA 设计来谈它的特点缺乏一些鲜明性。在接下来的介绍中，将以 ASIC 设计为参照，让大家更形象地了解 and 体会 FPGA 设计的特征。FPGA 的设计流程及方法，在前面几节中已经有了比较详细的介绍，下面我们来看看 ASIC 的设计方法。

ASIC 设计实现方式主要包括两大部分：电路设计（Design）和生产加工（Foundry），两者可分离进行工作，但需要相互合作。采用 ASIC 设计的流程为：（1）设计输入；（2）功能验证；（3）设计综合；（4）门级仿真；（5）布局布线；（6）后仿真；（7）版图确认；（8）生产、封装、测试。其中，ASIC 的设计综合和布局布线是基于生产厂家提供的设计工艺库进行，如  $0.25\mu\text{m}$ 、 $0.18\mu\text{m}$ 、 $0.13\mu\text{m}$  等。因为 ASIC 的实现特性，所以版图的最后确认工作意味着设计已经全部完成，并转向生产加工流程。ASIC 芯片在不同工艺线的生产所需时间大约为 6~14 周，芯片的生产、封装、测试等也可安排不同的厂家来完成。

采用 ASIC 方式实现设计电路，要求具有较高的软硬件设计环境和设计技术水平，并熟练掌握不同 EDA 设计工具的使用方法。在设计初期与生产厂家进行沟通，选用适当的生产工艺线，了解设计库和生产厂家所提供的各种 IP 核等。同时要考虑设计中存在的模拟电路、输入输出接口驱动、芯片规模、功耗、可测性电路设计（DFT）等问题的处理方式。针对不同的生产工艺线，还需要进行相应的设计调整和修改等工作，以使设计和工艺达到最优匹