

新编电气与电子信息类本科规划教材

FPGA 系统设计与实践

黄智伟 主 编

王 彦 副主编

陈 琼 潘 礼 黄 松 编

电子工业出版社

Publishing House of Electronics Industry

北京 · BEIJING

内 容 提 要

本书是为高等院校电气、电子、自动化、通信工程、计算机等专业编写的教材。全书共 8 章，主要内容包括：FPGA 系统设计基础；Xilinx 公司和 Altera 公司的可编程逻辑器件 FPGA；基于 ISE5.x 和 Quartus 的设计输入方法、功能仿真、综合、实行、配置、编译与编程；FPGA 下载配置电路设计；FPGA 设计技巧；FPGA 设计实践。本书内容丰富、取材新颖、图文并茂、叙述详尽清晰，通过大量的实例说明设计中的一些问题，便于自学，工程性强，有利于培养学生综合分析、创新开发和工程设计能力。随书所附光盘包含所有设计实例的 VHDL 程序和仿真图以及电子讲稿。

本书可作为本科生和研究生教材，也可作为参加全国大学生电子设计竞赛的培训教材，以及从事电子电路系统设计的工程技术人员的参考书。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有，侵权必究。

图书在版编目 (CIP) 数据

FPGA 系统设计与实践 / 黄智伟等著. —北京：电子工业出版社，2005.1

新编电气与电子信息类本科规划教材

ISBN 7-121-00674-X

.F... 黄... .可编程序逻辑器件—高等学校—教材 .TP332.1

中国版本图书馆 CIP 数据核字 (2004) 第 127238 号

责任编辑：陈晓莉 特约编辑：李双庆

印 刷：

出版发行：电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

经 销：各地新华书店

开 本：787×1092 1/16 印张：26.5 字数：679 千字

印 次：2005 年 1 月第 1 次印刷

印 数：5 000 册 定价：36.00 元

髓

凡购买电子工业出版社的图书，如有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系。联系电话：(010) 68279077。质量投诉请发邮件至 zlts@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

前 言

本书是为高等院校电子信息、通信工程、自动化、计算机、电气控制类专业编写的 FPGA 设计教材，是一本系统介绍 FPGA 系统设计基础，Xilinx 公司和 Altera 公司的可编程逻辑器件 FPGA，基于 ISE5.x 和 Quartus 的设计输入方法、功能仿真、综合设计、编译与编程，FPGA 下载配置电路设计，FPGA 设计技巧，FPGA 设计实践的专业基础教材。本书的特点是以 Xilinx 公司和 Altera 公司的可编程逻辑器件 FPGA 和 ISE5.x、Quartus 软件为基础，突出电路结构和设计方法。通过大量的实例说明设计中的一些问题，便于自学，工程性强，有利于培养学生综合分析、开发创新和工程设计能力。本书可作为本科生和研究生教材，也可作为参加全国大学生电子设计竞赛的培训教材，以及从事电子电路系统设计的工程技术人员的参考书。

全书共分 8 章。第 1 章 FPGA 系统设计基础，介绍可编程逻辑器件的编程器件工作原理，可编程逻辑器件的基本结构和电路表示方法，现代数字系统的设计方法，优秀 FPGA 设计的重要特征，可编程逻辑器件的一般设计流程，基于 MAX+plus、Quartus、ISE5.x 的设计流程，嵌入 PowerPC405 微处理器的 FPGA 设计流程，以及 Xilinx 和 Altera 的 FPGA 设计工具。第 2 章 FPGA 器件，重点介绍 Xilinx 公司和 Altera 公司的 FPGA 器件的技术特性和内部结构，主要有 Xilinx 公司的 Spartan-、Spartan- E、Virtex-、Virtex- Pro 和 Virtex- Pro X FPGA 器件，和 Altera 公司的 FLEX、ACEX1K、APEX、Mercury、Excalibur、Stratix FPGA 器件。第 3 章 设计输入，介绍基于 ISE5.x 的设计输入方法和基于 Quartus 的输入方法，包含原理图输入、HDL 语言输入、状态图输入方法、IP 输入。第 4 章 功能仿真，介绍基于 Modelsim 的功能仿真方法，以及基于 Quartus 的功能仿真方法。第 5 章 综合设计，介绍基于 Xilinx 公司的 ISE5.2 中的综合工具 XST 的综合设计、实行设计的步骤与方法。ISE5.2 集成的下载配置工具 iMPACT 的结构、操作步骤与方法，基于 Quartus 的编译器的编译与编程。第 6 章 FPGA 下载配置电路设计，介绍 Xilinx FPGA 下载配置模式和 Virtex- 系列器件下载配置电路设计，以及 Altera 公司的下载电缆、下载电缆配置电路设计和 Altera 芯片配置电路设计。第 7 章 设计技巧，介绍了 VHDL 编码风格，描述方法对电路结构的影响，不同的状态机描述，层次化设计的基本思想和原则，Block RAM 设计和描述 Block RAM 的 VHDL 程序，基于 IP Core 的双端口 Block RAM 设计，时钟设计。第 8 章 FPGA 设计实践，介绍 Xilinx FPGA 最小系统板设计，Altera FPGA 最小系统板设计，BGA 封装印制板设计，FPGA 对 LED 数码管静态和动态显示控制，FPGA 对 LCD 显示器的控制，A/D 转换器 ADC0809 和 TLC5510 接口电路及程序设计，D/A 转换器 DAC0832 和 TLC7524 接口电路及程序设计，FPGA 通用异步收发器设计，二进制振幅键控 (ASK)、二进制频移键控 (FSK) 和二进制相位键控 (PSK) 调制器与解调器设计，多进制数字振幅调制 (MASK) 和多进制数字频率调制 (MFSK) 的调制电路程序设计，多进制数字相位调制 (MPSK) 系统调制与解调电路程序设计。基带码发生器、数字频率计、电子琴、电梯控制器、电子时钟、自动售货机控制系统、出租车自动计价器、多功能波形发生器、步进电机定位控制系统的设计要求、系统组成、模块设计、程序设计与仿真。随书所附光盘包含所有设计实例的 VHDL 程序和仿真图以及本书的电子讲稿。

本书作为本科教材或者全国大学生电子设计竞赛的培训教材时，建议总学时数为 24~32 学时，有些内容需在计算机房上机完成。如果能够与实际制作及实验结合起来，学习的效果会更好。建议第 1 章学时数为 2~4 学时，第 2 章学时数为 4 学时，第 3 章学时数为 4 学时，第 4 章学时数为 4 学时，第 5 章学时数为 4 学时，第 6 章学时数为 4 学时，第 7 章学时数为 2~4 学时，第 8 章学时数为 2~6 学时。第 8 章的内容比较丰富，建议在前面章节教学时，结合第 8 章的实例进行介绍，重点讲解几个设计，剩余的设计例可以作为练习题，由学生自己完成。

本书是电子工业出版社组织出版的《新编电气与电子信息类本科规划教材》系列教材之一。由黄智伟拟定编写了本书大纲和目录。黄智伟编写了第 1 章、第 2 章、第 6 章、第 8 章及第 3 章、第 4 章、第 5 章和第 7 章中的部分内容。陈琼编写了第 3 章、第 4 章、第 5 章、第 7 章。王彦、潘礼、黄松编写了第 8 章中的部分内容。王凤玲、余丽、王怀涛、申政琴、方艾、林杰文、田丹丹、张清明、熊卓、黄琛、李治、李伟、张海军、贺康政、王亮、李金宸、田世颖等参加了编写工作。

在本书的编写过程中，南华大学电气工程学院通信工程、电子信息工程、自动化、电气工程及自动化、电工电子、实验中心等教研室的老师提出了很多宝贵的建议，并给予大力的支持，李富英高级工程师对本书进行了审阅，在此一并表示感谢。

在本书的编写过程中，参考了大量的国内外著作和资料，在此向这些作者表示衷心的感谢。

由于我们水平有限，错误和不足在所难免，敬请各位读者批评斧正。

黄智伟

2004 年 10 月于南华大学

目 录

| | | |
|-------|---------------------------------|----|
| 第 1 章 | FPGA 系统设计基础 | 1 |
| 1.1 | 可编程逻辑器件基础 | 1 |
| 1.1.1 | 概述 | 1 |
| 1.1.2 | 可编程逻辑器件的编程器件工作原理 | 2 |
| 1.1.3 | 可编程逻辑器件的基本结构和电路表示方法 | 6 |
| 1.2 | FPGA 的设计方法与要求 | 8 |
| 1.2.1 | 现代数字系统的设计方法 | 8 |
| 1.2.2 | 优秀 FPGA 设计的重要特征 | 11 |
| 1.3 | FPGA 的设计流程 | 13 |
| 1.3.1 | 可编程逻辑器件的一般设计流程 | 13 |
| 1.3.2 | 基于 MAX + plus 的设计流程 | 15 |
| 1.3.3 | 基于 Quartus 的设计流程 | 16 |
| 1.3.4 | 基于 ISE 的设计流程 | 19 |
| 1.3.5 | 嵌入 PowerPC405 微处理器的 FPGA 设计流程 | 21 |
| 1.4 | FPGA 设计工具 | 23 |
| 1.4.1 | Altera 的可编程逻辑器件设计工具 | 23 |
| 1.4.2 | Xilinx 的可编程逻辑器件设计工具 | 25 |
| | 本章小结 | 30 |
| | 思考题与习题 | 30 |
| 第 2 章 | FPGA 器件 | 32 |
| 2.1 | Xilinx FPGA 器件 | 32 |
| 2.1.1 | Xilinx FPGA 器件简介 | 32 |
| 2.1.2 | Spartan- 和 Spartan- E 系列产品 | 33 |
| 2.1.3 | Virtex- 系列产品 | 38 |
| 2.1.4 | Virtex- Pro 和 Virtex- ProX 系列产品 | 44 |
| 2.2 | Altera FPGA 器件 | 49 |
| 2.2.1 | Altera FPGA 器件简介 | 49 |
| 2.2.2 | FLEX 系列产品 | 50 |
| 2.2.3 | ACEX1K 系列产品 | 63 |
| 2.2.4 | APEX 系列产品 | 64 |
| 2.2.5 | Mercury 系列产品 | 74 |
| 2.2.6 | Excalibur 系列产品 | 77 |
| 2.2.7 | Stratix 系列产品 | 80 |
| | 本章小结 | 82 |
| | 思考题与习题 | 82 |

| | |
|---|-----|
| 第 3 章 设计输入 | 84 |
| 3.1 基于 ISE5.2 的设计输入方法 | 84 |
| 3.1.1 原理图输入 | 84 |
| 3.1.2 HDL 语言输入 | 93 |
| 3.1.3 状态图输入 | 97 |
| 3.1.4 IP 复用 | 107 |
| 3.2 基于 QuartusII 3.0 的设计输入方法 | 117 |
| 3.2.1 原理图输入 | 117 |
| 3.2.2 HDL 语言输入 | 125 |
| 本章小结 | 127 |
| 思考题与习题 | 128 |
| 第 4 章 功能仿真 | 130 |
| 4.1 基于 Modelsim 的功能仿真 | 130 |
| 4.1.1 Modelsim XE v5.6e | 130 |
| 4.1.2 在 Project Navigator 中建立测试激励文件 | 135 |
| 4.1.3 启动 Modelsim 进行仿真 | 140 |
| 4.1.4 功能仿真实例：十进制计数器 | 141 |
| 4.2 基于 Quartus 3.0 的功能仿真 | 149 |
| 4.2.1 建立 Vector Waveform File 文件 | 149 |
| 4.2.2 仿真器设置 | 151 |
| 4.2.3 功能仿真实例：占空比为 50% 的 3 分频器 | 154 |
| 本章小结 | 154 |
| 思考题与习题 | 155 |
| 第 5 章 综合、实行、配置、编译与编程 | 156 |
| 5.1 ISE5.2 中的综合工具 XST | 156 |
| 5.1.1 XST 的综合属性 | 156 |
| 5.1.2 使用 XST 综合设计 | 160 |
| 5.2 基于 ISE5.2 的实行设计 | 164 |
| 5.2.1 用户约束 | 164 |
| 5.2.2 实行设计 | 168 |
| 5.2.3 查看相关报告 | 168 |
| 5.3 基于 ISE5.2 的下载配置 | 171 |
| 5.3.1 准备配置 (Prepare Configuration) | 171 |
| 5.3.2 配置器件 (Configure Device) | 178 |
| 5.4 基于 Quartus 的编译与器件编程 | 182 |
| 5.4.1 使用 Quartus 3.0 的编译器编译设计 | 183 |
| 5.4.2 使用 Quartus 3.0 的编程器下载 | 188 |
| 本章小结 | 190 |
| 思考题与习题 | 190 |

| | | |
|-------|----------------------------------|-----|
| 第 6 章 | FPGA 的下载配置电路设计 | 192 |
| 6.1 | Xilinx 的 FPGA 下载配置电路设计 | 192 |
| 6.1.1 | Xilinx FPGA 的下载配置模式 | 192 |
| 6.1.2 | Virtex- 系列器件下载配置电路设计 | 193 |
| 6.2 | Altera 的 FPGA 下载配置设计 | 199 |
| 6.2.1 | Altera 公司的下载电缆 | 199 |
| 6.2.2 | 下载电缆配置电路设计 | 203 |
| 6.2.3 | Altera 芯片配置电路设计 | 208 |
| | 本章小结 | 214 |
| | 思考题与习题 | 215 |
| 第 7 章 | 设计技巧 | 217 |
| 7.1 | VHDL 编码风格 | 217 |
| 7.1.1 | 描述方法对电路结构的影响 | 217 |
| 7.1.2 | 不同的状态机描述 | 221 |
| 7.2 | 采用层次化的设计 | 229 |
| 7.2.1 | 层次化设计的基本思想和原则 | 229 |
| 7.2.2 | 相似逻辑设计在一个层次 | 230 |
| 7.2.3 | 使用寄存器作为模块的分界线 | 230 |
| 7.3 | Block RAM 设计 | 231 |
| 7.3.1 | Block RAM 的结构 | 231 |
| 7.3.2 | 描述 Block RAM 的 VHDL 程序 | 232 |
| 7.3.3 | Block RAM 的宽度和深度组合 | 232 |
| 7.4 | 基于 IP Core 的 Block RAM 设计 | 234 |
| 7.4.1 | 双端口块 RAM (Dual-Port Block RAM) | 234 |
| 7.4.2 | 使用 IP Core 生成双端口 RAM | 236 |
| 7.4.3 | 使用 Memory Editor 生成 COE 文件 | 241 |
| 7.5 | 时钟设计 | 243 |
| 7.5.1 | 数字延迟锁相环 (DLL) 应用设计 | 243 |
| 7.5.2 | 全局时钟网络应用设计 | 245 |
| 7.5.3 | 数字时钟管理器 (DCM) 应用设计 | 247 |
| | 本章小结 | 249 |
| | 思考题与习题 | 250 |
| 第 8 章 | FPGA 设计实践 | 251 |
| 8.1 | FPGA 最小系统板设计 | 251 |
| 8.1.1 | Xilinx FPGA 最小系统板设计 | 251 |
| 8.1.2 | Altera FPGA 最小系统板设计 | 254 |
| 8.1.3 | BGA 封装印制板设计 | 254 |
| 8.2 | FPGA 对 LED 显示器的控制 | 260 |
| 8.2.1 | FPGA 对 LED 数码管静态显示控制 | 260 |
| 8.2.2 | FPGA 对 LED 数码管动态显示控制 | 260 |

| | | |
|--------|-------------------------|-----|
| 8.2.3 | 程序设计与仿真 | 261 |
| 8.3 | FPGA 对 LCD 显示器的控制 | 263 |
| 8.3.1 | MDLS 系列液晶显示模块 | 263 |
| 8.3.2 | FPGA MDLS 字符型液晶显示模块驱动电路 | 265 |
| 8.3.3 | 程序设计与仿真 | 266 |
| 8.4 | ADC0809 接口电路及程序设计 | 267 |
| 8.4.1 | ADC0809 与 FPGA 接口电路 | 267 |
| 8.4.2 | ADC0809 VHDL 采样控制程序 | 268 |
| 8.5 | TLC5510 接口电路及程序设计 | 271 |
| 8.5.1 | TLC5510 与 FPGA 接口电路 | 271 |
| 8.5.2 | TLC5510 VHDL 采样控制程序设计 | 272 |
| 8.6 | DAC0832 接口电路及程序设计 | 273 |
| 8.6.1 | DAC0832 接口电路设计 | 273 |
| 8.6.2 | DAC0832 接口电路程序设计 | 274 |
| 8.7 | TLC7524 接口电路设计及程序设计 | 275 |
| 8.7.1 | TLC7524 接口电路设计 | 275 |
| 8.7.2 | TLC7524 接口电路程序设计 | 276 |
| 8.8 | FPGA 通用异步收发器设计 | 278 |
| 8.8.1 | UART 简介 | 278 |
| 8.8.2 | FPGA UART 系统组成 | 279 |
| 8.8.3 | 模块设计 | 279 |
| 8.8.4 | 程序设计与仿真 | 282 |
| 8.9 | 二进制振幅键控调制器与解调器设计 | 288 |
| 8.9.1 | ASK 调制方法 | 288 |
| 8.9.2 | ASK 解调方法 | 288 |
| 8.9.3 | ASK 调制方框图及电路符号 | 290 |
| 8.9.4 | ASK 调制 VHDL 程序及仿真 | 290 |
| 8.9.5 | ASK 解调方框图及电路符号 | 291 |
| 8.9.6 | ASK 解调 VHDL 程序及仿真 | 292 |
| 8.10 | 二进制频移键控调制器与解调器设计 | 294 |
| 8.10.1 | FSK 信号的产生 | 294 |
| 8.10.2 | FSK 信号的解调 | 295 |
| 8.10.3 | FSK 调制方框图及电路符号 | 296 |
| 8.10.4 | FSK 调制 VHDL 程序及仿真 | 297 |
| 8.10.5 | FSK 解调方框图及电路符号 | 299 |
| 8.10.6 | FSK 解调 VHDL 程序及仿真 | 299 |
| 8.11 | 二进制相位键控调制器与解调器设计 | 301 |
| 8.11.1 | 绝对调相和相对调相 | 301 |
| 8.11.2 | CPSK 信号的产生 | 302 |
| 8.11.3 | DPSK 信号的产生 | 303 |

| | | |
|---------|----------------------|-----|
| 8.11.4 | DPSK 信号的解调 | 304 |
| 8.11.5 | CPSK 调制程序方框图及电路符号 | 305 |
| 8.11.6 | CPSK 调制 VHDL 程序及仿真 | 305 |
| 8.11.7 | CPSK 解调方框图及电路符号 | 307 |
| 8.11.8 | CPSK 解调 VHDL 程序及仿真 | 307 |
| 8.11.9 | DPSK 调制方框图及电路符号 | 309 |
| 8.11.10 | 绝对码—相对码转换 VHDL 程序及仿真 | 309 |
| 8.11.11 | 相对码—绝对码转换方框图及电路符号 | 310 |
| 8.11.12 | 相对码—绝对码转换 VHDL 程序及仿真 | 311 |
| 8.12 | 多进制数字振幅调制 (MASK) 系统 | 312 |
| 8.12.1 | 多进制数字振幅调制 (MASK) | 312 |
| 8.12.2 | MASK 信号的产生 | 313 |
| 8.12.3 | MASK 调制电路 VHDL 程序与仿真 | 314 |
| 8.13 | 多进制数字频率调制 (MFSK) 系统 | 316 |
| 8.13.1 | 多进制数字频率调制 (MFSK) | 316 |
| 8.13.2 | MFSK 调制电路 VHDL 程序及仿真 | 317 |
| 8.14 | 多进制数字相位调制 (MPSK) 系统 | 321 |
| 8.14.1 | 多进制数字相位调制 (MPSK) | 321 |
| 8.14.2 | 4PSK 信号 | 321 |
| 8.14.3 | MPSK 调制电路 VHDL 程序及仿真 | 323 |
| 8.14.4 | MPSK 解调电路 VHDL 程序及仿真 | 326 |
| 8.15 | 数字基带信号的传输码型发生器设计 | 329 |
| 8.15.1 | 常见的几种基带码 | 329 |
| 8.15.2 | 基带码发生器方框图及电路符号 | 332 |
| 8.15.3 | 基带码发生器 VHDL 程序与仿真 | 333 |
| 8.16 | 采用测频法的数字频率计 | 336 |
| 8.16.1 | 设计要求 | 336 |
| 8.16.2 | 系统组成 | 336 |
| 8.16.3 | 程序设计与仿真 | 337 |
| 8.17 | 采用等精度测频原理的频率计 | 342 |
| 8.17.1 | 设计要求 | 342 |
| 8.17.2 | 测频原理及误差分析 | 342 |
| 8.17.3 | 系统组成 | 343 |
| 8.17.4 | 程序与仿真 | 344 |
| 8.18 | 电子琴设计 | 347 |
| 8.18.1 | 设计要求 | 347 |
| 8.18.2 | 系统组成 | 347 |
| 8.18.3 | 模块设计 | 347 |
| 8.18.4 | 程序设计与仿真 | 348 |
| 8.19 | 自动升降电梯控制器设计 | 354 |

| | | |
|--------|----------------------|-----|
| 8.19.1 | 设计要求 | 354 |
| 8.19.2 | 系统组成 | 355 |
| 8.19.3 | 模块设计 | 356 |
| 8.19.4 | 程序设计与仿真 | 358 |
| 8.20 | 电子时钟设计 | 364 |
| 8.20.1 | 设计要求 | 364 |
| 8.20.2 | 系统组成 | 364 |
| 8.20.3 | 模块设计 | 364 |
| 8.20.4 | 程序设计与仿真 | 364 |
| 8.21 | 自动售货机控制系统设计 | 371 |
| 8.21.1 | 设计要求 | 371 |
| 8.21.2 | 系统组成 | 371 |
| 8.21.3 | 程序设计与仿真 | 371 |
| 8.22 | 出租车自动计价器设计 | 377 |
| 8.22.1 | 设计要求 | 377 |
| 8.22.2 | 系统组成 | 377 |
| 8.22.3 | 模块设计 | 377 |
| 8.22.4 | 程序设计与仿真 | 378 |
| 8.23 | 多功能波形发生器设计 | 381 |
| 8.23.1 | 设计要求 | 381 |
| 8.23.2 | 系统组成 | 381 |
| 8.23.3 | 模块设计 | 382 |
| 8.23.4 | 程序设计与仿真 | 383 |
| 8.24 | 步进电机定位控制系统设计 | 390 |
| 8.24.1 | 设计要求 | 390 |
| 8.24.2 | 系统组成 | 391 |
| 8.24.3 | 模块设计 | 392 |
| 8.24.4 | 程序设计与仿真 | 393 |
| | 本章小结 | 396 |
| | 思考题与习题 | 397 |
| 附录 A | 相关网址 | 398 |
| 附录 B | IC 和 FPGA 专业术语的中英文对照 | 399 |
| | 参考文献 | 412 |

第 1 章 FPGA 系统设计基础



内容提要

本章介绍可编程逻辑器件的编程器件工作原理, 可编程逻辑器件的基本结构和电路表示方法, 现代数字系统的设计方法, 优秀 FPGA 设计的重要特征, 可编程逻辑器件的一般设计流程, 基于 MAX+plus 的设计流程, 基于 Quartus 的设计流程, 基于 ISE 的设计流程, Altera 的可编程逻辑器件设计工具, Xilinx 的可编程逻辑器件设计工具。

知识要点: 可编程逻辑器件, FPGA, 设计方法, 设计流程, 设计工具。

教学建议: 本章的重点是掌握现代数字系统的设计方法和 FPGA 设计流程的概念。建议学时数为 2~4 学时。FPGA 的设计方法和设计流程, 需要通过实际的设计过程加深理解。注意不同设计工具的特点, 注意不同设计工具的设计流程的相同点和不同点。FPGA 设计工具的使用需要在以后章节中进行学习。

1.1 可编程逻辑器件基础

1.1.1 概述

可编程逻辑器件 (Programmable Logic Device, PLD) 是 20 世纪 70 年代发展起来的一种新型逻辑器件, 是目前数字系统设计的主要硬件基础。目前生产和使用的 PLD 产品主要有可编程只读存储器 (PROM)、现场可编程逻辑阵列 (Field Programmable Logic Array, FPLA)、可编程阵列逻辑 (Programmable Array Logic, PAL)、通用阵列逻辑 (Generic Array Logic, GAL)、可擦除的可编程逻辑器件 (Erasable Programmable Logic Device, EPLD)、复杂可编程逻辑器件 (Complex Programmable Logic Device, CPLD)、现场可编程门阵列 (Field Programmable Gate Array, FPGA) 等几种类型。其中 EPLD、CPLD、FPGA 的集成度较高, 属于高密度 PLD。

可编程只读存储器 (包括 EPROM、EEPROM), 其内部结构由“与阵列”和“或阵列”组成。它可以用来实现任何以“积之和”形式表示的各种组合逻辑。

可编程逻辑阵列 (PLA) 是一种基于“与—或阵列”的一次性编程器件, 由于器件内部的资源利用率低, 现已不常使用。

可编程阵列逻辑 (PAL) 也是一种基于“与—或阵列”的一次性编程器件。PAL 具有多种输出结构形式, 在数字逻辑设计上具有一定的灵活性。

通用可编程阵列逻辑 (GAL) 是一种电可擦写、可重复编程、可设置加密位的 PLD 器件。GAL 器件有一个可编程的输出逻辑宏单元 OLMC, 通过对 OLMC 配置可以得到多种形式的输出和反馈。比较有代表性的 GAL 芯片是 GAL16V8、GAL20V8 和 GAL22V10。这几种 GAL 几乎能够仿真所有类型的 PAL 器件, 并具有 100% 的兼容性。

可擦除的可编程逻辑器件(EPLD)的基本逻辑单位是宏单元,它由可编程的与—或阵列、可编程寄存器和可编程 I/O 三部分组成。由于 EPLD 特有的宏单元结构、大量增加的输出宏单元数和大的与阵列,使其在一块芯片内能够更灵活地实现较多的逻辑功能。

复杂可编程逻辑器件 CPLD 是 EPLD 的改进型器件。一般情况下,CPLD 器件至少包含三种结构:可编程逻辑宏单元、可编程 I/O 单元和可编程内部连线。部分 CPLD 器件还集成了 RAM、FIFO 或双口 RAM 等存储器,以适应 DSP 应用设计的要求。

现场可编程门阵列(FPGA)在结构上由逻辑功能块排列为阵列,并由可编程的内部连线连接这些功能块,来实现一定的逻辑功能。FPGA 的功能由逻辑结构的配置数据决定,在工作时,这些配置数据存放在片内的 SRAM 或者熔丝图上。使用 SRAM 的 FPGA 器件,在工作前需要从芯片外部加载配置数据,这些配置数据可以存放在片外的 EPROM 或其他存储体上,人们可以控制加载过程,在现场修改器件的逻辑功能。

1.1.2 可编程逻辑器件的编程器件工作原理

可编程逻辑器件按照编程工艺又可分为四类: 熔丝(Fuse)或反熔丝(Antifuse)编程器件, UEPROM 编程器件, EEPROM 编程器件, SRAM 编程器件。前三类器件称为非易失性器件,它们在编程后,配置数据保持在器件上;第四类器件为易失性器件,每次掉电后配置数据会丢失,因而在每次上电时需要重新进行数据配置。

1. 可编程只读存储器(PROM)

熔丝(Fuse)或反熔丝(Antifuse)编程器件采用 PROM 结构。PROM 的总体结构与掩膜 ROM 相同,所不同的是在出厂时已经在存储矩阵的所有交叉点上全部制作了存储元件。存储元件通常有两种电路形式:一种是由二极管组成的结破坏型电路;另一种是由晶体三极管组成的熔丝型电路,结构示意图如图 1.1.1 所示。

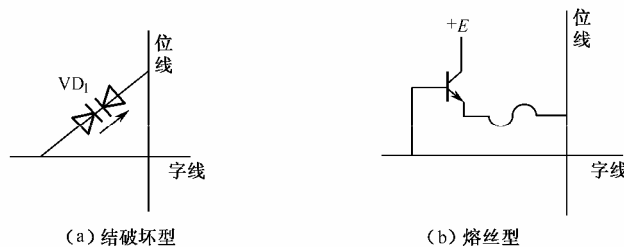


图 1.1.1 PROM 结构示意图

在结破坏型 PROM 中,每个存储单元都有两个对接的二极管。这两个二极管将字线与位线断开,相当于每个存储单元都存有信息“0”。如果将某个单元的字线和位线接通,即将该单元改写为“1”,需要在其位线和字线之间加 100~150mA 电流,击穿 VD1(使 VD1 的 PN 结短路)。这样,该单元就被改写为“1”。

在熔丝型可编程只读存储器中,存储矩阵的每个存储单元都有一个晶体三极管。该三极管的基极和字线相连,发射极通过一段镍铬熔丝和位线相连。在正常工作电流下,熔丝不会烧断,这样每个存储单元都有一个 PN 结,表示该单元存有信息“1”。但是,如果在某个存储单元的字线和位线之间通过几倍的工作电流,该单元的熔丝立刻会被烧断。这时字线、位线断开,该单元被改写为“0”。

PROM 的存储单元一旦由“0”改写为“1”或由“1”改写为“0”，就变成固定结构，因此只能进行一次编程。所以可编程只读存储器（PROM）也称为一次可编程只读存储器。

在产品的开发设计过程中，设计人员可以通过编程器将所需内容（程序和数据）自行写入 PROM 中得到所要求的 ROM。

2. 可擦除的可编程只读存储器（EPROM）

最早研究成功并投入使用的 EPROM 是用紫外线照射进行擦除的，并被称之为 EPROM。因此，现在一提到 EPROM 就是指的这种用紫外线擦除的可编程 ROM（Ultra-Violet Erasable Programmable Read-Only Memory，简称 UVEPROM）。

EPROM 采用 MOS 型电路结构，其存储单元通常由叠栅型 MOS 管组成。叠栅型 MOS 管通常采用增强型场效应管结构。叠栅注入 MOS 管（Stacked-gate Injection Metal-Oxide-Semiconductor，简称 SIMOS 管）的结构原理图和符号如图 1.1.2 所示。

以叠栅 NMOS 管为例，图中叠栅型 MOS 管有两个重叠的栅极：一个在上面，称为控制栅，其作用与普通 MOS 管的栅极相似；另一个埋在二氧化硅绝缘层内，称为浮置栅。如果浮置栅上没有电荷，叠栅 MOS 管的工作原理就与普通 MOS 管相似。当控制栅上的电压大于它的开启电压时，即在栅极加上正常的高电平信号时，漏源之间可以有电流产生，SIMOS 管导通。如果浮置栅上有电子，这些电子产生负电场。这时要使管子导通，控制栅必须加较大正电压，以克服负电场的影响。换句话说，如果浮置栅上有电子，管子的开启电压就会增加，在栅极加上正常的高电平信号时 SIMOS 管将不会导通。

浮置栅上的电荷是靠漏源及栅源之间同时加一较大电压（例如 +20 ~ +25V 编程电压，正常工作电压只有 5V）而产生的。当源极接地时，漏极的大电压使漏源之间形成沟道。沟道内的电子在漏源间强电场的作用下获得足够的能量。同时借助于控制栅正电压的吸引，一部分电子穿过二氧化硅薄层进入浮置栅。当高压电源（例如 +20 ~ +25V 编程电压）去掉后，由于浮置栅被绝缘层包围，它所获得的电子很难泄漏，因此可以长期保存。浮置栅上注入了电荷的 SIMOS 管相当于写入了数据“1”，未注入电荷的相当于存入了数据“0”。

当浮置栅带上电子后，如果要想擦去浮置栅上的电子，可采用强紫外线或 X 射线对叠栅进行照射，当浮置栅上的电子获得足够的能量后，就会穿过绝缘层返回到衬底中去。

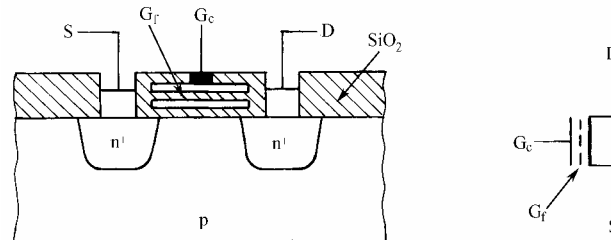


图 1.1.2 SIMOS 管的结构原理图和符号

3. 电信号擦除的可编程 ROM（EEPROM）

EEPROM（也有写成 E²PROM）是一种可以用电信号擦除和改写的可编程 ROM。EEPROM 的擦除和改写电流很小，在普通工作电源条件下即可进行，擦除时不需要将器件从系统上拆卸下来。EEPROM 不仅可以整体擦除存储单元内容，还可进行逐字擦除和逐字改写。

EEPROM 的电路结构与 UVEPROM 的主要区别是构成存储单元的 MOS 管的结构不同。EEPROM 的存储单元采用浮置栅型场效应管 (Floating gate Tunnel Oxide, 简称 Flotox), 其结构如图 1.1.3 所示, Flotox 管也属于 n 沟道增强型的 MOS 管。这种场效应管有两个浮置栅, 漏极上方有一个隧道二极管。在第二栅极与漏极之间电压 V_g 提供的电场作用下, 漏极电荷通过隧道二极管流向第一浮栅, 使管子导通, 起到编程作用。若 V_g 的极性相反, 浮栅上的电荷将反向流入漏极, 起到擦除作用。由于编程和擦除所需电流极小, 因此 V_g 可采用芯片的普通工作电源。EEPROM 的存储单元如图 1.1.4 所示。EEPROM 具有 ROM 的非易失性, 也可以像 RAM 一样随机地进行读写。每个存储单元可以重复进行 1 万次改写, 存储的信息可以保留 20 年; 问题是擦、写的时间较长。

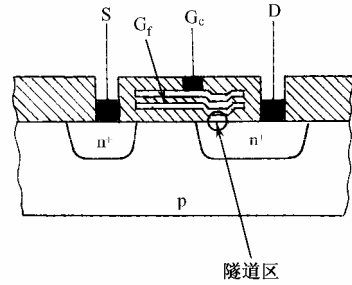


图 1.1.3 Flotox 管的结构和符号

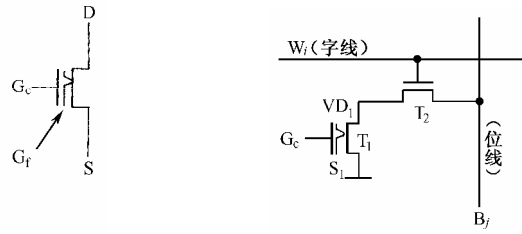


图 1.1.4 EEPROM 的存储单元

4. 快闪存储器 (Flash Memory)

快闪存储器也是一种电信号擦除的可编程 ROM。快闪存储器采用了一种类似于 EPROM 的单管叠栅结构的存储单元, 结构示意图如图 1.1.5 所示。

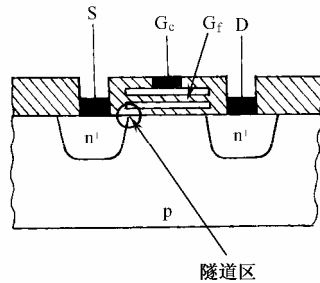


图 1.1.5 快闪存储器中的叠栅 MOS 管和符号

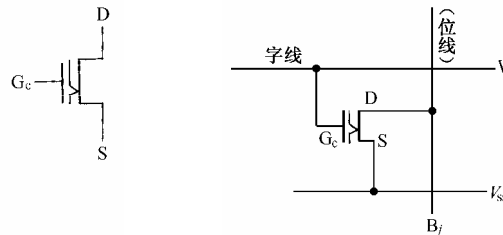


图 1.1.6 快闪存储器的存储单元

快闪存储器采用的叠栅 MOS 管的结构与 EPROM 中的 SIMOS 管极为相似, 两者最大的区别是浮置栅与衬底间氧化层的厚度不同。在 EPROM 中这个氧化层的厚度一般为 $30 \sim 40\mu\text{m}$, 而在快闪存储器中仅为 $10 \sim 15\mu\text{m}$ 。而且浮栅与源区重叠的部分是由源区的横向扩散形成的, 面积极小, 因而浮置栅—源区间的电容要比浮置栅—控制栅间的电容小得多。

快闪存储器的存储单元如图 1.1.6 所示。在读出状态下, 字线给出 $+5\text{V}$ 的逻辑高电平, 存储单元公共端 V_{ss} 为 0 电平。如果浮置栅上没有充电, 则叠栅 MOS 管导通, 位线上输出低电平; 如果浮置栅上充有负电荷, 则叠栅 MOS 管截止, 位线上输出高电平。

快闪存储器的写入方法和 EPROM 相同, 即利用雪崩注入的方法使浮栅充电。快闪存储器的擦除操作是利用隧道效应进行的, 类似于 EEPROM 写入“0”时的操作。由于片内所有叠栅

MOS 管的源极是连在一起的，所以全部存储单元同时被擦除，这一点是不同于 EEPROM 的。

5. 随机存储器 (RAM)

随机存储器也叫随机读/写存储器，简称 RAM。在 RAM 工作时可以随时从任何一个指定地址读出数据，也可以随时将数据写入任何一个指定的存储单元中去。它的优点是读、写方便，使用灵活；缺点是一旦断电以后所存储的数据将随之丢失，即存在数据易失性的问题。RAM 电路通常由存储矩阵、地址译码器和读/写控制电路（也叫输入/输出电路）几部分组成，电路结构框图如图 1.1.7 所示。

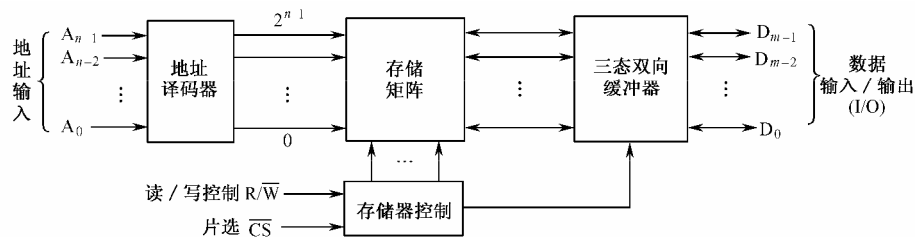


图 1.1.7 RAM 的电路结构框图

存储矩阵由许多存储单元排列而成，每个存储单元能存储 1 位二进制数据（1 或 0），在译码器和读/写控制电路的控制下既可以写入“1”或“0”，又可将所存储的数据读出。

地址译码器将输入的地址代码译成一条字线的输出信号，使连接在这条字线上的存储单元与相应的读/写控制电路接通，然后对这些单元进行读或写。

读/写控制电路对电路的工作状态进行控制，当读/写控制信号 $R/\bar{W} = 1$ 时，执行读操作，将存储单元里的内容送至输入/输出端 (I/O) 上。当 $R/\bar{W} = 0$ 时，执行写操作，输入/输出线上的数据写入存储器中。多数 RAM 集成电路是用一根读/写控制线控制其读/写操作的，也有些 RAM 集成电路是用两个输入端分别进行读和写控制的。此外在读/写控制电路中另加有选输入端 \bar{CS} ，当 $\bar{CS} = 0$ 时 RAM 为正常工作状态；当 $\bar{CS} = 1$ 时所有的输入/输出端均为高阻态，不能对 RAM 进行读/写操作。利用片选输入端 \bar{CS} 可使多个单片 RAM 集成电路组合扩展成更大容量的存储器

输入/输出电路通常由三态门组成，由 R/\bar{W} 信号及 \bar{CS} 信号控制，实现输入（写入）或输出（读出）功能。

RAM 根据存储单元的工作原理的不同又分为静态随机存储器 SRAM 和动态随机存储器 DRAM 两大类。

静态随机存储器 SRAM 的存储单元是在静态触发器的基础上附加控制线或门控管而构成的。它们是靠电路状态的自保功能存储数据的。由于使用的器件不同，静态存储单元又分为 MOS 型和双极型两种。基本的电路结构如图 1.1.8 所示。

图 1.1.8 是用六只 n 沟道增强型 MOS 管组成的静态存储单元。其中的 $VT_1 \sim VT_4$ 组成基本 RS 触发器，用于记忆 1 位二值代码。 VT_5 和 VT_6 是门控管，作模拟开关使用，以控制触发器的 Q、 \bar{Q} 和位线 B_j 、 \bar{B}_j 之间的联系。 VT_5 、 VT_6 的开关状态由字线 X_i 的状态决定。 $X_i = 1$ 时 VT_5 、 VT_6 导通，触发器的 Q 和 \bar{Q} 端与位线 B_j 、 \bar{B}_j 接通； $X_i = 0$ 时 VT_5 、 VT_6 截止，触发器与位线之间的联系被切断。 VT_7 、 VT_8 是每一列存储单元公用的两个门控管，用于和读/写缓冲放大器之间的连接。 VT_7 、 VT_8 的开关状态由列地址译码器的输出 Y_j 来控制， Y_j

= 1 时导通， $Y_j = 0$ 时截止。

存储单元所在的一行和所在的一列同时被选中以后， $X_i = 1$ 、 $Y_j = 1$ 、 VT_5 、 VT_6 、 VT_7 、 VT_8 均处于导通状态。Q、 \bar{Q} 和位线 B_j 、 \bar{B}_j 接通。如果这时 $\overline{CS} = 0$ 、 $R/\overline{W} = 1$ ，则读/写缓冲放大器的 A_1 接通、 A_2 和 A_3 截止，Q 端的状态经 A_1 送到 I/O 端，实现数据读出。 $\overline{CS} = 0$ 、 $R/\overline{W} = 0$ ，则读/写缓冲放大器的 A_1 截止、 A_2 和 A_3 导通，加到 I/O 端的数据被写入存储单元中。

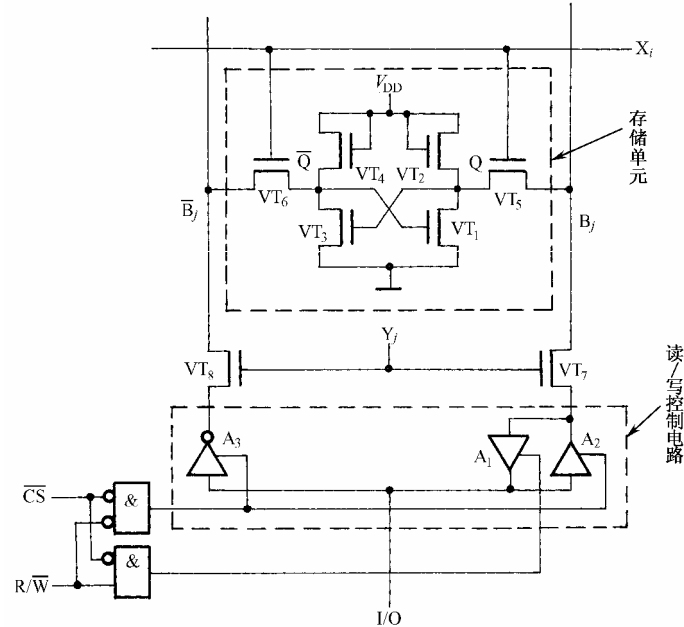


图 1.1.8 六管 n 沟道增强型 MOS 管组成的静态存储单元

1.1.3 可编程逻辑器件的基本结构和电路表示方法

1. 可编程逻辑器件的基本结构

可编程逻辑器件种类较多，不同厂商生产的可编程逻辑器件的结构差别较大。可编程逻辑器件的基本结构由输入缓冲电路、与阵列、或阵列、输出缓冲电路等 4 部分组成。其中输入缓冲电路主要用来对输入信号进行预处理，以适应各种输入情况，例如产生输入变量的原变量和反变量；“与阵列”和“或阵列”是 PLD 器件的主体，能够有效地实现“积之和”形式的布尔逻辑函数；输出缓冲电路主要用来对输出信号进行处理，用户可以根据需要选择各种灵活的输出方式（组合方式、时序方式），并可反馈信号送回输入端，以实现复杂的逻辑功能。

2. PLD 电路的表示方法

(1) PLD 连接的表示法

PLD 中阵列交叉点上有 3 种连接方式：硬线连接、接通连接和断开连接。表示方法如图 1.1.9 所示，其中硬线连接是固定连接方式，是不可编程的，而接通和断开连接是可编程的。

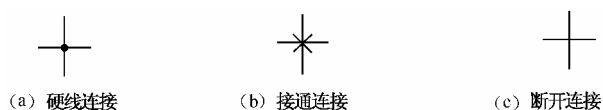


图 1.1.9 PLD 中阵列交叉点上的三种连接方式

(2) 输入/反馈缓冲单元表示法

PLD 的输入缓冲器和反馈缓冲器都采用互补的输出结构，以产生原变量和反变量两个互补的信号，如图 1.1.10 所示。A 是输入，B 和 C 是输出，真值表如表 1.1.1 所示。

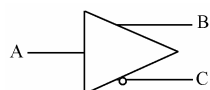


图 1.1.10 PLD 缓冲器

表 1.1.1 PLD 缓冲器真值表

| A | B C |
|---|-----|
| 0 | 0 1 |
| 1 | 1 0 |

从真值表可见： $B = A, C = \bar{A}$ 。

(3) PLD 与门表示法

与阵列是 PLD 中的基本逻辑阵列，它们由若干个与门组成，每个与门都是多输入、单输出形式。以 3 输入端与门为例，其 PLD 表示法如图 1.1.11 所示，图中 $D = A * B * C$ 。

图 1.1.12 为 4 输入端与门电路， $P = A * B * C * D$ 。

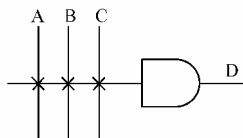


图 1.1.11 3 输入端的 PLD 与门

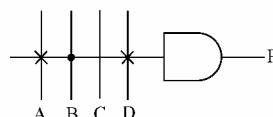


图 1.1.12 4 输入端的 PLD 与门

图 1.1.13 为 4 输入端与门电路， $P = A * \bar{A} * B * \bar{B} = 0$

(4) PLD 或门表示法

或阵列也是 PLD 中的基本逻辑阵列，它们由若干个或门组成，每个或门都是多输入、单输出形式。以 4 输入或门为例，其 PLD 表示法如图 1.1.14 所示，图中 $Y = P_1 + P_3 + P_4$ 。

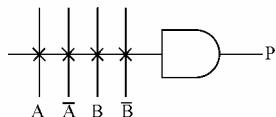


图 1.1.13 4 输入端的 PLD 与门

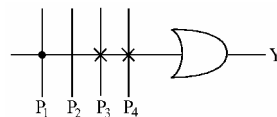


图 1.1.14 4 输入端的 PLD 或门

例：一个 PLD 异或门电路如图 1.1.15 所示。图中 $F = X_1 * \bar{X}_2 + \bar{X}_1 * X_2 = X_1 \oplus X_2$ 。

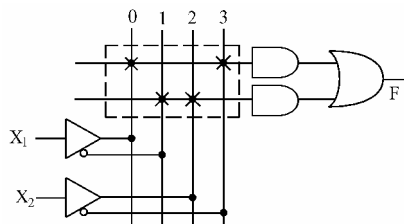


图 1.1.15 PLD 异或门连接图