FPGA/CPLD 设计工具

——Xilinx ISE 使用详解

王　诚
EDA 先锋工作室　薛小刚　编著
钟信潮

人 民 邮 电 出 版 社

图书在版编目（CIP）数据

FPGA/CPLD 设计工具：Xilinx ISE 使用详解/王诚，薛小刚，钟信潮编著.
—北京：人民邮电出版社，2005.1
ISBN 7-115-12914-2

Ⅰ. F… Ⅱ. ①王… ②薛… ③钟… Ⅲ. 可编程序逻辑器件—基本知识 Ⅳ. TP332.1

中国版本图书馆 CIP 数据核字（2004）第 127150 号

内 容 提 要

本书以 FPGA/CPLD 设计流程为主线，阐述了如何合理地利用 ISE 设计平台集成的各种设计工具，高效地完成 FPGA/CPLD 的设计方法与技巧。全书在介绍 FPGA/CPLD 概念和设计流程的基础上，依次论述了工程管理与设计输入、仿真、综合、约束、实现与布局布线、配置调试等主要设计步骤在 ISE 集成环境中的实现方法与技巧。

本书立足于工程实践，结合作者多年工作经验，选用大量典型实例，并配有一定数量的练习题。本书配套光盘收录了所有实例的完整工程目录、源代码、详细操作步骤和使用说明，利于读者边学边练，提高实际应用能力。

本书可作为高等院校通信工程、电子工程、计算机、微电子与半导体学等专业的教材，也可作为硬件工程师和 IC 工程师的实用工具书。

FPGA/CPLD 设计工具——Xilinx ISE 使用详解

◆ 编　　著　EDA 先锋工作室　王　诚　薛小刚　钟信潮
责任编辑　李永涛

◆ 人民邮电出版社出版发行　　北京市崇文区夕照寺街 14 号
邮编　100061　　电子函件　315@ptpress.com.cn
网址　http://www.ptpress.com.cn
读者热线　010-67132692
北京鸿佳印刷厂印刷
新华书店总店北京发行所经销

◆ 开本：787×1092　1/16
印张：30.75
字数：750 千字　　2005 年 1 月第 1 版
印数：1 – 6 000 册　　2005 年 1 月北京第 1 次印刷

ISBN 7-115-12914-2/TP・4342

定价：52.00 元（附光盘）

EDA 先锋工作室

主　编：王　诚

副主编：薛小刚　钟信潮

编　委：李　楠　吴继华　庞　健　由武军　袁　园
周海涛　侯小辉　寿开宇　范丽珍　薛　宁
路　远　梁晓明　伊贵业　吴义涛　张世卓
张伟平　王书松　吴　蕾　胡安琪　吴卫旋
董振东　于春华

序

美国赛灵思公司（Xilinx）是全球领先的可编程逻辑完整解决方案的供应商，赛灵思研发、制造并销售应用范围广泛的高级集成电路、软件设计工具以及作为预定义系统级功能的 IP（Intellectual Property）核。

赛灵思公司成立于 1984 年，首创了现场可编程逻辑阵列（FPGA）这一创新性的技术，并于 1985 年首次推出商业化产品。至今，赛灵思公司已经推出从 Spartan3 到 Virtex-II Pro 等系列的 FPGA 产品以及 CoolRunner 等系列的 CPLD 产品，满足了全世界对可编程逻辑器件（PLD）产品一半以上的需求，同时还提供了互联网软件解决方案与核心解决方案等软件产品。ISE 是赛灵思公司最主要的设计软件之一，目前已经推出的最新版本是 ISE 6.2i。该软件提供了可加强现有可编程设计流程，并可适应客户特有设计方法的全面、丰富的设计选项。

在此，我们郑重推荐由人民邮电出版社出版的《FPGA/CPLD 设计工具——Xilinx ISE 使用详解》，希望通过本书使对在设计中应用 ISE 解决方案或对其感兴趣的读者能更深入地了解基于 ISE 进行 FPGA/CPLD 设计的基本原理与方法。也希望通过本书的编写，能大力促进中国的数字系统现场集成技术的应用普及和推广。

XILINX ASIA PACIFIC

2004 年 10 月

目　录

第1章　ISE 系统简介

本章在介绍 FPGA/CPLD 基本理论的基础上，引入 FPGA/CPLD 的完整设计流程，重点介绍 Xilinx 的 ISE 集成开发环境的特点与 ISE 所集成的工具包的基本功能。

本章主要内容如下：

- FPGA/CPLD 简介；
- FPGA/CPLD 的设计流程；
- ISE 系列产品的新特点；
- ISE 6.x 支持的器件；
- ISE 的 4 个软件系列；
- ISE 的系统配置与安装；
- ISE 中集成的工具及其基本功能；
- 常用专有名词解释。

1.1　FPGA/CPLD 简介

在数字化、信息化的时代，数字集成电路应用得非常广泛。随着微电子技术与工艺的发展，数字集成电路从电子管、晶体管、中小规模集成电路、超大规模集成电路（VLSIC）逐步发展到今天的专用集成电路（ASIC）。ASIC 的出现降低了产品的生产成本，提高了系统的可靠性，减少了产品的物理尺寸，推动了社会的数字化进程。但是 ASIC 因其设计周期长，改版投资大，灵活性差等缺陷制约着它的应用范围。硬件工程师希望有一种更灵活的设计方法，根据需要，在实验室就能设计、更改大规模数字逻辑，研制自己的 ASIC 并马上投入使用。这就是可编程逻辑器件提出的基本思想。

可编程逻辑器件随着微电子制造工艺的发展取得了长足的进步。从早期的只能存储少量数据，完成简单逻辑功能的可编程只读存储器（PROM）、紫外线可擦除只读存储器（EPROM）和电可擦除只读存储器（EEPROM），发展到能完成中大规模的数字逻辑功能的可编程阵列逻辑（PAL）和通用阵列逻辑（GAL），今天已经发展成为可以完成超大规模的复杂组合逻辑与时序逻辑的现场可编程逻辑器件（FPGA）和复杂可编程逻辑器件（CPLD）。随着工艺技术的发展与市场需求，超大规模、高速、低功耗的新型 FPGA/CPLD 不断推陈出新。新一代的 FPGA 甚至集成了中央处理器（CPU）或数字处理器（DSP）内核，在一片 FPGA 上进行软硬件协同设计，为实现片上可编程系统（SOPC：System On Programmable Chip）提供了强大的硬件支持。

1.1.1　FPGA/CPLD 的基本原理

简化的 FPGA 基本由 6 部分组成：可编程输入/输出单元、基本可编程逻辑单元、嵌入式块 RAM、丰富的布线资源、底层嵌入功能单元和内嵌专用硬核，如图 1-1 所示。

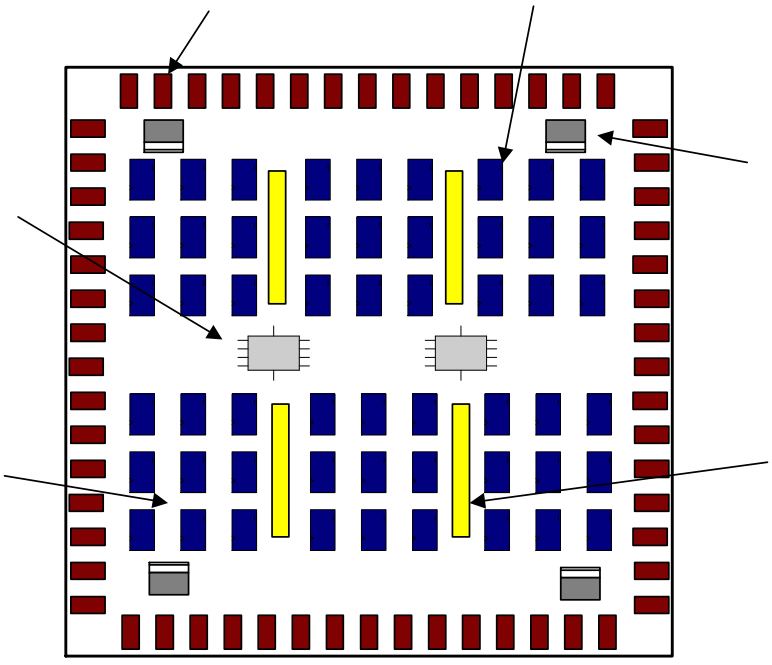

图1-1　可编程逻辑器件的结构原理图

(1)　可编程输入/输出单元

输入/输出（Input/Output）单元简称 I/O 单元，它们是芯片与外界电路的接口部分，完成不同电气特性下对输入/输出信号的驱动与匹配需求。为了使 FPGA 有更灵活的应用，目前大多数 FPGA 的 I/O 单元被设计为可编程模式，即通过软件的灵活设置，可以匹配不同的电气标准与 I/O 物理特性；可以调整匹配阻抗特性，上下拉电阻；可以调整输出驱动电流的大小等。

可编程 I/O 单元支持的电气标准因工艺而异，不同器件商或不同器件族的 FPGA 支持的 I/O 标准也不同，一般说来，常见的电气标准有 LVTTL、LVCMOS、SSTL、HSTL、LVDS、LVPECL 和 PCI 等。值得一提的是，随着 ASIC 工艺的飞速发展，目前可编程 I/O 支持的最高频率越来越高，一些高端 FPGA 通过 DDR 寄存器存取技术，甚至可以支持高达 2GHz 的频率。

(2)　基本可编程逻辑单元

基本可编程逻辑单元是可编程逻辑的主体，可以根据设计灵活地改变其内部连接与配置，完成不同的逻辑功能。FPGA 一般是基于 SRAM 工艺的，其基本可编程逻辑单元通常是由查找表（LUT，Look Up Table）和寄存器

（Register）组成的。FPGA 内部查找表一般为 4 输入（注：Altera Stratix II 的自适应逻辑模块 ALM 结构比较特殊），查找表一般完成纯组合逻辑功能。FPGA 内部寄存器结构相当灵活，可以配置为带同步/异步复位或置位、时钟使能的触发器（FF，Flip Flop），也可以配置成为锁存器（Latch）。FPGA 中一般依赖寄存器完成同步时序逻辑设计。比较经典的基本可编程单元配置为一个寄存器加一个查找表。但是不同厂商的寄存器和查找表的内部结构有一定的差异，而且寄存器和查找表的组合模式也不同。例如，Xilinx 可编程逻辑单元叫做 Slice，它由上下两部分构成，每部分都由一个 Register 加一个 LUT 组成，被称为 LC（Logic Cell，逻辑单元），两个 LC 之间有一些共用逻辑，可以完成 LC 之间的配合工作与级连。Altera 可编程逻辑单元被称为 LE（Logic Element，逻辑单元），由一个 Register 加一个 LUT 构成。Lattice 的底层逻辑单元叫做 PFU（Programmable Function Unit，可编程功能单元），它由 8 个 LUT 和 9 个 Register 构成。当然这些可编程单元的配置结构随着器件的发展也在不断更新，最新的一些可编程逻辑器件常常根据设计需求推出一些新的 LUT 和 Register 的配置比率，并更新其内部的连接构造。

学习底层配置单元的 LUT 和 Register 比率的一个重要意义在于器件选型和规模估算。很多器件手册上用器件的 ASIC 门数或等效的系统门数表示器件的规模。但是由于目前 FPGA 内部除了基本可编程逻辑单元外，还包含有丰富的嵌入式 RAM、PLL 或 DLL，专用 Hard IP Core（硬知识产权功能核）等。这些功能模块也会等效出相当规模的系统门，所以用系统门考核基本可编程逻辑单元的数量是不准确的。比较科学的方法是用器件的 Register 或 LUT 的数量衡量（因为一般来说两者比率为 1：1）。例如，Xilinx 的 Spartan-III 系列的 XC3S1000 有 15360 个 LUT，而 Lattice 的 EC 系列 LFEC15E 也有 15360 个 LUT，所以这两款 FPGA 的可编程逻辑单元数量基本相当，属于同一规模的产品。同样道理，Altera 的 Cyclone 器件族的 EP1C12 的 LUT 数量是 12060 个，就比前面提到的两款 FPGA 规模略小。需要说明的是，器件选型是一个综合性问题，需要将设计的需求、成本压力、规模、速度等级、时钟资源、I/O 特性、封装和专用功能模块等诸多因素综合考虑。

(3) 嵌入式块 RAM

目前大多数 FPGA 都有内嵌的块 RAM（Block RAM）。FPGA 内部嵌入可编程 RAM 模块，大大地拓展了 FPGA 的应用范围和使用灵活性。FPGA 内嵌的块 RAM 一般可以灵活地配置为单口 RAM（SPRAM，Single Port RAM）、双口 RAM（DPRAM，Double Ports RAM）、伪双口 RAM（Pseudo DPRAM）、CAM（Content Addressable Memory）和 FIFO（First In First Out）等常用存储结构。RAM 的概念和功能读者应该非常熟悉，不再赘述。FPGA 中其实并没有专用的 ROM 硬件资源，实现 ROM 的思路是对 RAM 赋予初值，并保持该初值。所谓 CAM，即内容地址储存器。CAM 这种存储器在其每个存储单元都包含了一个内嵌的比较逻辑，写入 CAM 的数据会和其内部存储的每一个数据进行比较，并返回与端口数据相同的所有内部数据的地址。概括地讲，RAM

是一种根据地址读、写数据的存储单元；而 CAM 和 RAM 恰恰相反，它返回的是与端口数据相匹配的内部地址。CAM 的应用也非常广泛，比如在路由器中的地址交换表等。FIFO 即先进先出存储队列。FPGA 内部实现 RAM、ROM、CAM 和 FIFO 等存储结构都可以基于嵌入式块 RAM 单元，并根据需求生成相应的粘合逻辑（Glue Logic）以完成地址和片选等控制逻辑。

不同器件商或不同器件族的内嵌块 RAM 的结构不同，Xilinx 常见的块 RAM 大小是 4Kbit 和 18Kbit 两种结构，Lattice 常用的块 RAM 大小是 9Kbit，Altera 的块 RAM 最为灵活，一些高端器件内部同时含有 3 种块 RAM 结构，分别是 M512 RAM（512bit），M4K RAM（4Kbit）和 M-RAM（512Kbit）。

需要补充一点的是：除了块 RAM 以外，Xilinx 和 Lattice FPGA 还可以灵活的将 LUT 配置成 RAM、ROM、FIFO 等存储结构，这种技术被称为分布式 RAM（Distributed RAM）。分布式 RAM 适用于多块小容量 RAM 的设计。

根据设计需求，块 RAM 的数量和配置方式也是器件选型的一个重要标准。

(4) 丰富的布线资源

布线资源连通 FPGA 内部所有单元，连线的长度和工艺决定着信号在连线上的驱动能力和传输速度。FPGA 内部有着非常丰富的布线资源，这些布线资源根据工艺、长度、宽度和分布位置的不同而划分为不同的等级，有一些是全局性的专用布线资源，用以完成器件内部的全局时钟和全局复位/置位的布线；一些叫做长线资源，用以完成器件 Bank 间的一些高速信号和一些第二全局时钟信号的布线；还要一些叫做短线资源，用以完成基本逻辑单元之间的逻辑互联与布线；另外在基本逻辑单元内部还有着各式各样的布线资源和专用时钟、复位等控制信号线。

设计者通常不需要直接选择布线资源，实现过程中一般是由布局布线器自动根据输入的逻辑网表的拓扑结构和约束条件选择可用的布线资源连通所用的底层单元模块，所以设计者通常忽略布线资源。其实布线资源的使用和设计的实现结果有直接关系。例如本书第 4 章第 3 节就介绍了全局时钟资源和第二全局时钟资源的一些使用事项。在本书的第 5 章中，很多时序约束属性就是通过调整布线资源以使设计的布局布线结果达到所需的时序性能。

(5) 底层嵌入功能单元

这个概念比较笼统，这里我们指的是那些通用程度较高的嵌入式功能模块。比如 PLL（Phase Locked Loop）、DLL（Delay Locked Loop）、DSP 和 CPU 等。随着 FPGA 的发展，这些模块被越来越多地嵌入到 FPGA 的内部，以满足不同场合的需求。

目前大多数 FPGA 厂商都在 FPGA 内部集成了硬的 DLL（Delay-Locked Loop）或者 PLL（Phase-Locked Loop），用以完成时钟的高精度、低抖动的倍频、分频、占空比调整、移相等功能。目前高端 FPGA 产品集成的 DLL 和 PLL 资源越来越丰富，功能越来越复杂，精度越来越高（一般在 100 ps 的数量级）。Xilinx 芯片主要集成的是 DLL，Altera 芯片集成的是 PLL，Lattice 的新

型 FPGA 同时集成了 PLL 与 DLL 以适应不同的需求。Xilinx 芯片 DLL 的模块名称为 CLKDLL，在高端 FPGA 中，CLKDLL 的增强型模块为 DCM（Digital Clock Manager，数字时钟管理模块）。Altera 芯片的 PLL 模块也分为增强型 PLL（Enhanced PLL）和高速 PLL（Fast PLL）等。这些时钟模块的生成和配置方法一般分为两种，一种是在 HDL 代码和原理图中直接实例化，另一种方法是在 IP 核生成器中配置相关参数，自动生成 IP。Xilinx 的 IP 核生成器叫做 Core Generator，另外在 Xilinx ISE 6.x 版本中通过 Architecture Wizard 生成 DCM 模块。Altera 的 IP 核生成器叫做 Mega Wizard。Lattice 的 IP 核生成器被称为 Module/IP Manager。另外可以通过在综合、实现步骤的约束文件中编写约束属性完成时钟模块的约束。

越来越多的高端 FPGA 产品将包含 DSP 或 CPU 等软处理核，从而 FPGA 将由传统的硬件设计手段逐步过渡为系统级设计工具。例如 Xilinx 的 Virtex II 和 Virtex II Pro 系列 FPGA 内部集成了 Power PC 450 的 CPU Core 和 MicroBlaze RISC 处理器 Core；而 Altera 的 Stratix、Stratix GX 和 Stratix II 等器件族内部集成了 DSP Core；Lattice 的 ECP 系列 FPGA 内部集成了系统 DSP Core 模块。这些 CPU 或 DSP 处理模块的硬件主要由一些加、乘、快速进位链、Pipelining 和 Mux 等结构组成，加上用逻辑资源和块 RAM 实现的软核部分，就组成了功能强大的软计算中心。这种 CPU 或 DSP 比较适合实现 FIR 滤波器、编码解码和 FFT（快速傅立叶变换）等运算。FPGA 内部嵌入 CPU 或 DSP 等处理器，使 FPGA 在一定程度上具备了实现软硬件联合系统的能力，FPGA 正逐步称为 SOC（System On Chip）的高效设计平台。Xilinx 的 SOC 设计工具是 EDK 和 Platform Studio，在 ISE 6.x 中已经集成了 EDK 和 MontaVista Linux、Wind River VxWorks、QNX Neutrino 等常用设计软件的接口。

(6) 内嵌专用硬核

内嵌专用硬核是相对于前文所述“底层嵌入单元”而言的，它主要指那些通用性相对较差，不为大多数 FPGA 器件所包含的硬核（Hard Core）。我们称 FPGA 和 CPLD 为通用逻辑器件，是区分于专用集成电路（ASIC）而言的。其实 FPGA 内部也有两个阵营：一方面是通用性较强，目标市场范围很广，价格适中的 FPGA；另一方面是针对性较强，目标市场明确，价格较高的 FPGA。前者主要指低成本（Low Cost）FPGA，后者主要指某些高端通信市场的可编程逻辑器件。为了提高 FPGA 性能，适用高速通信总线与接口标准，很多高端 FPGA 集成了 SERDES（串并收发器）等专用 Hard Core。例如 Xilinx 的 Virtex II Pro 内部集成了 3.125G SERDES，支持 Rocket IO 标准；Altera 的对应器件族为 Stratix GX；Lattice 器件的专用 Hard Core 的比重更大，有两类器件族支持 SERDES 功能，分别是 Lattice 高端 SC 系列 FPGA 和现场可编程系统芯片（FPSC，Field Programmable System Chip）。需要补充的是目前 Xilinx 和 Lattice 都已经推出内嵌 10 Gbps SERDES 模块的系统级可编程逻辑器件。

CPLD 在工艺和结构上都与 FPGA 有一定的区别，如前面介绍，FPGA 一般都是 SRAM 工艺的，如 Xilinx、Altera 和 Lattice 的系列 FPGA 器件，其基本结构都是基于查找表加寄存

器结构的。而 CPLD，一般都是基于乘积项结构的，如 Altera 的 MAX7000、MAX3000（E^2PROM 工艺）系列器件，Lattice 的 ispMACH4000、ispMACH5000（0.18μm E^2COMS 工艺）系列器件，Xilinx 的 XC9500（0.35μmCMOS Fast Flash 工艺）、CoolRunner2（0.18μmCMOS 工艺）系列器件等都是基于乘积项的 CPLD。

CPLD 的结构相对比较简单，主要由可编程 I/O 单元、基本逻辑单元、布线池和其他辅助功能模块构成，如图 1-2 所示。

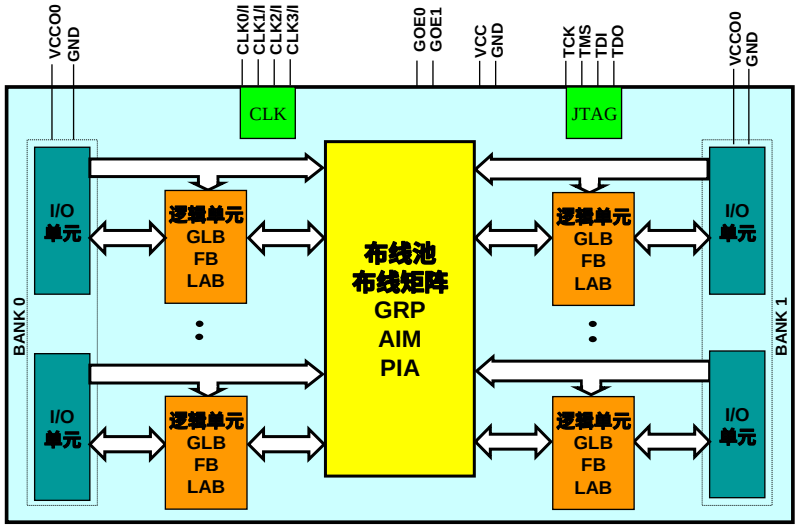

图1-2　CPLD 的结构示意图

(7)　可编程 I/O 单元

CPLD 的可编程 I/O 单元和 FPGA 的可编程 I/O 单元的功能一致，同样完成不同电气特性下对输入/输出信号的驱动与匹配。由于 CPLD 的应用范围局限性较大，所以其可编程 I/O 的性能和复杂度与 FPGA 相比有相当的差距。CPLD 的可编程 I/O 支持的 I/O 电气标准较少，频率也较低。

(8)　基本逻辑单元

与 FPGA 相似，基本逻辑单元是 CPLD 的主体，通过不同的配置方式，CPLD 的基本逻辑单元可以完成不同类型的逻辑功能。需要强调的是，CPLD 的基本逻辑单元的结构与 FPGA 相差较大。前面介绍过，FPGA 的基本逻辑单元基本是由 LUT 和 Register 按照 1∶1 的比例组成的；而 CPLD 中没有 LUT 这种概念，其基本逻辑单元是一种被称为宏单元（Macro Cell，简称 MC）的结构。所谓宏单元，其本质是由一些与、或阵列加触发器构成，其中与、或阵列完成组合逻辑功能，触发器完成时序逻辑。CPLD 器件规模一般用 MC 的数目表示，器件标称中的数字一般都包含有该器件的 MC 数量。CPLD 厂商通过将若干个 MC 连接起来完成相对复杂一些的逻辑功能。不同厂商的这种 MC 集合的名称不同，Xilinx 9500 和 CoolRunner2 将之称为功能模块（FB，Function Block）；Lattice 的 LC4000、ispLSI5000、ispLSI2000 系列 CPLD 将之称为通用逻辑模块（GLB，Generic Logic Block）；Altera 的 MAX7000、MAX3000 系列 EPLD 将之称为逻辑阵列模块（LAB，Logic Array Block），其功能一致，但结

构略有不同。

与 CPLD 基本逻辑单元相关的另外一个重要概念是乘积项。所谓乘积项即 MC 中与阵列的输出，其数量标志了 CPLD 容量，对 CPLD 的性能也有一定的影响，不同厂商的 CPLD 定制的乘积项数目不同。乘积项阵列，实际上就是一个与或阵列，每一个交叉点都是一个可编程熔丝，如果导通就是实现“与”逻辑，在与阵列后一般还有一个“或”阵列，用以完成最小逻辑表达式中的“或”关系。两者配合工作，完成复杂的组合逻辑功能。MC 中的可编程触发器与 FPGA 内部的可编程触发器相似，一般也包含时钟、复位/置位的配置功能，用以完成寄存器或者锁存器等功能。

(9) 布线池、布线矩阵

CPLD 的布线与连通方式与 FPGA 差异较大。前面讲过，FPGA 内部有不同速度、不同驱动能力的丰富连线资源，用以完成 FPGA 内部所有单元之间的互联互通。而 CPLD 的结构比较简单，其布线资源也相对有限，一般采用集中式布线池结构。所谓布线池其本质就是一个开关矩阵，通过打结点可以完成不同 MC 的输入与输出项之间的连接。Xilinx 9500 系列 CPLD 的布线池被称为高速互联与交叉矩阵（FastCONNECT II Switch Matrix），而 CoolRunner II 系列 CPLD 则被称为先进的互联矩阵（AIM，Advanced Interconnect Matrix）；Lattice 的布线池被称为全局布线池（GRP，Global Routing Pool）；Altera 的布线池叫做可编程互联阵列（PIA，Programmable Interconnect Array）。由于 CPLD 的器件内部互联资源比较缺乏，所以在某些情况下器件布线时会遇到一定的困难，Lattice 的 LC4000 系列器件在输出 I/O Bank 和功能模块 GLB 之间还添加了一层输出布线池（ORP，Output Routing Pool），在一定程度上提高了设计的布通率。

由于 CPLD 的布线池结构固定，所以 CPLD 的输入管脚到输出管脚的标准延时固定，被称为 Pin to Pin 延时，用 Tpd 表示。Pin to Pin 延时反应了 CPLD 器件可以实现的最高频率，也就清晰地标明了 CPLD 器件的速度等级。

(10) 其他辅助功能模块

CPLD 中还有一些其他的辅助功能模块，如 JTAG（IEEE 1532、IEEE 1149.1）编程模块，一些全局时钟、全局使能、全局复位/置位单元等。

1.1.2 FPGA 和 CPLD 的特点

FPGA/CPLD 既继承了 ASIC 的大规模、高集成度、高可靠性的优点，又克服了普通 ASIC 设计周期长、投资大、灵活性差的缺点，逐步成为复杂数字硬件电路设计的理想首选。当代 FPGA、CPLD 有以下特点：

- 规模越来越大。随着 VLSI（Very Large Scale IC，超大规模集成电路）工艺的不断提高，单一芯片内部可以容纳上百万个晶体管，FPGA 芯片的规模也越来越大。单片逻辑门数已愈百万，如 Xilinx Virtex-II Pro XC2VP125 已经达到 1250 万门以上的规模。芯片的规模越大所能实现的功能就越强，同时也更适