

EDA 工具应用丛书

CPLD/FPGA 的开发与应用

徐志军 徐光辉 编著

電子工業出版社

Publishing House of Electronics Industry

北京 • BEIJING

内 容 简 介

CPLD/FPGA 是目前应用最为广泛的两种可编程专用集成电路(ASIC), 特别适合于产品的样品开发与小批量生产。本书从现代电子系统设计的角度出发, 以全球著名的可编程逻辑器件供应商 Xilinx 公司的产品为背景, 系统全面地介绍该公司的 CPLD/FPGA 产品的结构原理、性能特点、设计方法以及相应的 EDA 工具软件, 重点介绍 CPLD/FPGA 在数字系统设计、数字通信与数字信号处理等领域中的应用。

本书内容新颖、技术先进、由浅入深, 既有关于大规模可编程逻辑器件的系统论述, 又有丰富的设计应用实例。对于从事各类电子系统(通信、雷达、程控交换、计算机等)设计的科研人员和应用设计工程师, 这是一本具有实用价值的新技术应用参考书。本书也可作为高等院校电子类高年级本科生或研究生的教材或教学参考书。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有, 翻版必究。

图书在版编目(CIP)数据

CPLD/FPGA 的开发与应用 徐志军等编著. —北京: 电子工业出版社, 2002.1

(EDA 工具应用丛书)

ISBN 7-5053-6909-1

I. … II. 徐… III. 可编程序逻辑器件—研究 IV.TP211

中国版本图书馆 CIP 数据核字(2001)第 065700 号

丛 书 名: EDA 工具应用丛书

书 名: CPLD/FPGA 的开发与应用

编 著 者: 徐志军 徐光晖

责任编辑: 段 颖

特约编辑: 詹晓耕

排版制作: 电子工业出版社计算机排版室

印 刷 者:

装 订 者:

出版发行: 电子工业出版社 <http://www.phei.com.cn>

北京市海淀区万寿路 173 信箱 邮编 100036

经 销: 各地新华书店

开 本: 787×1092 1/16 印张: 20.5 字数: 494 千字

版 次: 2002 年 1 月第 1 版 2002 年 1 月第 1 次印刷

书 号: ISBN 7-5053-6909-1

TN·1457

印 数: 册 定价: 元

凡购买电子工业出版社的图书, 如有缺页、倒页、脱页、所附磁盘或光盘有问题者, 请向购买书店调换。若书店售缺, 请与本社发行部联系调换。电话 68279077

前言

随着电子技术的不断发展与进步,电子系统的设计方法发生了很大的变化,传统的设计方法正逐步退出历史舞台;而基于 EDA 技术的芯片设计正在成为电子系统设计的主流。大规模可编程逻辑器件 CPLD 和 FPGA 是当今应用最广泛的两类可编程专用集成电路(ASIC),电子设计工程师利用它可以在办公室或实验室内设计出所需的专用集成电路,从而大大缩短了产品上市时间,降低了开发成本。此外,可编程逻辑器件还具有静态可重复编程和动态在系统重构的特性,使得硬件的功能可以像软件一样通过编程来修改,这样就极大地提高了电子系统设计的灵活性和通用性。

由于具备上述两方面特点, CPLD 和 FPGA 受到了世界范围内广大电子设计工程师的普遍欢迎,应用日益广泛。与此同时,可编程 ASIC 本身也在近几年得到了迅速的发展,其集成度、工作速度不断提高。目前已有单片可用门数超过 300 万门、工作频率可达 200 MHz 以上的可编程 ASIC 芯片问世。由于结构和工艺的改进,可编程 ASIC 芯片上包含的资源越来越丰富,可实现的功能越来越强,它们已成为当今实现电子系统集成化的重要手段。

Xilinx 公司是全球著名的可编程逻辑器件供应商,也是 FPGA 器件的发明者,它在多年用户需求的基础上开发了多种性能优越的系列产品,其售后服务周全,用户涉及面广,是开发和研制产品的最佳选择之一。本书以 Xilinx 公司的产品为背景,系统介绍该公司的 CPLD 和 FPGA 典型产品的结构原理、性能特点、设计方法以及相应的 EDA 工具软件,详细介绍 Foundation Series 开发软件的特点、安装和使用方法,重点介绍 CPLD/FPGA 在数字系统设计、数字通信与数字信号处理等领域中的应用。除此以外,还对 JTAG 边界扫描测试电路以及硬件描述语言 VHDL 的基本概念作了简要的介绍。本书在选材上注重内容新颖、技术先进,并在书中给出了经实践验证的大量设计实例,希望能对读者迅速掌握大规模可编程逻辑器件设计与应用有所帮助。同时,为保证书中实例不受具体器件限制,本书所有实例均采用 VHDL 语言或 Verilog HDL 语言编写,可以方便地移植到其他公司(如 Altera、Lattice、Actel 等)的 CPLD/FPGA 器件中。

本书由徐志军、徐光辉共同编写。其中第 1 章、第 5~7 章由徐志军副教授编写,第 2~4 章、第 8~11 章由徐光辉讲师编写,全书由徐志军统稿。研究生杨幸枝为本书的编写做了大量的工作,程东旭、谢波完成了本书的部分实例,在此深表谢意。此外,在本书的编写和出版过程中,杭州电子工程学院的潘松副教授提出了非常宝贵的意见,还得到了电子工业出版社以及解放军理工大学通信工程学院的领导和同事们的大力支持和帮助,在此表示衷心的感谢。

大规模可编程逻辑器件是一门正在发展的技术,涉及面广,技术更新快,新器件不断涌现。由于编者水平有限,加之时间仓促,书中难免有错误和不妥之处,恳请读者批评指正。

目 录

第 1 章 可编程 ASIC 与 EDA 技术	(1)
1.1 电子系统设计与 ASIC 技术	(1)
1.1.1 电子系统的设计方法	(1)
1.1.2 ASIC 的特点及其设计流程	(3)
1.1.3 ASIC 不同设计方法的特点	(5)
1.2 EDA 技术的基本特征和工具	(7)
1.2.1 EDA 技术的范畴	(7)
1.2.2 EDA 技术的基本特征	(8)
1.2.3 EDA 的基本工具	(9)
1.3 可编程 ASIC 及其特点	(12)
1.3.1 可编程 ASIC 简介	(12)
1.3.2 可编程 ASIC 的主要特点	(13)
1.3.3 可编程 ASIC 的发展趋势	(14)
第 2 章 Xilinx CPLD 系列器件	(17)
2.1 简介	(17)
2.1.1 XC9500 系列 CPLD 器件	(17)
2.1.2 XPLA 系列 CPLD 器件	(19)
2.2 XC9500 系列器件的结构	(20)
2.2.1 功能块	(21)
2.2.2 宏单元	(22)
2.2.3 乘积项分配器	(23)
2.2.4 FastCONNECT 开关矩阵	(25)
2.2.5 输入输出块	(25)
2.2.6 持续性	(27)
2.2.7 低功耗模式	(27)
2.2.8 加电特性	(27)
2.3 XPLA 系列器件的结构	(28)
2.3.1 逻辑块	(28)
2.3.2 宏单元	(30)
2.3.3 输入输出单元	(31)
2.3.4 简单时序模型	(31)
2.3.5 摆率控制	(32)
2.4 Xilinx CPLD 器件的命名	(32)
第 3 章 Xilinx FPGA 系列器件	(33)

3.1	简介	(33)
3.1.1	XC4000/Spartan 系列器件	(33)
3.1.2	Virtex/Virtex-E 系列器件	(35)
3.2	Spartan 系列器件的结构	(37)
3.2.1	可配置逻辑块 (CLB)	(38)
3.2.2	输入输出块 (IOB)	(41)
3.2.3	快速进位逻辑	(43)
3.3	Spartan 系列 FPGA 器件的配置	(43)
3.3.1	分布式 RAM	(43)
3.3.2	配置和测试	(46)
3.4	Virtex 系列 FPGA 器件的结构	(51)
3.4.1	Virtex 阵列	(52)
3.4.2	输入输出块 (IOB)	(53)
3.4.3	可配置逻辑块 (CLB)	(54)
3.4.4	时钟分布	(57)
第 4 章	CPLD/FPGA 的边界扫描测试	(58)
4.1	引言	(58)
4.2	IEEE 1149.1 边界扫描测试的结构	(59)
4.3	JTAG BST 操作控制	(60)
4.3.1	抽样预加载 (SAMPLE/PRELOAD) 指令模式	(63)
4.3.2	外测试 (EXTEST) 指令模式	(64)
4.3.3	旁路 (BYPASS) 指令模式	(66)
4.3.4	用户码 (USRCODE) 指令模式	(66)
4.3.5	ID 码 (IDCODE) 指令模式	(66)
4.4	Xilinx 器件的边界扫描	(67)
4.4.1	数据寄存器 (Data Register)	(68)
4.4.2	指令集 (Instruction Set)	(68)
4.4.3	位顺序 (Bit Sequence)	(70)
4.4.4	在设计中插入边界扫描	(70)
4.5	边界扫描描述语言 (BSDL)	(72)
4.6	Xilinx 器件下载	(72)
4.6.1	MultiLINUX 下载电缆	(73)
4.6.2	Xechecker 下载电缆	(75)
4.6.3	并行下载电缆	(75)
4.7	Altera 与 Lattice 公司 CPLD 下载电路	(77)
第 5 章	Xilinx Foundation 应用基础	(79)
5.1	Xilinx Foundation 简介	(79)
5.2	安装 Xilinx Foundation	(79)
5.2.1	系统需求	(79)

5.2.2	安装与卸载	(79)
5.2.3	授权文件 (LICENSE.DAT)	(80)
5.3	Foundation 应用入门	(81)
5.3.1	工具栏	(81)
5.3.2	菜单命令	(82)
5.4	Foundation 设计流程	(86)
5.4.1	原理图方式设计流程	(87)
5.4.2	HDL 方式设计流程	(88)
5.5	设计实例	(91)
5.5.1	HDL 流程方式设计向导	(91)
5.5.2	原理图流程方式设计向导	(97)
第 6 章	Foundation 高级应用	(99)
6.1	设计输入	(99)
6.1.1	HDL (硬件描述语言) 输入方式	(99)
6.1.2	FSM (状态机) 输入方式	(105)
6.1.3	Schematic (原理图) 输入方式	(107)
6.2	功能仿真和时序仿真	(112)
6.2.1	功能仿真	(113)
6.2.2	时序仿真	(118)
6.3	LogiBLOX 的应用	(119)
6.4	引脚锁定与器件下载编程	(122)
6.4.1	引脚锁定	(122)
6.4.2	CPLD 器件的编程下载	(124)
第 7 章	VHDL 语言简介	(127)
7.1	概述	(127)
7.2	VHDL 语言的基本结构	(127)
7.2.1	VHDL 语言基本单元及其构成	(127)
7.2.2	VHDL 语言构造体的子结构描述	(131)
7.2.3	包集合、库及配置	(137)
7.2.4	VHDL 的常用语句	(140)
7.3	VHDL 语言的数据类型及运算操作符	(145)
7.3.1	VHDL 语言的客体及其分类	(145)
7.3.2	VHDL 语言的数据类型	(146)
7.3.3	VHDL 语言的运算操作符	(150)
7.4	常用电路的 VHDL 描述	(153)
第 8 章	CPLD/FPGA 在数字系统设计中的应用	(157)
8.1	半整数分频器	(157)
8.1.1	小数分频的基本原理	(157)
8.1.2	电路组成	(157)

8.1.3	VHDL 程序	(158)
8.1.4	仿真波形	(159)
8.2	MIDI 音乐发生器	(160)
8.2.1	音名与频率的关系	(160)
8.2.2	音长的控制	(161)
8.2.3	演奏时音名的动态显示	(161)
8.2.4	Verilog HDL 程序	(162)
8.2.5	下载验证	(165)
8.3	实用多功能电子表	(166)
8.3.1	功能描述	(166)
8.3.2	电路组成	(167)
8.3.3	Verilog HDL 程序	(169)
8.3.4	下载验证	(175)
8.4	实用交通灯	(176)
8.4.1	引脚定义	(176)
8.4.2	内部结构	(177)
8.4.3	VHDL 程序	(177)
8.4.4	设计说明	(184)
8.4.5	仿真波形	(184)
8.5	实用电梯控制器	(186)
8.5.1	外部接口	(186)
8.5.2	内部结构	(186)
8.5.3	VHDL 程序	(187)
8.5.4	设计说明	(190)
第 9 章	CPLD/FPGA 在通信领域的应用	(192)
9.1	2FSK/2PSK 信号产生器	(192)
9.1.1	2FSK 基本原理	(192)
9.1.2	2FSK 信号产生器	(193)
9.1.3	2FSK/2PSK 信号产生器	(195)
9.1.4	VHDL 程序	(197)
9.1.5	仿真波形	(201)
9.2	位同步信号的提取	(202)
9.2.1	微分整流型数字锁相位同步法原理	(202)
9.2.2	CPLD 器件实现位同步的基本原理	(203)
9.2.3	性能改进	(204)
9.2.4	外部接口	(205)
9.2.5	VHDL 程序	(205)
9.3	循环冗余校验 (CRC)	(208)
9.3.1	基本原理	(208)

9.3.2	外部接口	(209)
9.3.3	内部结构	(209)
9.3.4	Verilog HDL 程序	(210)
9.3.5	程序说明	(212)
9.3.6	仿真波形	(213)
9.4	PCM 采编器	(213)
9.4.1	基本原理	(214)
9.4.2	PCM 采编器的实现	(214)
9.4.3	VHDL 程序	(215)
9.4.4	仿真波形	(217)
9.5	Gold 码产生器	(218)
9.5.1	DS-SS 系统中的 PN 序列	(219)
9.5.2	LFSR 的实现结构	(220)
9.5.3	Gold 码产生器	(221)
9.5.4	VHDL 程序	(222)
9.6	CDMA 匹配滤波器	(225)
9.6.1	匹配滤波器原理	(225)
9.6.2	简单匹配滤波器的结构	(226)
9.6.3	倒置型 FIR 滤波器	(228)
9.6.4	并行匹配滤波器	(229)
9.6.5	折叠滤波器	(230)
9.6.6	VHDL 程序	(231)
第 10 章	CPLD/FPGA 在 DSP 领域的应用	(236)
10.1	快速加法器的设计	(236)
10.1.1	串联加法器与并行加法器	(236)
10.1.2	流水线结构	(237)
10.1.3	流水线加法器	(238)
10.1.4	Verilog HDL 程序	(239)
10.1.5	性能对比	(240)
10.2	快速乘法器的设计	(240)
10.2.1	硬件乘法器的基本原理	(240)
10.2.2	一种实用的硬件乘法器	(242)
10.2.3	VHDL 程序	(243)
10.2.4	性能分析	(247)
10.3	图像解码中 IDCT 变换的实现	(247)
10.3.1	DCT/IDCT 的基本原理	(247)
10.3.2	二维 IDCT 的 FPGA 实现	(248)
10.3.3	Verilog HDL 程序	(250)
10.3.4	实现结果	(264)

第 11 章 CPLD/FPGA 在微机系统领域的应用	(265)
11.1 存储器设计	(265)
11.1.1 静态随机存储器 SRAM	(265)
11.1.2 堆栈	(267)
11.2 PS/2 键盘接口逻辑设计	(269)
11.3 MCS-51 单片机与 CPLD/FPGA 接口逻辑设计	(271)
11.3.1 总线方式	(271)
11.3.2 独立方式	(272)
11.4 VGA 显示器彩条信号发生器	(276)
11.4.1 基本原理	(276)
11.4.2 VHDL 程序	(277)
11.4.3 适配下载验证	(279)
11.5 RS232 通信方式控制电子琴	(280)
11.5.1 基本原理	(280)
11.5.2 VHDL 程序	(280)
11.5.3 适配下载验证	(285)
11.6 可编程 8255 并行 I/O 接口芯片的设计	(286)
11.6.1 8255 芯片外部接口	(286)
11.6.2 8255 芯片内部结构	(287)
11.6.3 8255 控制字及工作方式	(287)
11.6.4 VHDL 程序	(289)
附录 GW48 型 EDA 实验开发系统使用介绍	(298)
A. GW48-CK 教学实验系统使用介绍	(298)
B. 实验电路结构图	(302)
C. GW48 系统结构图信号名与芯片引脚对照表	(312)
参考文献	(315)

第1章 可编程 ASIC 与 EDA 技术

1.1 电子系统设计与 ASIC 技术

随着 21 世纪的到来, 人类正在跨入信息时代。从计算机到移动电话, 从家用娱乐使用的 VCD、HDTV、多媒体电脑到军用雷达、医用 CT 仪器等设备, 无不由各种各样的电子系统组成。在这些电子系统中, 数字化技术的应用比比皆是。由于数字技术在处理和传输信息方面的各种优点, 数字技术与数字集成电路(微处理器、存储器以及标准逻辑电路等)的使用已经成为构成现代电子系统的重要标志。

1.1.1 电子系统的设计方法

现代电子系统一般由模拟子系统、数字子系统和微处理器子系统三大部分组成。从概念上讲, 凡是利用数字技术处理和传输信息的电子系统都可以称为数字系统。像其他电子系统一样, 数字系统以往是采用传统的搭积木式的方法进行设计, 即由器件搭成电路板, 由电路板搭成电子系统。数字系统最初的“积木块”是固定功能的标准集成电路, 如 74/54 系列(TTL)、4000/4500 系列(CMOS)芯片和一些固定功能的大规模集成电路。用户只能根据需要进行选择合适的器件, 并按照器件推荐的电路搭成系统。在设计时, 设计者几乎没有灵活性可言, 搭成的电子系统所需的芯片种类多且数目大。

随着半导体技术、集成技术和计算机技术的发展, 电子系统的设计方法和设计手段发生了很大的变化。特别是进入到 20 世纪 90 年代以后, EDA(电子设计自动化)技术的发展和普及给电子系统的设计带来了革命性的变化, 并已渗透到电子系统设计的各个领域。

1.1.1.1 传统的设计方法与基于芯片的设计方法

在半导体技术方面, 可编程技术被广泛地应用到器件的设计上, 给数字系统的设计带来了很大的灵活性。传统的数字系统设计只能对电路板进行设计, 通过设计电路板来实现系统功能。利用 EDA 工具, 采用可编程器件, 通过设计芯片来实现系统功能, 这种方法称为基于芯片的设计方法。新的设计方法能够由设计者定义器件的内部逻辑和引脚, 将原来由电路板设计完成的大部分工作放在芯片的设计中进行。这样不仅可以通过芯片设计实现多种数字逻辑系统功能, 而且由于引脚定义的灵活性, 大大减轻了电路图设计和电路板设计的工作量和难度, 从而有效地增强了设计的灵活性, 提高了工作效率。同时, 基于芯片的设计可以减少芯片的数量, 缩小系统体积, 降低能源消耗, 提高系统的性能和可靠性。图 1.1 所示为电子系统的传统设计方法和基于芯片的设计方法。

可编程逻辑器件和 EDA 技术给今天的硬件系统设计者提供了强有力的工具, 使得电子系统的设计方法发生了质的变化。传统的“固定功能集成块+连线”的设计方法正逐步

地退出历史舞台，而基于芯片的设计方法正在成为现代电子系统设计的主流。现在，只要拥有一台计算机、一套相应的 EDA 软件和空白的可编程逻辑器件芯片，在实验室里就可以完成数字系统的设计和生产。可以说，当今的数字系统设计已经离不开可编程逻辑器件和 EDA 设计工具。

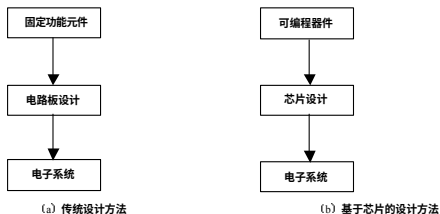


图 1.1 电子系统的设计方法

1.1.1.2 “自顶向下”与“自底向上”设计方法

近 10 年来，电子系统的设计方法发生了很大的变化。过去，电子产品设计的基本思路一直是先选用标准通用集成电路芯片，再由这些芯片和其他元件自下而上地构成电路、子系统和系统。这样设计出的电子系统所用元件的种类和数量均较多，体积与功耗大，可靠性差。随着集成电路技术的不断进步，现在人们可以把数以亿计的晶体管，几万门、几十万门、甚至几百万门的电路集成在一块芯片上。半导体集成电路已由早期的单元集成、部件电路集成发展到整机电路集成和系统电路集成。电子系统的设计方法也由过去的那种集成电路厂家提供通用芯片，整机系统用户采用这些芯片组成电子系统的“Bottom-up”（自底向上）设计方法改变为一种新的“Top-down”（自顶向下）设计方法。在这种新的设计方法中，由整机系统用户对整个系统进行方案设计和功能划分，系统的关键电路用一片或几片专用集成电路 ASIC 来实现，且这些专用集成电路是由系统和电路设计师亲自参与设计的，直至完成电路到芯片版图的设计，再交由 IC 工厂投片加工，或者是用可编程 ASIC（例如 CPLD 和 FPGA）现场编程实现。图 1.2 所示为电子系统的两种不同设计方法的设计步骤。

在“自顶向下”的设计中，首先需要进行行为设计，确定该电子系统或 VLSI 芯片的功能、性能及允许的芯片面积和成本等。接着进行结构设计，根据该电子系统或芯片的特点，将其分解为接口清晰、相互关系明确、尽可能简单的子系统，得到一个总体结构。这个结构可能包括算术运算单元、控制单元、数据通道、各种算法状态机等。下一步是把结构转换成逻辑图，即进行逻辑设计。在这一步中，希望尽可能采用规则的逻辑结构或采用自己经过考验的逻辑单元或模块。接着进行电路设计，逻辑图将进一步转换成电路图，在很多情况下，这时需进行硬件仿真，以最终确定逻辑设计的正确性。最后是进行版图设计，即将电路图转换成版图。

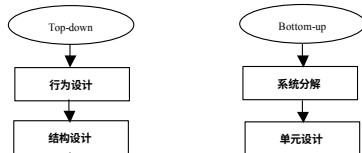


图 1.2 “自顶向下”与“自底向上”设计方法的步骤

“自底向上”的设计，一般是在系统划分和分解的基础上先进行单元设计，在单元的精心设计后逐步向上进行功能块设计，然后再进行子系统的设计，最后完成系统的总体设计。

1.1.2 ASIC 的特点及其设计流程

ASIC (Application Specific Integrated Circuits) 直译为“专用集成电路”，它是面向专门用途的电路，以此区别于标准逻辑 (Standard Logic)、通用存储器、通用微处理器等电路。目前在集成电路界，ASIC 被认为是用户专用集成电路 (Customer Specific IC)，即它是专门为一个用户设计和制造的。换言之，它是根据某一用户的特定要求，能以低研制成本、短交货周期供货的全定制、半定制集成电路。ASIC 的概念早在 20 世纪 60 年代就有人提出，但由于当时设计自动化程度低，加上工艺基础、市场和应用条件均不具备，因而没有得到适时发展。进入 20 世纪 80 年代后，随着半导体集成电路的工艺技术、支持技术、设计技术、测试评价技术的发展，IC 集成度大大提高，电子整机、电子系统高速更新换代的竞争态势不断加强，为开发周期短、成本低、功能强、可靠性高以及专利性与保密性好的专用集成电路创造了必要而充分的发展条件，并很快形成了用 ASIC 取代中、小规模集成电路来组成电子系统或整机的技术热潮。

ASIC 的提出和发展说明集成电路进入了一个新阶段。通用的、标准的集成电路已不能完全适应电子系统的急剧变化和更新换代。各个电子系统生产厂家都希望生产出具有自己特色和个性的产品，而只有 ASIC 产品才能实现这种要求。这也是自 20 世纪 80 年代中期以来，ASIC 得到广泛传播和重视的根本原因。目前 ASIC 在总的 IC 市场中的占有率已达 1/3，在整个逻辑电路市场中的占有率已超过一半。与通用集成电路相比，ASIC 在构成电子系统时具有以下几个方面的优越性：

- (1) 缩小体积、减轻重量、降低功耗。

- (2) 提高可靠性。用 ASIC 芯片进行系统集成后，外部连线减少，可靠性明显提高。
- (3) 易于获得高性能。ASIC 针对专门的用途而特别设计，它是系统设计、电路设计和工艺设计的紧密结合，这种一体化的设计有利于得到前所未有的高性能系统。
- (4) 可增强保密性。电子产品中的 ASIC 芯片对用户来说相当于一个“黑盒子”。
- (5) 在大批量应用时，可显著降低系统成本。

ASIC 按功能的不同可分为数字 ASIC、模拟 ASIC 和微波 ASIC；按使用材料的不同可分为硅 ASIC 和砷化镓 ASIC。一般来说，数字、模拟 ASIC 主要采用硅材料，微波 ASIC 主要采用砷化镓材料。砷化镓具有高速、抗辐射能力强、寄生电容小和工作温度范围宽等优点，目前已在移动通信、卫星通信等方面得到广泛应用。但总的说来，由于对砷化镓的研究较硅晚了十多年，目前仍是硅 ASIC 占主导地位。对于硅材料 ASIC，按制造工艺的不同还可进一步将其分为 MOS 型、双极型和 BiCMOS 型，其中 MOS 型 ASIC 占了整个 ASIC 市场的 70 % 以上，双极型 ASIC 约占 16 %，BiCMOS 型 ASIC 占 11 %。ASIC 的设计流程如图 1.3 所示，为了保证设计的正确性，对每一个设计层次都要进行计算机模拟与验证。

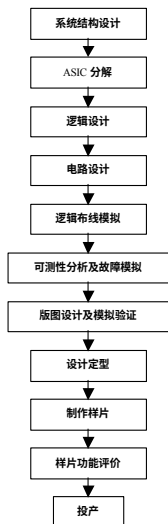


图 1.3 ASIC 设计的一般流程

1.1.3 ASIC 不同设计方法的特点

目前 ASIC 已经渗透到各个应用领域。它的品种是如此之广，从高性能的微处理器、数字信号处理器一直到彩电、音响和电子玩具电路，可谓五花八门。由于品种不同，在性能和价格上会有很大差别，因而实现各种设计的方法和手段也就有所不同。总的说来，人们希望能在尽可能短的时间内以最低的成本来获得最佳的设计指标，而所用的芯片面积又是最小的。但实际上要全面达到这种要求是很困难的，只能在芯片面积、性能、设计周期和成本之间作某种折衷。

按照设计方法的不同，ASIC 可分为全定制和半定制两类。全定制法是一种基于晶体管级的设计方法。半定制法是一种约束性设计方法。对于某些性能要求很高、批量较大的芯片，一般采用全定制法设计。例如半导体厂家推出的新的微处理器芯片，为了提高芯片的速度，设计时须采用最佳的随机逻辑网络，且每个单元都必须精心设计。另外，还要精心地布局布线，将芯片设计得最紧凑，以节省每一小块面积，降低成本。但是，很多产品的产量不大或者不允许设计时间过长，这时只能对芯片面积或性能作出牺牲，并尽可能采用已有的、规则结构的版图。或者为了争取时间和市场，也可采用半定制法，先用最短的时间设计出芯片，在占领市场的过程中再予以改进，进行二次开发。因此半定制与全定制两种设计方式的优缺点是互补的，设计人员可根据不同的要求选择各种合适的设计方法。下面简要介绍几种常用的设计方法和它们的特点。

1.1.3.1 全定制法

全定制法是一种基于晶体管级的设计方法，它主要针对要求得到最高速度、最低功耗和最省面积的芯片设计。为满足这种要求，设计者必须使用版图编辑工具从晶体管的版图尺寸、位置及连线开始亲自设计，以期得到 ASIC 芯片的最优性能。

运用全定制法设计芯片，当芯片的功能、性能、面积和成本确定后，设计人员要对芯片结构、逻辑、电路等进行精心的设计，对不同的方案进行反复比较，对单元电路的结构、晶体管的参数要反复地模拟优化。在版图设计时，设计人员要手工设计版图并精心地布局布线，以获得最佳的性能和最小的面积。版图设计完成后，要进行完整的检查、验证，包括设计规则检查、电学规则检查、连接性检查、版图参数提取、电路图提取、版图与电路图一致性检查等。最后，通过模拟，才能将版图转换成标准格式的版图文件交与厂家制造芯片。

由此可见，采用全定制法可以设计出高速度、低功耗、省面积的芯片，但设计的周期很长（一般要 1~2 年），设计成本很高，只适用于对性能要求很高（如高速芯片）或批量很大的芯片（如存储器、通用芯片）。

1.1.3.2 门阵列法

门阵列法是最早开发并得到广泛应用的 ASIC 设计技术，它是在一个芯片上把门排列成阵列形式，严格地讲是把含有若干个器件的单元排列成阵列形式。门阵列设计法又称“母片”法，母片是 IC 工厂按照一定规格事先生产的半成品芯片。在母片上制作了大量规则排

列的单元，这些单元依照要求相互连接在一起即可实现不同的电路要求。母片完成了绝大部分芯片工艺，只留下一层或两层金属铝连线的掩膜需要根据用户电路的不同而定制。典型的门阵列母片结构如图 1.4 所示。

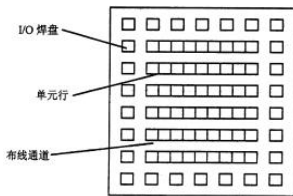


图 1.4 通道型门阵列的母片结构

门阵列法的设计一般是在 IC 厂家提供的电路单元库基础上进行的逻辑设计，而且门阵列设计软件一般都具有较高的自动化水平，能根据电路的逻辑结构自动调用单元库的版图，自动布局布线。因此，设计者只要掌握很少的集成电路知识，设计过程也很简便，设计制造周期短、设计成本低。但门的利用率不高，芯片面积较大，而且母片上制造好的晶体管都是固定尺寸的，不利于设计高性能的芯片。所以这种方法适用于设计周期短、批量小、成本低、对芯片性能要求不高的芯片设计。一般采用此法迅速设计出产品，在占领市场后再用其他方法“再设计”。

1.1.3.3 标准单元法

标准单元设计法又称单元库法，它以精心设计好的标准单元库为基础。设计时可根据需要选择库中的标准单元构成电路，然后调用这些标准单元的版图，并利用自动布局布线软件完成电路到版图——对应的最终设计。标准单元库一般应包括以下几方面的内容：

(1) 逻辑单元符号库 包含各种标准单元的名称、符号、输入/输出及控制端，供设计者输入逻辑图时调用。

(2) 功能单元库 该库是在单元版图确定后，从中提取分布参数再进行模拟得到标准单元的功能与时序关系，并将此功能描述成逻辑与时序模拟所需要的功能库形式，供逻辑与时序模拟时调用。

(3) 拓扑单元库 该库是单元版图主要特征的抽象表达，去掉版图细节，保留版图的高度、宽度及 I/O、控制端口的位。这样，用拓扑单元进行布局布线，既保留了单元的主要特征，又大大减少了设计的数据处理量，提高了设计效率。

(4) 版图单元库 该库以标准的版图数据格式存放各单元精心设计的版图。

相比于全定制设计，标准单元法设计的难度和设计周期都小得多，而且也能设计出性能较高、面积较小的芯片。和门阵列法相比，标准单元法设计的电路性能、芯片利用率以及设计的灵活性均好于前者，既可用于设计数字 ASIC 又可用于设计模拟 ASIC。标准单元库的投资较大，而且芯片的制作需要全套的掩膜版和全部工艺过程，因此生产周期及

成本均比门阵列法高，它适用于性能指标较高而生产批量又较大的芯片设计。

1.1.3.4 可编程逻辑器件法

可编程逻辑器件是 ASIC 的一个重要分支。与前面介绍的几类 ASIC 不同，它是一种已完成了全部工艺制造、可直接从市场上购得的产品，用户只要对它编程就可实现所需要的电路功能，所以称它为可编程 ASIC。前面三种方法设计的 ASIC 芯片都必须到 IC 厂家去加工制造才能完成，设计制造周期长，而且一旦有了错误，需重新修改设计和制造，成本和时间要大大增加。而采用可编程逻辑器件，设计人员在实验室即可设计和制造出芯片，而且可反复编程，修改错误，这就大大方便了设计者。

可编程逻辑器件发展到现在，规模越来越大，功能越来越强，价格越来越便宜，相配套的 EDA 软件越来越完善，因而深受设计人员的喜爱。目前，在电子系统开发阶段的硬件验证过程中，一般都采用可编程逻辑器件，以期尽快开发产品，迅速占领市场。等大批量生产时，再根据实际情况转换成前面三种方法中的一种进行“再设计”。表 1-1 给出了不同设计方法的综合比较。

表 1-1 不同设计方法的综合比较

设计方法	设计效率	功能/面积	电路速度	设计出错率	可测性	可重新设计性
全定制	×	√	√	√	△	×
标准单元	—	—	○	△	—	○
门阵列	○	△	—	△	—	○
可编程逻辑器件	√	△	△	×	√	√

注：√代表最高（最大），○代表高（大），—代表中等，△代表低（小），×代表最低（最小）。

1.2 EDA 技术的基本特征和工具

EDA 可以看作是电子 CAD 的高级阶段。在现代电子系统设计领域，EDA 技术已经成为电子系统设计的重要手段。无论是设计逻辑芯片还是数字系统，其设计作业的复杂程度都在不断增加，现今仅仅依靠手工进行数字系统设计已经不能满足要求，所有的设计工作都需要在计算机上借助于 EDA 软件工具进行。在 EDA 软件的支持下，设计者只需完成对系统功能的描述，就可以由计算机软件进行处理得到设计结果，修改设计如同修改程序一样方便。利用 EDA 设计工具，设计者可以预知设计结果，减少设计的盲目性，极大地提高设计的效率。

1.2.1 EDA 技术的范畴

EDA (Electronics Design Automation) 即电子设计自动化。EDA 技术指的是以计算机硬件和系统软件为基本工作平台，继承和借鉴前人在电路和系统、数据库、图形学、图论和拓扑逻辑、计算数学、优化理论等多学科的最新科技成果而研制成的商品化 EDA 通用支撑软件和应用软件包，旨在帮助电子设计工程师在计算机上完成电路的功能设计、逻辑

设计、性能分析、时序测试直至 PCB（印刷电路板）的自动设计等。

与早期的电子 CAD 软件相比，EDA 软件的自动化程度更高，功能更完善，运行速度更快，而且操作界面友好，有良好的数据开放性和互换性，即不同厂商的 EDA 软件可相互兼容。因此，EDA 技术很快在世界各大公司、企业和科研单位得到了广泛应用，并已成为衡量一个国家电子技术发展水平的重要标志。

EDA 技术的范畴应包括电子工程师进行产品开发的全过程，以及电子产品生产的全过程中期望由计算机提供的各种辅助工作。从一个角度看，EDA 技术可粗略分为系统级、电路级和物理实现级三个层次的辅助设计过程；从另一个角度来看，EDA 技术应包括电子电路设计的各个领域，即从低频电路到高频电路、从线性电路到非线性电路、从模拟电路到数字电路、从分立电路到集成电路的全部设计过程。EDA 技术的范畴和功能如图 1.5 所示。

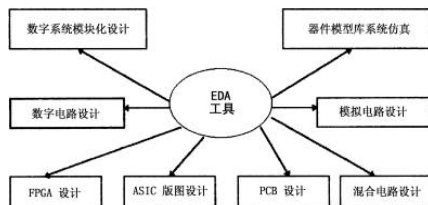


图 1.5 EDA 技术的范畴

1.2.2 EDA 技术的基本特征

现代 EDA 技术的基本特征是采用高级语言描述，具有系统级仿真和综合能力。下面介绍与这些基本特征有关的几个新概念。

1. 并行工程和“自顶向下”设计方法

根据美国防卫分析研究所 R-338 报告中的定义，所谓并行工程是指“一种系统化的、集成化的、并行的产品及相关过程的开发模式（相关过程主要指制造和维护）。这一模式使开发者从一开始就要考虑到产品生存周期的诸多方面，包括质量、成本、开发时间及用户的需求，等等。”

“自顶向下”（Top-down）的设计方法在前面已做了简单的介绍。这种方法首先从系统级设计入手，在顶层进行功能方框图的划分和结构设计；在方框图一级进行仿真、纠错，并用硬件描述语言对高层次的系统行为进行描述；在功能一级进行验证，然后用逻辑综合优化工具生成具体的门级逻辑电路的网表，其对应的物理实现级可以是印刷电路板或专用集成电路。“Top-down”设计方法有利于在早期发现结构设计中的错误，提高设计的一次成功率，因而在现代 EDA 系统中被广泛采用。