

EDA 工程系列丛书之一

EDA 工程概论

曾繁泰 李 冰 李晓林 著

清华大学出版社

(京)新登字 158 号

内 容 简 介

本书是“EDA 工程系列丛书”之一，共分 10 章。第 1 章简要概述了 EDA 工程的基本概念；第 2 章介绍了 EDA 工程理论基础；第 3 章介绍了 EDA 工程方法，涉及行为描述、SOC 设计方法、IP 复用、ASIC 设计方法、虚拟机、测试平台设计方法、软硬件协同验证等内容；第 4 章介绍了 VHDL 语法基础、程序设计方法；第 5 章介绍了 EDA 工程的实现载体之一——各类可编程器件的原理、结构、编程方法；第 6 章介绍了电子产品设计开发过程，主要针对芯片设计、电路板设计、电子系统设计三个方面进行介绍；第 7 章是专业 EDA 工具开发基础，介绍了 EDA 工程数据库的管理，属于软件工具开发的范畴；第 8 章介绍了各种 EDA 工具软件的应用，怎样建立集成设计环境，利用集成设计环境设计专用集成电路的方法；第 9 章介绍了 SOC 的设计方法，涉及 IP 复用方法、系统重构方法、基于集成平台的设计方法；第 10 章展望了 EDA 工程的未来发展趋势。

本书概述了 EDA 工程的理论基础、知识体系，阐述了 EDA 工具的开发、EDA 工具应用于 PCB 设计、FPGA 设计、ASIC 设计、SOC 设计的方法，大致反映了 EDA 工程的总体内容，使读者对 EDA 工程的概貌有一个大致的了解。不同领域的技术人员，不同专业的学生可以有选择地阅读。

本书适用于高校电子、计算机、微电子、通信等相关专业的高年级学生的 EDA 工程专业教材，可以作为研究生的参考书，也可作为电子行业技术人员的参考读物。

版权所有，翻印必究。

本书封面贴有清华大学出版社激光防伪标签，无标签者不得销售。

书 名：EDA 工程概论

作 者：曾繁泰 李 冰 李晓林 著

出 版 者：清华大学出版社(北京清华大学学研大厦，邮编 100084)

<http://www.tup.tsinghua.edu.cn>

责任编辑：欧振旭

印 刷 者：

发 行 者：新华书店总店北京发行所

开 本：787×1092 1/16 印张：28.75 字数：659 千字

版 次：2002 年 1 月第 1 版 2002 年 1 月第 1 次印刷

书 号：ISBN 7-302-05057-0/TP·2957

印 数：0001~5000

定 价：41.00 元

新世纪的 SOC 设计和测试方法学

贺《EDA 工程》系列丛书出版

信息技术的蓬勃发展带来集成电路技术的飞跃进步。集成电路 (IC) 设计和制造在新世纪将会有有一个前所未有的发展。

众所周知, 微电子科学技术在短短半个世纪的时间里已经形成了有一千五百亿美元的 IC 产业, IC 制造的特征尺寸已达到 $0.13\mu\text{m}$ 及 $0.13\mu\text{m}$ 以下, 芯片集成度及速度等已至 3T 时代(Tera scale, 10^{12})。IC 的规模已达到把整个系统集成到一个芯片, 也就是片上系统(SOC: System on Chip)的阶段。SOC 的出现和发展大大加速了人类社会的信息化进程, 它已经成为信息产业乃至 21 世纪知识经济实现的关键技术基础之一。片上系统已在国际学术界和工业界受到广泛关注。片上系统的大量生产和应用, 可以为工业界创造大量的商业机会, 使工业界从容对待新世纪的技术挑战, 同时也为研究领域对片上系统的设计方法学和测试方法学提出许多新的研究课题。表 1 示意了目前国际集成系统芯片的发展和对在新世纪中发展的预测。它预示人们, 集成系统芯片的发展, 需要研究的技术和方法有:

表 1 目前国际集成系统芯片情况及未来发展的预测

年份		1999	2002	2005	2008	2011	2014
工艺设计规则	μm	0.18	0.13	0.10	0.07	0.05	0.035
新逻辑占面积的比	%	64	32	16	8	4	2
再利用逻辑面积比	%	16	16	13	9	6	4
存储器占用面积比	%	20	52	71	83	90	94
晶体管逻辑密度	MT/cm^2	20	54	133	328	811	2000
新逻辑产能	MT/PY	1.4	2.1	2.9	4.2	6.0	8.6
再利用逻辑产能	MT/PY	2.9	4.1	5.9	8.4	12.0	17.1
最大功耗 (便携)	W	1.4	2	2.4	2	2.2	2.4
最大功耗 (高性能)	W	90	130	160	170	174	183

拓宽系统集成的理论和算法、研究集成系统芯片的设计方法学, 它需要设计方法的革新和革命; 再利用逻辑的定义、划分和设计, 智权 IC 内核(IP: Intellectual Property)的设计、生成和集成, 即智权 IC 内核的建立和完善; 深亚微米或超深亚微米向人类提出的挑战——VLSI/ULSI 芯片面临三方面危机: 功耗的危机、内联结构危机和复杂性危机, 因此人类只能在总结经验的基础上, 进行低压低功耗设计、可测试性设计和高可靠性设计 (包括全片封装设计-SiP 等), 迎接挑战。

SOC 设计方法现状及流程

VLSI 设计方法学在过去的十多年时间里发生了多次的变化,主流设计经历了三个阶段的大变革:基于定时驱动的设计(Timing-driven design:TDD)是第一阶段。主要表现在基于用户的一个较小逻辑级(约 5000 门到 25 万门)的深亚微米的 ASIC 设计,设计仅有限地完成 RTL 综合(并不含有模拟电路),其定时分析和延时计算、布局布线和物理验证均只在一个层次上完成,其关键技术是门级的模拟仿真、布局布线,测试结构没有应用边界扫描结构的设计。第二阶段的设计表现为基于行为级硬件描述的布局规划和块结构进行 RTL 设计(Block-based design: BBD)。它可以按照文本和定制接口的模块方式完成原型设计,被称为基于模块的设计技术。主要特征为以基于用户或应用的行为或寄存器级设计描述电路框架(约 15 万门到 150 万门)的深亚微米集成电路的原始设计为基础,基本以模块为中心,加以模块接口的文本描述,设计重利用的模块为有限的按功能分类的软块、固块和硬块等,少量用模数混合电路(A/D 或 PLL 等)。在物理层次上,布局可以层次化进行,布线只在一个层次上进行,定时分析和物理验证只能在有限层次上摊平进行,总线结构为定制的,测试结构为扫描结构/边界扫描结构 JTAG/建内自测试(BIST)。第三个阶段就是现在常用的基于平台的设计(Platform-based design:PBD)方法阶段(如图 1 所示)。以直接在硅上接入系统和总线为目标的结构和 VC(虚拟元件)设计,多半是有应用目标的固核和硬核重利用设计,总线均采用标准结构或有多应用目标的专用总线,混合信号集成表现为功能和直接应用接口(如直接接入声像、直接接收和发送无线电磁数据信号等),从物理布局布线、测试结构、定时分析和验证方式等均是层次化的。

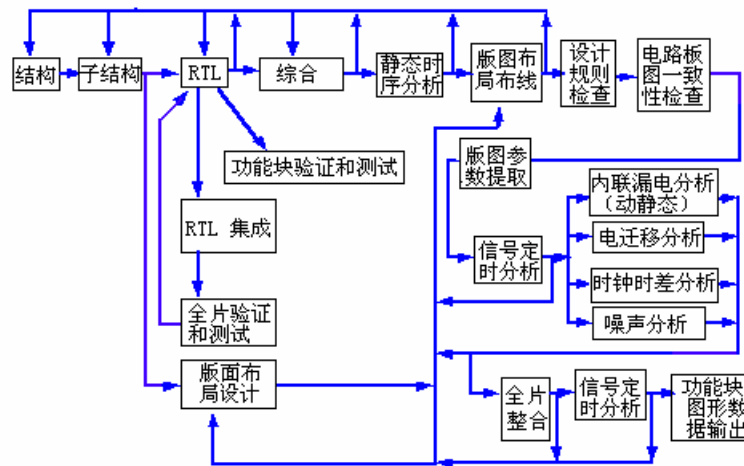


图 1 基于平台的设计

近年,学术界有学者提出按照电路的重利用程度来划分 SOC 设计阶段进步的理论。集成电路发展到今天,重利用技术经历了标准单元(Standard Cell Library)建立、IP 模块(Intellectual Property Block)的引进、结构(Architecture)层次上的整合和特定的整个集成电路(IC)作为单元的前期应用研究四个发展时代,其中心就是如何加速 SOC 的发展(如何

建立新的设计模型，如何加速设计，如何改进工艺，如何研发新的设计及测试工具以及如何设定测试策略和建立测试方法等)。无论是哪种划分，目的只有一个，就是要使集成电路的进步有一个清晰的前进思路，以便能更好地加快集成电路设计方法前进的步伐，从而推进信息的进步，造福于人类。

SOC 设计方法问题和面临的挑战

面向 SOC 的设计方法主要包括三个方面：基于单片集成系统的软硬件协同设计和验证技术、IP 核生成及复用技术、超深亚微米 (UDSM) 集成电路的设计理论和技术。基于单片集成系统的软硬件协同设计和验证理论是从一个给定的系统任务和行为需求描述着手，进行有效地系统任务和所需资源的分析，并对系统任务和行为需求进行划分和变换，按照一定法则和规定能自动生成符合系统功能和行为规范要求的硬件和软件架构，并能按照事先的约定进行符合验证。SOC 的关键元素的 IP 核生成及复用技术主要是指构成所要求规格的硬核 (Hard Core)、软核 (Soft Core) 和固核 (Firm Core) 生成理论和方法及复用技术两个方面。所谓设计复用包含设计文件复用技术和如何生成可被他人复用的设计文件。超深亚微米 (UDSM) 集成电路的设计理论和技术是指集成电路设计规格 (沟道、线宽等) 进入 $0.1\ \mu\text{m}$ 以下 (即通常所说的纳米级设计) 面临的挑战和所涉及的理论与方法等。

目前的 SOC 设计方法所涉及的理论基础基本上建立在等比例规则 (Scaling Law) 之上或在准等比例规则之上。当芯片设计进入纳米后出现许多新的物理现象，这是设计者事先估计不到的。例如，如果 $0.2\ \mu\text{m}$ 的设计降到纳米范围 ($0.1\ \mu\text{m}$)，我们会有以下结果：

满意的结果		不满意的结果	
尺寸	$\times 1/2$	功耗密度	$\times 1.6$
电压	$\times 1/2$	RC 延时 / 晶体管延时	$\times 3.2$
电场	$\times 1$	电流密度	$\times 1.6$
速度	$\times 3$	电压噪声	$\times 3.2$
成本	$\times 1/4$	设计复杂度	$\times 4$

除此以外，芯片复杂性带来的 SOC 可测性问题、信号完整性问题、内联功耗问题、芯片的天线效应和电磁效应问题以及有可能冲击许多已经存在的极限，如封装极限等，这些都严重制约着 SOC 的深亚微米设计技术的发展。现今，工作站 / 台式计算机中的微处理器接到外界的热阻 θ_{ja} 值 (等于在连接温度减去外界温度后除以芯片功耗) 的允许极限在 $0.6\sim 1^\circ\text{C}/\text{W}$ 范围内 (相当于环境温度 45°C 时，连接温度约 100°C)。ITRS 推算预测鉴于成本限制，连接温度要从 1999 年的 100°C 降到 85°C ，即 θ_{ja} 在未来三年要控制在 $0.25^\circ\text{C}/\text{W}$ 之内。这留给设计课题的空间就相当有限。因此必须变革设计方法，必须研究 EDA 存在的理论和方法。

另外，如果说 20 世纪 90 年代初期前 EDA 手段的先进性是领先于设计课题的话，那么今天的设计就已远远超出设计手段所能支持的范围。现在的设计方法是“通过调整进行设计 (Design by correct)”，而不能是“通过设计进行调整 (Correct by design)”完成集成电路

的设计课题。这就是今天设计手段 (EDA Tools) 的局限性。而且,设计课题所希望 EDA 手段能完成的目标的“设计带沟 (Design Gap)”还在指数性地扩大。如何研究新的设计理论和方法,并将它们融入新的设计手段之中,从而使设计带沟减小,尽可能地使 SOC 课题逐步做到通过设计进行调整,使设计一次成功就显得十分重要。因此,研究和新的 EDA 工程方法的课题愈来愈重要。它包括不同厂商间的 EDA 工程方法优势互补、通过即插即拔构成法进行调整 (设计资源在更高层次上有效应用) 及验证。更好的设计方法和更好 IP 的生成,管理工具和更优秀的 EDA 研究成果出现、能够提供给 SOC 设计者十分优秀的工具。

SOC 测试问题和目前的研究现状

集成电路发展到今天的 SOC 时代,遇到最为棘手的问题是 SOC 芯片的可测性问题和测试方法问题。根据现有的数字系统可测性设计理论和度量方法,数字系统的可控制性和可观测性是系统的电路结构和数据传输路径的长度有关,而它的测试复杂度 (测试矢量长度和宽度以及所能达到的测试出故障覆盖率)与系统内部存在的环路长度和数量成正比。系统内部环路长度越长测试复杂度越高,系统内部环路数量越多测试复杂度和难度也越大,并且它们间的关系是指数性增加关系。

因此,SOC 的测试问题面临深亚微米设计和测试技术的各种难题。

内核内部测试问题。对于一个 IP 核经过精心设计可以具有很好的可测性,但是在具体被嵌入使用时,可能带来两方面问题。其一,如果外部调用 IP 核的电路的设计不当引入环路,或外部电路可测性设计存在隐患,都会使 IP 核的可测性下降;其二,核内部的噪声、信号延时、信号干扰及可能出现的天线效应等也会使可控制性和可观测性大幅度下降。一般情况下,SOC 系统芯片设计者并不了解内核内部细节,需要内核设计者提供内核测试策略 (即可测试性结构和测试矢量等)。然而,内核设计者对系统芯片环境和目标构成了解甚少,只是根据系统设计者提供的规格要求进行设计,并给出测试设计方案。如测试方法 (BIST、扫描方法、IDDQ、结构测试或功能测试等)、故障类型、参量测试 (静态测试、动态测试等)、测试覆盖率和故障覆盖率的级别等。根据测试时间、性能、面积或功耗考虑,对于测试故障覆盖率与测试价格关系进行必要的优化折中权衡。因此内核测试矢量需要有标准,这就是 IEEE P1500 系列标准,目前该标准尚在讨论中。内核测试的知识传送。目前就系统芯片测试而言,由于模块设计开发者在空间上分布世界各地,因此要求有关的内核测试信息从内核提供者传递给内核用户。这些信息包括内核内部可测性设计 (DFT)、测试模式和相应的测试协议、故障覆盖率、测试码数据等。而系统芯片在这方面存在极大困难。对嵌入的内核访问,传统测试方法与系统芯片测试方法区别是元件端口 (芯片和内核的原始输入和输出) 的可访问性。对于 SOB,被测试芯片当作标准单元,测试时,物理上可直接访问芯片引脚。相反,内核通常嵌入在系统芯片内部,因此,直接物理访问是不可能的。那么芯片设计必须提供从芯片引脚到嵌入式内核端口的电子测试访问结构。给嵌入式内核提供内核测试矢量的结构,SOC 内部应有可提供内核之间测试硬件和内核与它周围逻辑之间的隔离 (即具备可隔离性)。

系统芯片测试的集中和优化：测试质量和测试成本（面积、性能、功耗和测试之间权衡）。系统芯片测试是一种复合测试，包括各个内核的单体测试、用户定义逻辑（UDL）测试和互连逻辑和连线的测试。系统芯片复合测试要求合适的测试调度。测试调度必须满足许多芯片级要求，如总的测试时间、功耗、面积代价等。为了避免影响初始化和各个内核的最终内容，测试调度也需要运行内核内部和内核之间的测试矢量。系统芯片复合测试必须遵循这些调度约束。系统芯片测试同样具有深亚微米芯片固有的测试挑战——提供充分的缺陷/故障覆盖率，包含总的测试价格和满足上市时间。集成电路测试技术原本落后于设计技术，现有的 EDA 手段在集成电路可测性设计和测试自动化（测试模拟和故障仿真、ATPG 和可测性度量等）方面都十分薄弱，或者说其 EDA 能力十分有限，难于适应发展 SOC 的需要。

总之，新世纪里，SOC 会蓬勃发展，EDA 工程前景甚好。但竞争激烈、困难很大。只要我们不懈努力，会达到胜利的彼岸。《EDA 工程》系列丛书正是为了该目的而奉献给广大读者的。

孙义和

教育部 IC 设计网上合作研究中心主任

2001 年 8 月 于北京

前 言

电子产品随着技术的进步,更新换代速度可谓日新月异。电子产品开发研制的动力源、加速器就是 EDA 工程。现代电子设计技术的核心也是 EDA 工程。EDA (Electronic Design Automation) 工程就是以计算机为工作平台,以 EDA 软件工具为开发环境,以硬件描述语言为设计语言,以可编程器件为实验载体,以 ASIC、SOC 芯片为目标器件,以电子系统设计为应用方向的电子产品自动化设计过程。EDA 工程的理论基础是自动化理论、软件工程、编译原理、电路理论、微电子学、半导体工艺等学科。EDA 工程的迅速发展,逐渐成为一门崭新的学科,它的知识体系结构为:

- 现代电子设计理论
- 硬件描述语言
- EDA 设计方法论
- EDA 工具开发及应用
- 可编程器件原理、结构及应用
- EDA 工程应用及实践

EDA 工程广义的定义范围是半导体工艺设计自动化、可编程器件设计自动化、电子系统设计自动化、印刷电路板设计自动化、仿真与测试故障诊断以及形式验证自动化。EDA 工程是指电子设计自动化,不包含电子生产自动化。EDA 工程在我国尚未普及,电子设计专业人员、电子和计算机专业的大学生与研究生亟需掌握 EDA 工程。为了完整地建立这门学科,构筑 EDA 工程知识体系,有必要将这些理论、方法、工具、工艺、实践等系统而完整地组织起来,创建一门立论严谨、基础坚实、方法先进、对国民经济建设亟需的先进学科,这是作者的义务。EDA 工程属于电路理论、半导体物理、计算机软件的边缘学科。创建 EDA 工程专业,这是作者的设想。北京清华大学出版社金地公司的朋友独具慧眼,选题准确,决策果断,与作者协商后,计划出版一套 EDA 工程丛书,把它介绍给国内读者。丛书出版的初步计划为:

- 《EDA 工程概论》 丛书之一,曾繁泰 李 冰 李晓林 著
- 《VHDL 程序设计》 丛书之二,曾繁泰 陈美金 著
- 《可编程器件应用导论》 丛书之三,曾繁泰 侯亚宁 崔元明 著
- 《EDA 工程方法学》 丛书之四,曾繁泰 沈卫红 著
- 《EDA 工程实践》 丛书之五,曾繁泰 曾 峰 著

《EDA 工程概论》阐述了 EDA 工程的知识体系、EDA 工程与传统电子设计方法的根本区别。内容涉及 EDA 工程理论基础、EDA 软件工具开发、PLD 硬件结构、IC 设计实践

等方面。

《可编程器件应用导论》从应用的角度阐述了可编程器件的三种基本形式：数字、模拟、混合可编程器件的原理、结构、参数和最新进展；阐述了嵌入式（ESP）PLD、SOC 芯片、主流器件在深亚微米条件下的电路性质以及对电子设计人员提出的挑战。

《VHDL 程序设计》主要由两部分组成，上篇阐述了 VHDL 语言的语法基础和程序结构；下篇阐述了组合、时序逻辑、微处理器、总线接口模块的设计方法，以及可测试设计，优化设计方法。上篇介绍 VHDL 语言基础，力求概念清楚。下篇介绍 VHDL 程序设计，力求实践丰富。书中实例，都是作者从工程实践中精选出来的，这些实例，读者可以做成 IP 模块，建立自己的 IP 库，以方便重复利用。本书力求能够讲清硬件描述语言的语法、程序结构、编程方法、同时把大量的基础 IP 模块奉献给大家，使之对设计工作有所帮助。

《EDA 工程方法学》阐述了在专用集成电路（ASIC）设计、系统集成（SOC）中的逻辑综合、器件实现、系统仿真、时序分析、故障诊断、形式验证、优化设计等专题。归纳了 EDA 方法学的一般规律，建立了现代电子设计理论的基础。一些前沿课题正在研究、探索之中。

《EDA 工程实践》通过实例，阐述了利用 EDA 工程进行电子系统设计、ASIC 设计、SOC 设计的方法；利用深亚微米工艺条件下的电路性质和计算机软件工程进行 EDA 工具软件设计、测试平台设计、软硬件协同验证环境设计的方法；探讨了我国 EDA 专业软件产业的发展方向，探讨了无芯片 EDA 公司（从事 IP 模块生产）和无生产线集成电路设计公司的运作机制。

这套专著系统而全面地阐述了 EDA 工程的理论基础，适合于 EDA 工具的软件开发人员和电子系统设计的硬件开发人员阅读。软硬件工程人员在这里找到了他们的结合点。计算机硬件的研究设计孕育了软件产业的发展，软件产业的发展，特别是操作系统、设计工具的发展，又加速了硬件的设计自动化。这种相互作用，使电子产业加速发展。了解、学习、掌握 EDA 工程理论和方法，有利于我们在电子科学领域超越世界先进水平。

这套专著的出版，像五块奠基石，奠定了 EDA 工程的学术基础，建立了 EDA 工程的知识体系；这套专著的出版，对推动我国 EDA 工程的发展，加快更新传统电子设计方法，改变我国电子产业落后面貌将起到积极作用；这套专著的出版，如果能对电子工程师们的设计工作有所帮助，我们就会感到十分欣慰。因为一切为读者着想，是作者的写作目的，也是出版者的责任。我们呼吁教育管理有关部门，加快更新陈旧教材；改变我国电子工程教育落后于科技发展的局面。作者也希望能有三尺讲坛，将这门学科介绍给后人。

完成这套丛书的写作工作，是一项十分繁重而艰苦的劳动，涉及面广，资料缺少，难度很大，十分具有挑战性。出版界的朋友给予我们大力支持，联络出版具体事务；清华大学微电子研究所孙义和教授为本书撰写了序言；山东大学 EDA 中心的同志分担了我们的许多繁杂的工作，使我们有精力、有时间完成这项工作。在此向支持帮助我们的各界朋友、

学校领导、孙义和教授、同事们表示衷心的感谢。

本书由曾繁泰、李冰、李晓林执笔完成。由于作者水平所限，书中不妥之处在所难免，请广大读者批评指正。

作者于山东大学多屏幕微机研究所
EDA 工程研究中心
2001.8

目 录

第 1 章 概述.....	1
1.1 EDA 工程发展历程.....	1
1.2 EDA 工程的基本特征.....	3
1.3 EDA 工程的应用范畴.....	4
1.4 EDA 工程的设计方法.....	5
1.5 EDA 工程的学术范畴.....	7
1.5.1 IC 设计的必备知识.....	7
1.5.2 EDA 工程语言	8
1.5.3 EDA 工程的硬件产品设计方法学.....	8
1.5.4 EDA 工程的软件工具设计方法学.....	9
1.5.5 深亚微米建模.....	9
第 2 章 EDA 工程理论基础	10
2.1 现代电子设计概念.....	10
2.1.1 EDA 工程的实现载体.....	11
2.1.2 EDA 工程的设计语言.....	11
2.1.3 EDA 系统的框架结构.....	12
2.1.4 EDA 工程的理论基础.....	12
2.2 系统建模.....	12
2.2.1 数字电子系统模型.....	12
2.2.2 模拟器件的建模.....	14
2.2.3 并行建模环境.....	17
2.2.4 建立 PLD 器件的物理模型	21
2.3 高层次综合.....	23
2.3.1 高层次综合概述.....	23
2.3.2 高层次综合的范畴.....	24
2.4 故障测试.....	28
2.4.1 概述.....	28
2.4.2 故障模型.....	29
2.4.3 故障仿真.....	29
2.4.4 信号完整性仿真.....	30
2.5 功能仿真.....	32
2.5.1 仿真的概念.....	32

2.5.2	仿真的层次.....	33
2.5.3	仿真系统的组成.....	34
2.5.4	仿真工具实例——Saber.....	34
2.6	形式验证.....	39
2.6.1	形式验证基本方法.....	40
2.6.2	形式验证的 HDL 方法.....	41
2.6.3	用测试平台语言实现自动验证.....	46
2.6.4	在深亚微米设计中借助等效检验进行形式验证.....	50
2.6.5	硬/软件并行设计与 SOC 验证.....	53
第 3 章	EDA 工程方法.....	59
3.1	行为描述方法.....	59
3.2	IP 复用方法.....	61
3.2.1	软 IP 与硬 IP.....	61
3.2.2	基于 IP 模块的设计技术.....	64
3.2.3	系统级芯片 (SOC) 与 IP 重用授权.....	67
3.3	ASIC 设计.....	69
3.3.1	专用集成电路 (ASIC) 设计概述.....	69
3.3.2	用可编程逻辑器件设计 ASIC 方法.....	70
3.3.3	用门阵列设计 ASIC 方法 (半定制法).....	73
3.3.4	用标准单元设计 ASIC (半定制法).....	78
3.4	大规模集成电路 (VLSI) 设计方法.....	79
3.5	集成平台设计方法.....	81
3.6	片上系统 SOC 设计方法.....	84
3.6.1	概述.....	84
3.6.2	利用 FPGA 实现片上系统.....	84
3.6.3	嵌入式现场可编程系统芯片.....	88
3.6.4	系统芯片设计方法的比较.....	95
3.6.5	系统级芯片的内置式测试 (BIST) 新技术.....	98
3.6.6	系统芯片展望.....	102
第 4 章	VHDL 语言基础.....	105
4.1	概述.....	105
4.1.1	标识符.....	106
4.1.2	对象.....	108
4.1.3	数据类型.....	110
4.1.4	运算操作符.....	117
4.2	VHDL 程序基本结构.....	120

4.2.1	实体的组织和设计方法.....	121
4.2.2	结构体.....	125
4.2.3	结构体的 3 种描述方法.....	127
4.2.4	结构体的 3 种子结构设计方法.....	129
4.3	VHDL 程序设计.....	134
4.3.1	并行语句.....	134
4.3.2	顺序语句.....	147
4.4	层次化设计方法.....	152
4.4.1	库 (libraries)	153
4.4.2	程序包 (PACKAGES)	155
4.4.3	子程序.....	160
4.4.4	文件输入/输出程序包 TEXTIO	168
4.5	元件例化.....	171
4.5.1	构造元件.....	171
4.5.2	构造程序包.....	179
4.5.3	用户构造元件库.....	181
4.5.4	元件的调用.....	182
4.6	组合电路设计.....	184
4.6.1	编码器、译码器、选择器电路.....	184
4.6.2	运算器的设计.....	190
4.7	时序电路设计.....	192
4.7.1	时钟边沿的描述.....	192
4.7.2	时序电路中复位信号 Reset 的 VHDL 描述方法.....	194
4.8	VHDL 设计综合.....	198
4.8.1	逻辑综合概述.....	198
4.8.2	设计实现概述.....	199
4.8.3	面向 CPLD 器件的实现.....	201
4.9	VHDL 设计仿真.....	205
4.9.1	概述.....	205
4.9.2	仿真方法.....	205
4.10	测试 (平台) 程序的设计方法.....	206
4.10.1	实体描述可简化.....	206
4.10.2	程序中应包含输出错误信息的语句.....	207
4.10.3	配置语句 (CONFIGURATION)	207
4.10.4	不同仿真目的对测试平台设计的要求.....	208
4.10.5	表格式测试程序设计.....	208
4.10.6	文件 I/O 式测试程序设计.....	212
4.10.7	用子程序方式建立测试平台.....	219

4.11	用 VHDL 做电子系统设计	221
4.12	硬件语言应用技巧	226
第 5 章	可编程器件	232
5.1	可编程器件概述	232
5.2	可编程技术方法	233
5.2.1	编程技术	233
5.2.2	发展趋势	234
5.3	专用集成电路 (ASIC)	235
5.4	可编程逻辑器件早期产品 PAL 和 GAL	240
5.5	可编程器件的分类	241
5.6	复杂的可编程器件 (CPLD)	244
5.7	现场可编程逻辑门阵列 (FPGA)	247
5.8	可配置计算逻辑阵列	253
5.9	可编程专用集成电路 (ASIC)	255
5.10	流行可编程器件一览	258
5.11	模拟可编程器件	260
5.11.1	在系统可编程模拟电路的结构	261
5.11.2	PAC 的接口电路	264
5.12	混合可编程器件	266
5.13	激光可编程器件	268
5.14	可编程器件技术展望	268
第 6 章	用 EDA 工具设计电子产品	270
6.1	EDA 工程实现目标之一——印刷电路板及其设计工具	270
6.1.1	印刷电路板的种类	270
6.1.2	元器件的封装形式	271
6.1.3	印刷电路板设计时的常用术语	271
6.1.4	印刷电路板常用标准	272
6.1.5	印刷电路板布局设计	272
6.1.6	印刷电路板的布线设计	274
6.2	印刷电路板设计	275
6.3	PCB 设计工具 Protel 概述	275
6.3.1	PCB 布线流程	276
6.3.2	电路板工作层面	277
6.3.3	双面板的设计	278
6.3.4	元件的布局	279
6.3.5	电路板布线	280

6.3.6	打印输出.....	282
6.3.7	PCB 报表.....	282
6.3.8	创建项目元件库.....	282
6.3.9	由 PCB 图生成网络表.....	282
6.4	印制电路板的可靠性设计.....	283
6.4.1	如何提高电子产品的抗干扰能力和电磁兼容性.....	286
6.4.2	Protel 软件在高频电路布线中的技巧.....	290
6.4.3	印刷电路板的电磁兼容性设计.....	292
6.4.4	电子产品干扰的抑制方法.....	294
6.5	EDA 工程实现目标之二——ASIC 及其设计工具.....	296
6.5.1	Cadence 概述.....	296
6.5.2	ASIC 设计流程.....	296
6.6	ASIC 设计工具——Cadence 概述.....	297
6.6.1	Cadence 软件的环境设置.....	297
6.6.2	Cadence 软件的启动方法.....	301
6.6.3	库文件的管理.....	303
6.6.4	文件格式的转化.....	304
6.6.5	怎样使用在线帮助.....	304
6.7	仿真工具 Verilog-XL.....	304
6.7.1	环境设置.....	305
6.7.2	Verilog-XL 的启动.....	305
6.7.3	Verilog-XL 的界面.....	306
6.7.4	Verilog-XL 的使用示例.....	307
6.7.5	Verilog-XL 的有关帮助文件.....	307
6.8	电路图设计及电路模拟.....	308
6.9	电路模拟工具 Analog Artist.....	310
6.9.1	设置.....	311
6.9.2	启动.....	311
6.9.3	用户界面及使用方法.....	311
6.9.4	相关在线帮助文档.....	311
6.10	自动布局布线.....	312
6.10.1	Cadence 中的自动布局布线流程.....	312
6.10.2	用 AutoAbgen 进行自动布局布线库设计.....	313
6.11	版图设计及其验证.....	314
6.11.1	版图编辑器 Virtuoso Layout Editor.....	314
6.11.2	设置.....	314
6.11.3	启动.....	315
6.11.4	用户界面及使用方法.....	315

6.11.5	使用示例.....	315
6.11.6	相关在线帮助文档.....	315
6.12	版图验证工具 Dracula	316
6.12.1	Dracula 使用介绍.....	316
6.12.2	相关在线帮助文档.....	316
6.13	SOC 器件加速的动态分析工具 MachTA.....	317
6.14	基于 EPLD 的 PCI 总线仲裁器的设计与实现.....	318
6.14.1	总线的仲裁机制.....	319
6.14.2	总线的默认占用.....	319
6.14.3	仲裁信号协定.....	320
6.14.4	优先级仲裁算法.....	320
6.14.5	仲裁器的 EPLD 编程设计.....	321
6.15	基于 FPGA 技术的新型高速图像采集卡.....	323
6.16	用嵌入式 FPGA 实现 DSP	325
第 7 章	EDA 工具软件设计基础.....	328
7.1	工程数据库概述.....	328
7.1.1	工程数据库管理系统的功能要求.....	329
7.1.2	工程数据库系统的结构.....	330
7.1.3	数据库管理系统的功能划分.....	332
7.1.4	应用程序访问工程数据库的过程.....	334
7.2	系统组织和环境.....	335
7.3	工程数据库管理系统的实现途径.....	336
7.3.1	开发专用的工程数据库管理系统.....	337
7.3.2	利用商品化的 DBMS 开发工程数据库.....	337
7.3.3	开发全新的工程数据库管理系统.....	338
7.4	工程数据库模型和版本管理.....	338
7.4.1	工程设计数据模型.....	338
7.4.2	语义数据模型.....	339
7.4.3	实体-联系数据模型 (E-R)	340
7.4.4	扩展关系模型.....	341
7.4.5	函数数据模型.....	342
7.4.6	语义关联模型 SAM.....	344
7.4.7	面向对象的语义关联模型 OSAM	348
7.5	版本和版本管理.....	349
7.5.1	版本管理模型.....	351
7.5.2	版本层次和版本簇.....	351
7.5.3	版本的引用和配置.....	352