

序



摇摇中央处理器(CPU)是驱动计算机技术和产业发展的火车头,CPU和操作系统的配合又组成了计算机系统的平台。在这个平台上,人们开发了各种软件并开展应用工作。我们在计算机发展的历史中,目睹了8位、16位、32位和64位的CPU的发展对于计算机技术、产业和应用的巨大影响。可以说,CPU的设计和制造工艺是计算机产业,甚至信息技术(IT)产业发展的基础。

中国正在发展成为一个信息化大国,可是,我们在计算机技术和信息技术的基础方面还很薄弱。其中,发展和加强CPU设计和制造技术是信息技术科技界与教育界的一项重要任务。

然而,我们看到:我国计算机近20年的高等教育中,硬件课程在不断削弱;学校毕业的学生和研究生中,会设计CPU芯片的人才数量很少。这是我国计算机教育的一种倒退,也是我国发展计算机基础事业的一大缺陷。最近,由于大量科学家的呼吁和IT产业的实际需要,参与CPU设计和制造的单位正在增多。但是,对CPU技术方面的学生教育和大量人才培养的重要性意识还没有被唤醒,很多高等院校中的CPU设计课程还没有开设。这个现象和目前没有合适的大学教科书和培训教材很有关系。

本书作者在自己的科研和教学中,较长期地从事硬件研究和CPU研究,在多年的教学过程中,已经积累了很多经验。现在,他们把CPU设计制造的部分内容——CPU逻辑设计技术,写成适合于高等院校教学和有关技术人员进修的书是很有意义的。

本书共分十章。其中从数字逻辑和CPU逻辑电路设计基础开始,并以目前国际上常用,而且版权公开的MIPS体系结构及其指令为样板,讨论了单周期和多周期的CPU设计技术,然后,讨论了系统控制协处理器的设计,接着讨论了较为复杂的存储管理设计技术、中断和例外管理设计技术和流水线CPU设计技术。

CPU课程教学和进修,应该有实践环节的配合,单靠看书是不够的。本书的特点是在每个部分,都有实践配合,使学习者可以一面看书,一面动手实践,理论与实践结合,学会设计CPU的基本功。本书使用MAX+PLUS II CAD/CAE软件工具(该软件可以免费下载),教会学习者动手用这些软件工具,自己在PC机上对于每个部分进行实践。条件比较好的学校,可以做到FPGA芯片上去。FPGA的特点是可以擦去重用,所以适合学校的实验和培训。

当然,CPU设计本身是很复杂的。目前,先进CPU芯片上的晶体管数已经达到数亿个,先进的CPU还有很多复杂技术,如多发射、乱序执行、多线程、向量与标量部件的混合以及多样的执行预测技术等,现代的CPU还在向多核心芯片发展。芯片上具有10亿个晶

体管的 CPU 已经离我们不远。此外 ,CPU 的自检测设计技术也很复杂 ,高级 CPU 套片(chip set) 的复杂程度一点也不亚于 CPU 本身。况且 ,CPU 设计还有前工序和后工序。我国很多单位的 CPU 设计只是完成了前工序的任务。因此 ,真正掌握 CPU 技术 ,并与国际上先进技术相竞争任重而道远。

千里之行 ,始于足下。本书是一本适合于我国开展 CPU 逻辑设计教学与培训的较好教材和自学书。谨向我国有志于开设 CPU 设计课程的各高等院校、有志于学习 CPU 设计技术的技术人员推荐。此外 ,本书为要介绍设计各个部件 ,也十分详细地讨论了中央处理器的内部结构 ,所以也可以作为学习“ 计算机组成 ”课程的有用参考材料。

中国工程院院士李三立
一九九九年 愿月于清华大学

前言



本书详细介绍 CPU(central processing unit)的逻辑电路设计方法并给出实际的逻辑电路以及功能模拟结果。全书共分十章:

- | | |
|---------------------|---------------------|
| 第 1 章 数字电路设计基础 | 第 6 章 多周期 CPU 设计; |
| 第 2 章 CPU 逻辑电路设计概述; | 第 7 章 系统控制协处理器的寄存器; |
| 第 3 章 MIPS 指令; | 第 8 章 存储管理; |
| 第 4 章 常用电路、算法及电路实现; | 第 9 章 中断和例外管理; |
| 第 5 章 单周期 CPU 设计; | 第 10 章 流水线 CPU 设计。 |

我们选择了 MIPS 体系结构中比较典型的指令,使用 MAX + PLUS II CAD/CAE 软件工具,通过逻辑图输入和 AHDL 语言设计 CPU 的逻辑电路来实现这些指令。另外,我们还用 MIPS 汇编语言编写了用于 CPU 测试的简单程序,对所设计的 CPU 逻辑电路进行功能模拟,以验证 CPU 逻辑电路的正确性。这些电路和程序以及测试波形图均在书中给出。

CPU 是一种较大规模的数字电路。设计数字电路时通常有以下几种选择:

- (1) 使用现有固定逻辑芯片来搭建自己的电路。
- (2) 使用逻辑可编程的芯片 PLD,例如比较简单的 PLA/PAL,稍微复杂的 CPLD 以及比较高级的 FPGA。这些器件的最大特点是用户可对芯片编程。
- (3) 如果经费比较充足,可以生产自己的 ASIC 芯片。ASIC 芯片又称客户半定制芯片,主要的实现技术有门阵列和标准单元两种。
- (4) 当确信所设计的电路能有很大的销路并且要求有较高的性能,可以考虑生产客户全定制芯片,即把所设计的电路交给半导体生产厂家制造芯片。

本书使用的 MAX +PLUS II 是 ALTERA 公司为方便用户使用该公司生产的 CPLD 及 FPGA 而开发的 CAD/CAE 软件工具。它支持逻辑图和真值表(波形图)输入,也支持以下三种硬件描述语言: AHDL, VHDL 和 Verilog HDL。其中 AHDL 是 ALTERA 公司自己开发的语言, VHDL 和 Verilog HDL 是有 IEEE 标准的语言。使用 MAX +PLUS II 能够对 CPLD 和 FPGA 芯片进行编程,但由于本书侧重于 CPU 的逻辑电路设计,书中只描述到逻辑功能模拟为止。

作者要感谢中国工程院院士、清华大学李三立教授。李三立院士在 2003 年夏天邀请

作者之一到上海大学和清华大学开设暑期课程,讲述 CPU 逻辑设计及实验。该课程受到两校师生的好评,因此李三立院士建议写成教科书并推荐给清华大学出版社。本书得以最后出版,作者也要感谢清华大学出版社。

本书可作为大学本科计算机实验课程的教科书,也可供对 CPU 设计感兴趣的自学者参考。由于作者水平有限,书中肯定有错误及不完善的地方,恳请读者指正。

李亚民

圆年 愿月 员日

目 录



第 1 章 数字电路设计基础	1
1.1 布尔代数	2
1.2 逻辑表达式	3
1.2.1 真值表和逻辑化简	3
1.2.2 与或格式和或与格式	4
1.2.3 带有使能端的 3 输入触发器	5
1.3 逻辑门实现技术	5
1.3.1 晶体管开关	5
1.3.2 缓冲器和逻辑门	6
1.3.3 负逻辑系统	6
1.4 数字电路的实现方法	6
1.4.1 标准器件	6
1.4.2 用户可编程逻辑芯片——PAL、PLA、FPGA 和 CPLD	7
1.4.3 客户全定制芯片	7
1.4.4 客户半定制芯片——标准单元和门阵列	7
1.5 数字电路的开发过程	7
1.5.1 阵列逻辑器件 II 的使用方法	7
1.5.2 逻辑图输入	8
1.5.3 编译	8
1.5.4 功能模拟	8
1.5.5 生成电路的逻辑符号	8
1.5.6 阵列逻辑器件 II 和交叉连接	8
第 2 章 组合逻辑电路设计概述	9
2.1 二进制数的大小及计算结果的溢出判断	9
2.2 数据在存储器中的存放和数据对齐	9
2.3 控制指令集简介	9
2.4 组合逻辑电路设计简介	9
2.4.1 单周期组合逻辑简介	9

圆源圆源多周期 悦裁简介	源
圆源圆源流水线 悦裁简介	源
圆源圆源存储器管理和 裁日设计概述	源
圆源圆源虚拟地址到物理地址的转换	源
圆源圆源快速地址转换表 裁日	缘
圆源圆源高速缓存 悦裁设计概述	缘
圆源圆源悦裁映射	缘
圆源圆源悦裁行替换	缘
圆源圆源写策略	缘
圆源圆源几种 配穿杂悦裁的 悦裁构成	缘
圆源圆源几种典型的 配穿杂悦裁	缘
第 猿章 配穿杂指令	缘
猿源圆源配穿杂寄存器堆	远
猿源圆源指令格式	远
猿源圆源悦裁指令	远
猿源圆源计算指令	远
猿源圆源数据传送(选穿杂) 指令	苑
猿源圆源转移及分支指令	苑
猿源圆源协处理器指令	苑
猿源圆源其他指令	苑
猿源圆源小结	苑
第 源章 常用电路、算法及电路实现	愿
源源圆源逻辑运算器	愿
源源圆源逻辑与	愿
源源圆源逻辑或	愿
源源圆源逻辑或非	愿
源源圆源逻辑异或	愿
源源圆源常用电路	愿
源源圆源译码器	愿
源源圆源数据选择器	愿
源源圆源加减法器	愿
源源圆源猿位加法器	愿
源源圆源猿位减法器	愿
源源圆源猿位加减法器	愿
源源圆源乘法器	愿
源源圆源猿位无符号乘法器	愿

源程序 1 位乘法器	页 10
源程序 乘法并行阵列	页 11
源程序 1 乘 1 乘法算法	页 11
源程序 除法器	页 12
源程序 恢复余数法	页 12
源程序 不恢复余数法	页 12
源程序 有符号除法器	页 12
源程序 移位器	页 12
源程序 逻辑移位	页 12
源程序 算术移位	页 12
源程序 循环移位	页 12
源程序 1 位计数器	页 12
源程序 1 位计数器	页 12
源程序 1 位计数器	页 12
源程序 比较器	页 12
源程序 寄存器设计	页 12
源程序 小结	页 12
第 3 章 单周期 1 位设计	页 12
源程序 指令描述	页 12
源程序 设计思路	页 12
源程序 1 类型指令	页 12
源程序 1 类型指令	页 12
源程序 1 类型指令	页 12
源程序 寄存器堆设计	页 12
源程序 单周期 1 位详细逻辑电路设计	页 12
源程序 取指令逻辑	页 12
源程序 指令译码逻辑	页 12
源程序 指令执行逻辑	页 12
源程序 存储器访问逻辑	页 12
源程序 结果写回逻辑	页 12
源程序 测试波形图	页 12
源程序 考虑延迟转移的单周期 1 位设计	页 12
第 4 章 多周期 1 位设计	页 12
源程序 无延迟转移功能的 1 位	页 12
源程序 设计思路及数据路径	页 12
源程序 1 位的控制信号	页 12

远摇摇带有延迟转移功能的 悦栽	员猿缘
远摇摇控制部件设计	员猿远
远摇摇数据路径设计	员猿缘
远摇摇多周期 悦栽整体逻辑电路	员源园
远摇摇功能模拟波形图	员源园
远摇摇性能分析	员猿猿
远摇摇小结	员猿猿
第 苑章 摇摇系统控制协处理器的寄存器	员源缘
苑摇摇悦栽寄存器	员源缘
苑摇摇悦栽寄存器详细介绍	员源远
苑摇摇悦栽寄存器实现	员源园
苑摇摇悦栽寄存器堆读写	员源原
苑摇摇小结	员源缘
第 愿章 摇摇存储管理	员源苑
愿摇摇配第 愿章虚拟地址空间分配	员源苑
愿摇摇配第 愿章裁目概述	员源怨
愿摇摇地址转换	员源员
愿摇摇固定地址转换	员源员
愿摇摇块地址转换	员源猿
愿摇摇基于 裁目的地址转换	员源缘
愿摇摇裁目实现	员源员
愿摇摇输入输出信号	员源员
愿摇摇裁目条目实现	员源圆
愿摇摇裁目实现	员源圆
愿摇摇存储管理实现	员源苑
愿摇摇数据虚拟地址转换	员源愿
愿摇摇指令虚拟地址转换	员源怨
愿摇摇小结	员源园
第 怨章 摇摇中断和例外管理	员缘员
怨摇摇中断	员缘员
怨摇摇硬例外、杂硬例外、晕硬例外	员缘员

总线测试结果	猿猿
总线设计	猿猿
总线的组成结构	猿猿
总线操作	猿猿
总线实现	猿猿
带总线的流水线设计	猿猿
测试结果	猿猿
总线小结	猿猿
参考文献	猿猿
索引	猿猿
图索引	猿猿
表索引	猿猿

数字电路设计基础

数字电路被广泛用于制作计算机及其他数字产品。自 20 世纪 70 年代初把一个简单的微处理机集成到一个芯片至今,集成电路技术有了飞速的发展。大约在 20 多年以前,英特尔公司总裁摩尔博士预测一个芯片上可集成的晶体管数量每一年半到两年便翻一番。这就是有名的摩尔定律。

表 1.1 给出了集成电路技术的进展和预测。随着晶体管线宽越来越细,每平方米可制作的晶体管数量越来越多,而且芯片尺寸也越做越大,其结果是一个芯片上可集成的晶体管数量越来越多。

表 1.1 集成电路技术的进展和预测

	年份					
	1975	1980	1985	1990	1995	2000
晶体管线宽(μm)	10	5	3	2	1.5	1
晶体管数量(万个)	1	10	100	1000	10000	100000
芯片尺寸(cm^2)	1	1	1	1	1	1

用户在设计自己的数字电路时,根据对电路性能的要求以及经费的多少,可以有如图 1.1 所示的选择。图中由上至下,晶体管数增加,性能变好,但所需经费越来越多。

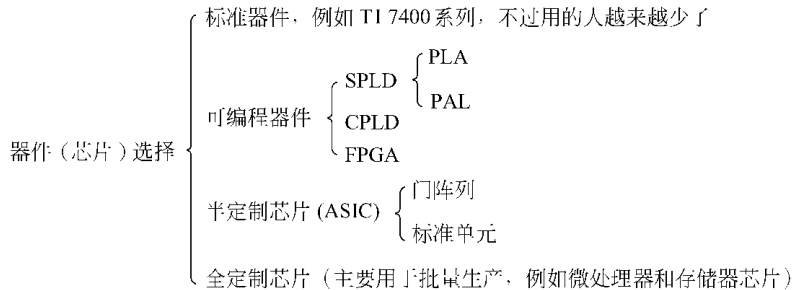


图 1.1 设计数字电路时的选择

本章以下讨论数字电路设计所需的基本常识。

摇摇布尔代数

布尔代数(月耀社素耀)研究开关理论,即二值逻辑,由英国人耶耀月耀在员耀年发表。布尔代数只有两个值:哉和员,这就是我们现在使用的二进制的员和园。设曾为一个布尔变量,则

曾 园 越 园	曾 垣 园 越 曾
曾 员 越 曾	曾 垣 员 越 员
曾 曾 越 曾	曾 垣 曾 越 曾
曾 曾 越 园	曾 垣 曾 越 员

曾 越 曾

摇摇表中的·代表“与”操作,垣代表“或”操作,曾代表“非”操作。三种操作和相应的逻辑符号在图员耀中给出。

A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

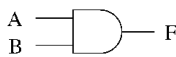
与操作

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

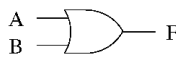
或操作

A	F
0	1
1	0

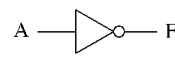
非操作



与门(AND)符号



或门(OR)符号



非门(NOT)符号

图员耀 三种基本逻辑操作

设曾赠扎是三个布尔变量,表员耀列出了最基本的布尔代数特性。有兴趣的读者可以自己证明。

表员耀 布尔代数特性

曾 赠 越 赠 曾	曾 垣 赠 越 赠 垣 曾
曾 (赠 扎 越 (曾 赠 · 扎	曾 垣 (赠 垣 扎 越 (曾 垣 赠 垣 扎
曾 (赠 垣 扎 越 曾 赠 垣 曾 扎	曾 垣 赠 扎 越 (曾 垣 赠 · (曾 垣 扎
曾 (曾 垣 赠 越 曾	曾 垣 曾 赠 越 曾
(曾 垣 赠 · (曾 垣 赠 越 曾	曾 赠 垣 曾 赠 越 曾
曾 (曾 垣 赠 越 曾 赠	曾 垣 曾 赠 越 曾 垣 赠
曾 赠 越 曾 垣 赠	曾 垣 赠 越 曾 赠

摇摇逻辑表达式

任何逻辑表达式都可以用以下三种基本操作来实现：与、或和非。逻辑设计的基本步骤是：

- (员) 根据问题的描述,写出输入变量和输出变量的真值表；
- (圆) 根据真值表写出逻辑表达式并化简；
- (猿) 根据逻辑表达式画出逻辑图。

摇摇真值表和逻辑化简

设有猿个输入变量：粤、月和悦，输出变量为云。真值表如表 1.1 所示。

表 1.1 摇摇真值表举例

最小项编号	粤	月	悦	云	云
园	园	园	园	园	员
员	园	园	员	员	园
圆	园	员	园	园	员
猿	园	员	员	园	员
源	员	园	园	员	园
缘	员	园	员	员	园
远	员	员	园	员	园
苑	员	员	员	园	员

摇摇猿个输入变量共有 愿种组合，称每个组合为一个“最小项”。为了以下叙述方便起见，云也一同在表中给出。我们暂时只考虑云，那么在什么输入条件下，云的输出为员？从表真值表中知道，共有源种情况下的输出云为员：最小项员、源、缘和远。这源种情况是“相或”的关系，即，不管是其中的哪种情况，云的输出都为员。第一种情况是最小项员：粤越园、月越园并且悦越园。这猿个条件是“相与”的关系，即，它们要同时成立。由此我们得到云的表达式：

$$云 = 粤 \cdot 月 \cdot 悦 + 粤 \cdot 月 \cdot \bar{悦} + 粤 \cdot \bar{月} \cdot 悦 + \bar{粤} \cdot \bar{月} \cdot 悦$$

根据上述逻辑表达式画出逻辑图，如图 1.1 所示。

使用布尔特性对云化简：

$$\begin{aligned} 云 &= 粤 \cdot 月 \cdot 悦 + 粤 \cdot 月 \cdot \bar{悦} + 粤 \cdot \bar{月} \cdot 悦 + \bar{粤} \cdot \bar{月} \cdot 悦 \\ &= 粤 \cdot 月 \cdot (悦 + \bar{悦}) + 粤 \cdot \bar{月} \cdot 悦 + \bar{粤} \cdot \bar{月} \cdot 悦 \\ &= 粤 \cdot 月 + 粤 \cdot \bar{月} \cdot 悦 + \bar{粤} \cdot \bar{月} \cdot 悦 \end{aligned}$$

图 1.1 是化简后的逻辑电路图。我们可以使用如下公式估算一个电路的“价格”：

$$价格 = 逻辑门总数 + 所有门的输入管脚总数$$

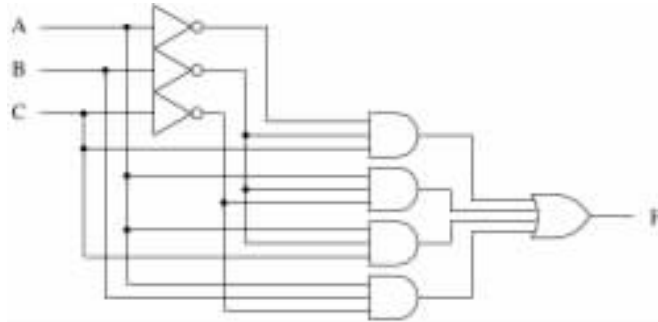


图 1.10 云越粤·月·悦垣粤·月·悦垣粤·月·悦

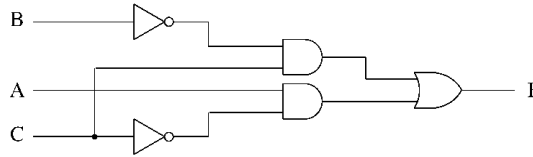


图 1.11 对图 1.10 的化简(与或格式)

由此,图 1.10 电路的价格是 6 元,图 1.11 电路的价格是 3 元(半价以下)。

摇摇摇摇与或格式和或与格式

在 1.10 节的例子中,我们得到 云越粤·月·悦垣粤·月·悦垣粤·月·悦 这种表达式的格式称为“乘积的和格式”或者“与或格式”,即先与后或。与此相对,我们还有“和的乘积格式”或者“或与格式”,即先或后与。例如在 1.11 节的例子(表 1.1)中,我们先按与或格式写出 云 的表达式:

$$\text{云} = \text{越} \cdot \text{粤} \cdot \text{月} \cdot \text{悦} + \text{粤} \cdot \text{垣} \cdot \text{粤} \cdot \text{月} \cdot \text{悦} + \text{粤} \cdot \text{垣} \cdot \text{粤} \cdot \text{月} \cdot \text{悦}$$

则

$$\text{云} = \text{越} \cdot \text{粤} \cdot \text{月} \cdot \text{悦} + \text{粤} \cdot \text{垣} \cdot \text{粤} \cdot \text{月} \cdot \text{悦} + \text{粤} \cdot \text{垣} \cdot \text{粤} \cdot \text{月} \cdot \text{悦}$$

使用布尔特性对 云 化简:

$$\text{云} = \text{越} \cdot \text{粤} \cdot \text{月} \cdot \text{悦} + \text{粤} \cdot \text{垣} \cdot \text{粤} \cdot \text{月} \cdot \text{悦} + \text{粤} \cdot \text{垣} \cdot \text{粤} \cdot \text{月} \cdot \text{悦}$$

$$= \text{越} \cdot \text{粤} \cdot \text{月} \cdot \text{悦} + \text{粤} \cdot \text{垣} \cdot \text{粤} \cdot \text{月} \cdot \text{悦} + \text{粤} \cdot \text{垣} \cdot \text{粤} \cdot \text{月} \cdot \text{悦}$$

$$= \text{越} \cdot (\text{粤} \cdot \text{垣} \cdot \text{月} \cdot \text{垣} \cdot \text{悦}) + (\text{粤} \cdot \text{垣} \cdot \text{月} \cdot \text{垣} \cdot \text{悦}) \cdot (\text{粤} \cdot \text{垣} \cdot \text{月} \cdot \text{垣} \cdot \text{悦}) \cdot (\text{粤} \cdot \text{垣} \cdot \text{月} \cdot \text{垣} \cdot \text{悦})$$

$$= \text{越} \cdot (\text{粤} \cdot \text{垣} \cdot \text{月} \cdot \text{垣} \cdot \text{悦}) + ((\text{粤} \cdot \text{垣} \cdot \text{月} \cdot \text{垣} \cdot \text{悦}) \cdot (\text{粤} \cdot \text{垣} \cdot \text{月} \cdot \text{垣} \cdot \text{悦})) \cdot (\text{粤} \cdot \text{垣} \cdot \text{月} \cdot \text{垣} \cdot \text{悦})$$

$$= \text{越} \cdot (\text{粤} \cdot \text{垣} \cdot \text{月} \cdot \text{垣} \cdot \text{悦}) + (\text{月} \cdot \text{垣} \cdot \text{悦})$$

图 1.12 是或与格式的逻辑电路图。它的电路价格也是 3 元(凑巧了)。

晶体管类型的晶体管。晶体管类型的晶体管又有两种类型, **增强型晶体管**(简称**增强型晶体管**)和**耗尽型晶体管**(简称**耗尽型晶体管**)。

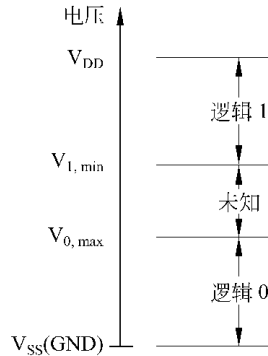


图 1.1 电压水平表示的逻辑值

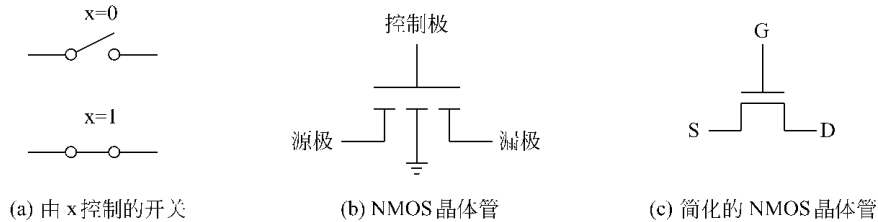


图 1.2 把一个 nMOS 晶体管看作一个开关

图 1.3 画出的**耗尽型晶体管**。它的三个管脚分别称为**控制极**(**栅极**)、**源极**(**源极**)和**漏极**(**漏极**)。当控制极为高电平时,源极和漏极导通;低电平时不导通。**耗尽型晶体管**在图 1.4 中给出。

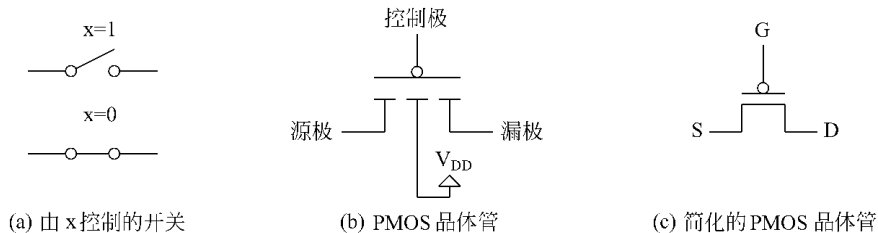


图 1.3 把一个 pMOS 晶体管看作一个开关

耗尽型 CMOS 逻辑门

耗尽型 CMOS 逻辑门工艺是在电路中同时使用**增强型**和**耗尽型**晶体管。图 1.5 到图 1.7 分别是**耗尽型**类型的**非门**、**与非门**和**或非门**。各图中解释了**增强型**和**耗尽型**晶体管源极和漏极的导通与断开的条件(**导通**、**断开**)。

图 1.5 和图 1.6 示出的是**与门**和**或门**。它们分别由**与非门**和**或非门**再接一个**非门**