

第 1 章 概 论

1.1 发展历史

由于集成技术和大规模系统设计的飞速进步，电子工业在过去的几十年里得到了惊人的发展。集成电路在高性能计算、通信以及消费类电子等领域中的应用一直在飞速发展。事实上，正是这些应用所需求的计算和信息处理能力成为电子领域快速发展的驱动力。图 1.1 所示的是近几十年信息技术的发展趋势。当前的前沿技术（如低比特率视频和蜂窝通信）已经为终端用户提供了一定的处理能力和便捷性，人们希望这种对 VLSI 和系统设计具有重大影响的发展趋势能够延续下去。对高性能的处理能力和带宽的不断增加的需求是信息业务最重要的特征之一（例如处理实时的视频信号）。另一个重要特征是信息业务更趋向个人化，这将意味着信息处理设备必须更加智能化，并具有便携性。便携化的趋势（亦即分布式系统结构）成为系统集成的主要驱动力之一。当然，集中化的趋势 [例如在 NC（网络计算）和视频业务中需要的高性能信息系统] 也同样需要。

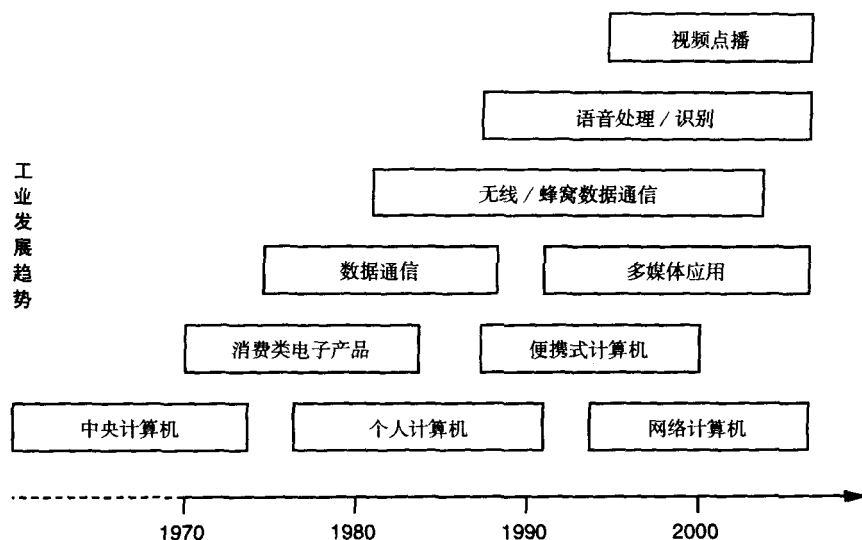


图 1.1 信息技术的发展趋势

随着各种数据处理和通信设备功能越来越复杂，将众多功能集成在一块小芯片之上的需求一直在增加。集成度是由单块芯片上逻辑门的数量来衡量的。由于工艺技术和互连技术的快速进步，过去三十年来芯片的集成度一直在稳步提高。表 1.1 所示的是过去三十年来集成电路逻辑复杂度的发展以及每个时期的里程碑。这里把电路复杂度作为惟一的衡量标准。

根据功能不同，一个逻辑块可以包含 10~100 个晶体管。而 ULSI 芯片，例如 DEC 公司的 Alpha 或 Intel 公司的 Pentium 芯片则包含数千万到上亿个晶体管。需要说明的是，VLSI 有时也指 ULSI 一类的芯片，并不完全与表 1.1 一致。

表 1.1 集成电路逻辑复杂度的发展

电路规模	年代	复杂度（每个芯片上逻辑块数量）
单个晶体管	1958	<1
逻辑单元（1个门）	1960	1
多功能	1962	2~4
复杂功能	1964	5~20
中等规模集成电路（MSI）	1967	20~200
大规模集成电路（LSI）	1972	200~2 000
超大规模集成电路（VLSI）	1978	2 000~20 000
甚大规模集成电路（ULSI）	1989	20 000~?

一块集成了大量功能的芯片通常有以下几个特点：

- 更小的面积 / 体积，更加紧缩
- 更低的功耗
- 需要更少的系统级测试
- 由于改进了芯片的互连，可靠性更高
- 由于明显降低了互连长度，速度更快
- 更节省费用

因此，在未来的一段时间内，电路将继续朝着集成迈进。设备制造技术的进步使得集成电路的最小特征尺寸（即晶体管的最小沟道长度或芯片上可实现的互连线宽度）逐步减少。图1.2所示为 20 世纪 70 年代后期以来集成电路中晶体管最小特征尺寸的发展过程。在 1980 年 也就是 VLSI 时代刚刚开始的时候，典型的最小特征尺寸为 $2\ \mu\text{m}$ ，并且当时预计到 2000 年将减小到 $0.3\ \mu\text{m}$ 。然而实际技术的发展远远超出人们的预想：1995 年最小特征尺寸就达到了 $0.25\ \mu\text{m}$ ，而在 2001 年已经达到 $0.18\ \mu\text{m}$ 到 1994 年，第一个 64 Mb 的 DRAM（动态随机存储器）和 Intel Pentium 微处理器芯片就包含了 300 万个晶体管，这是当时集成密度的极限。1997 年初，NEC 公司宣布第一个基于 $0.15\ \mu\text{m}$ 制造技术的 4 Gb DRAM 生产成功。根据 ITRS（国际半导体技术规划局）的预计，到 2008 年 MOS 晶体管的特征尺寸将达到 70 nm。每个芯片上集成的晶体管数将达到 30 亿个。

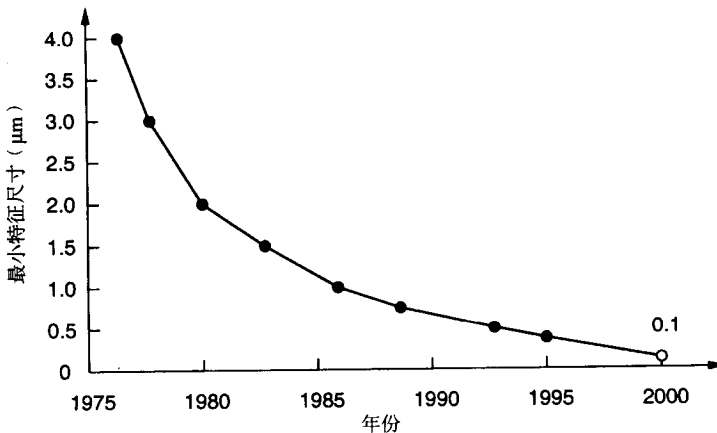


图 1.2 集成电路最小特征尺寸的发展过程

1.2 本书的目标和结构

本书的目标是帮助读者培养对数字 CMOS 电路和芯片进行深入分析与设计的能力。超大规模集成芯片的开发需要一支由市场专家、系统结构设计工程师、逻辑设计工程师、电路与版图设计工程师、封装工程师、测试工程师以及工艺与器件工程师等不同专业人员组成的团队。最基本的任务是完成计算机辅助设计和优化。任何一本书中都不可能涉及到所有的开发问题。因此，本书着重介绍数字电路，并且介绍深入理解 CMOS 数字电路所必需的器件规则和工艺的相关知识。

读者常常会感到“只见树木，不见森林”。然而对于超大规模集成电路的设计来说，采用适当的边界条件进行全面的优化设计是很重要的。最终设计的目标是关注所有互连的晶体管的整体性能而不是单个管子的性能，事实上这也是集成电路的引人入胜之处。因此互连的问题与单个晶体管问题同样重要。不管单个晶体管的性能有多好，如果没有同样好的互连技术，就会由于寄生电容和寄生电阻的影响使总体性能变得很差，从而导致晶体管与逻辑门之间的互连线产生很大的延迟。

本书可作为高年级本科生和一年级研究生数字电路设计课程的教材，对 VLSI 设计工程师也会有很大帮助。书中绝大部分内容都作为本科和研究生课程的讲义在包括两位作者所在的伊利诺伊大学电子与计算机工程系等许多学校讲授数年。我们假定本书的读者应该已具有足够的半导体器件、电子线路分析与设计以及逻辑理论的基础知识。全书非常强调逻辑设计、电路设计以及版图设计之间的相互联系，重点是晶体管级的电路分析与设计，这就要求读者除了对传输延时、噪声容限以及功耗这些器件特性如何影响电路的整体特性有深刻理解外，还需要有相当熟练的电流电压计算知识。

图1.4 描述了一门典型的数字电路课程各主题的相关顺序以及覆盖的范围。首先是电路分析、理解和使用各种 MOSFET 器件模型需要的基本器件的物理知识。复习过基本器件之后，重点将从单个器件转向诸如反相器一类的简单的双晶体管电路，然后转向更加复杂的逻辑电路。我们将看到，随着问题讨论的不断深入，每个标题所涉及内容的广度也在不断扩展。事实上，在实现复杂电路和系统时，我们应考虑众多的变化。因此，我们将研究大规模系统实现的一些典型例子，对性能、可靠性和制造工艺上的优缺点进行比较。

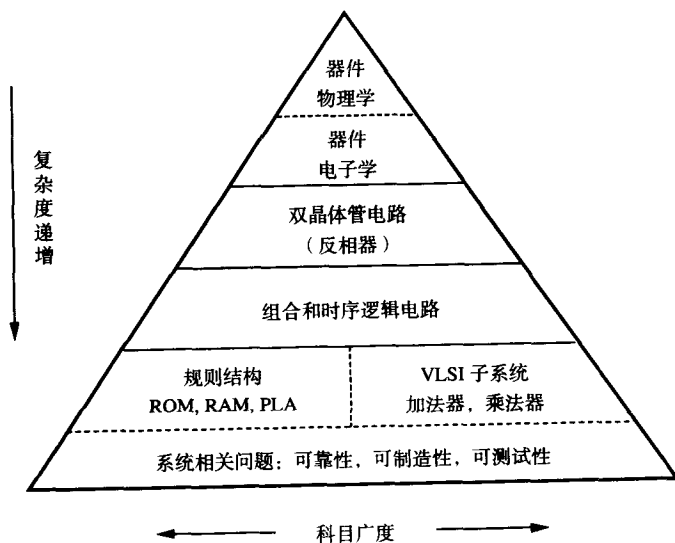


图 1.4 一门典型的数字集成电路课程所覆盖的科目顺序

本书从回顾与制造相关的问题开始。为了建立一个简单的工艺流程并给读者提供与工艺相关的重要术语，本书开篇简短地对具有代表性的集成电路制造技术进行了总结。本书介绍的 MOS 器件物理学的层次和范围特别适合于手工电路设计与分析应用，因此采用的绝大部分器件模型相对简单。选择简单的器件模型会使准确性受到一定的限制；然而，在设计初期，主要强调对基本设计概念的清楚理解和对电路性能进行一些有意义的分析。同时计算机辅助电路仿真工具对 VLSI 设计也十分重要。本书包含大量基于 SPICE（集成电路模拟程序）的计算机仿真实例和问题。在很多计算平台上 SPICE 已经成为晶体管级电路仿真的事实上的标准。我们将用一整章内容来分析和比较在 SPICE 中实现的 MOSFET 模型，包括各种器件模型参数的确定。由于具有性能验证功能和良好的电路转换功能，计算机仿真已经并将继续成为设计过程中必不可少的部分。然而，重视仿真应与重视手工设计和分析预测加以权衡。不能因为计算机辅助技术的大量应用而忽略后者的重要性。

本书的重点是 CMOS 数字集成电路，但也介绍了大量关于 nMOS 数字电路的知识。尽管近年来大多数的应用都选择 CMOS 技术，但 nMOS 管的基本概念为 CMOS 概念的理解和 CMOS 设计的发展都提供了坚实的基础。第 5 章中的 5.9 节专门介绍基本的 CMOS 和部分 nMOS 数字电路的分析与设计。图 1.5 是一个说明各种不同类型电路分类和描述数字集成电路关系的“家谱”。按照基本工作模式可把电路分成两大类：即静态电路和动态电路。静态电路又可以进一步分为标准 CMOS 电路（完全互补型）、传输门逻辑电路、传输晶体管逻辑电路以及级联电压转换逻辑电路（CVSL），动态电路分为多米诺逻辑电路、NORA 和真正的单相时钟电路（TSPC）。

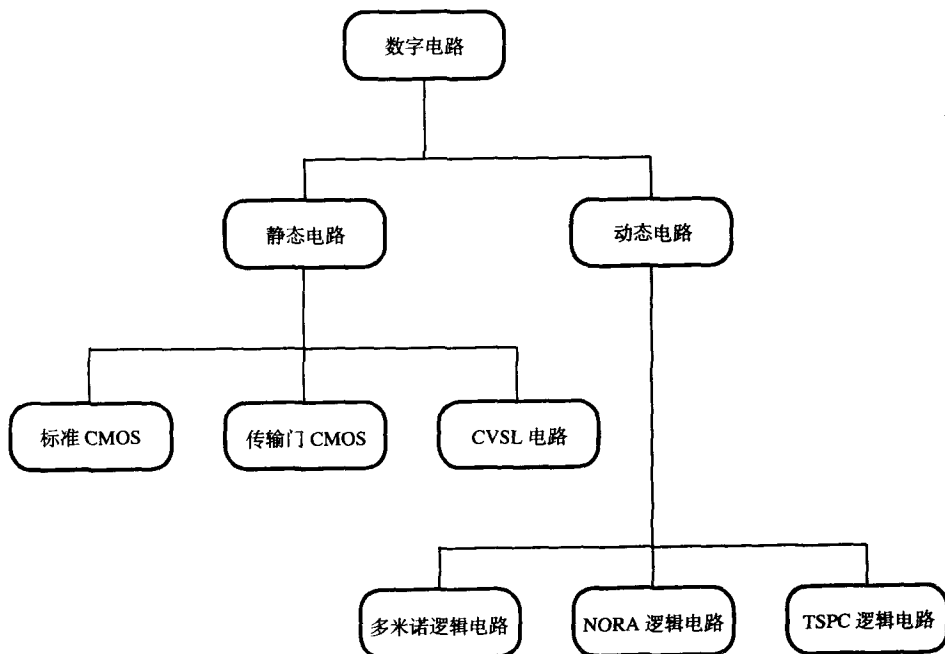


图 1.5 CMOS 数字电路分类

除了晶体管级电路设计问题外，在高性能数字集成电路设计中，尤其是对深亚微米工艺来说，对互连线寄生参数进行准确预测从而降低其影响已成为一个重要的课题。因此第 6 章的大部分内容将介绍互连线效应。第 7 章将详细介绍半导体存储器，还将重点介绍不同的静态和动态存储器

类型的设计，比较它们的工作原理和性能特点。我们将用一章的内容介绍仍在高性能数字电路领域发挥重要作用的双极型晶体管和双极 CMOS (BiCMOS) 数字电路。书中加入基于双极型晶体管的电路知识可能使一些读者感到难以理解。但在一本关于数字设计的综合性教科书中，BiCMOS 设计技术的重要性一定不能忽略。我们将用一整章内容介绍输入输出 (I/O) 电路和包括 ESD (静电放电) 保护、电平转换、高级缓冲器设计以及闩锁保护等一些相关问题。最后关于制造设计和测试设计的两章介绍诸如成品率估计、统计设计和系统测试等重要内容，这些在 VLSI 设计中应当给予特别重视。

本书第二版中加入了新的一章，即低功耗 CMOS 逻辑电路。可移动系统的发展和高密度超大规模芯片对功耗的限制使低功耗设计近年来取得了引人注目的快速发展。在绝大多数情况下，对低功耗要求的同时也要求高集成度和高性能。考虑到这些发展，我们单独用一章内容介绍低功耗数字集成电路的设计，这里详细讨论了功耗的各个方面并且介绍了一些降低功耗的方法。

为了满足不同的课程安排和自学的需要，可以灵活安排各章节的学习。许多章节可以合在一起以适应特殊的课程教学。读者也可以跳过一些章节，而且并不影响整体的连贯性。结合课文每一章都有大量例题和题解以帮助读者加深对内容的理解，同时在每章最后提供了一些习题，其中一些很适合利用计算机通过 SPICE 仿真来解决。

1.3 电路设计举例

为了帮助读者对数字电路设计流程获得一个整体概念，这一章我们以一个“简单的例子”开始。作为一个电路设计者，不管我们做哪方面的实践都应从与设计指标相关联的逻辑图开始。首先把逻辑电路转换成 CMOS 电路，最初的版图就完成了。从版图中通过使用电路参数提取软件能把所有重要的寄生参数计算出来。一旦我们从最初的版图中得到了完全的电路描述，就可以应用电路级的仿真软件 SPICE 对电路的直流和瞬态特性进行分析，进而将结果与给定的设计指标进行比较。如果最初的设计不能满足指标中的任何一条要求，这也是设计中常见的情况，那么我们就设计一个改进的电路来达到设计指标。改进的设计将得到一个新的版图，并将重复设计和分析循环，直到满足所有的设计指标。图 1.6 所示的是电路设计过程的简单流程。注意，本书主要关注用虚线框起来的重要的两步：即 VLSI 设计和验证。

例 1.1

在下面的例子中我们考虑一个采用 $0.8\ \mu\text{m}$ 双阱 CMOS 工艺设计一位二进制全加器电路的设计过程。设计指标是：

求和信号和进位信号的传输延时 $< 1.2\ \text{ns}$ (最坏情况)

求和信号和进位信号的总转换延时 $< 1.2\ \text{ns}$ (最坏情况)

电路面积 $< 1500\ \mu\text{m}^2$

$V_{DD} = 5\ \text{V}$, $f_{max} = 20\ \text{MHz}$ 时的动态功耗 $< 1\ \text{mW}$

我们从考虑二进制加法电路的布尔描述开始设计，设 A 、 B 代表两个输入变量（相加位）， C 代表输入进位位，二进制全加器是满足以下真值表的有 3 个输入和 2 个输出的电路。

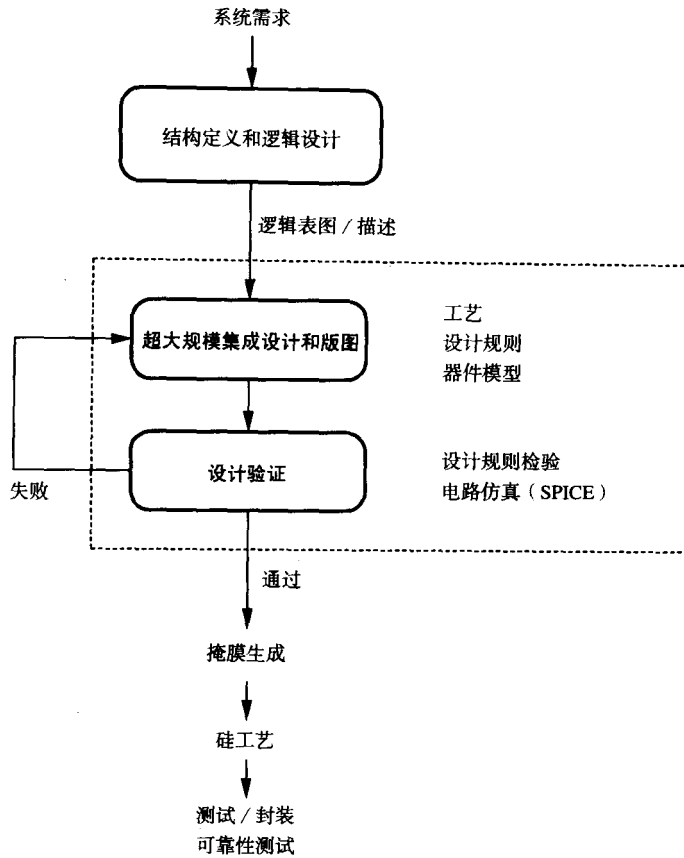
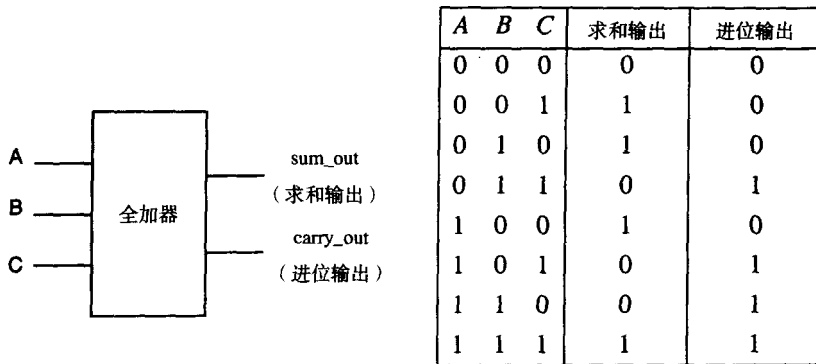


图 1.6 电路设计流程图



求和输出与进位输出信号是 3 个输入变量 A 、 B 、 C 的函数。

$$\begin{aligned} \text{sum_out} &= A \oplus B \oplus C \\ &= \overline{ABC} + \overline{A}BC + A\overline{B}C + ABC \\ \text{carry_out} &= AB + AC + BC \end{aligned}$$

图 1.7 所示的是这两个函数的门级实现。应该注意，这里不是独立地实现这两个函数，而是用进位输出生成求和输出，因为输出可表示为：

$$\text{sum_out} = \overline{ABC} + (A + B + C)\text{carry_out}$$

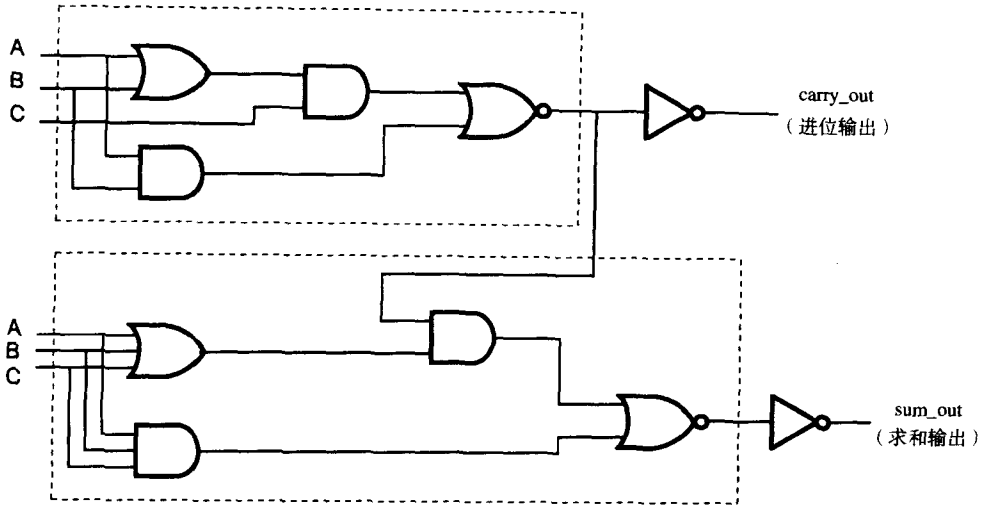


图 1.7 一位全加器电路的门级示意图

这种实现方案降低了电路复杂性，因此能够节省芯片面积。同时我们看到，包括几个门的两个单独的子网络（用虚线框圈住的）将被用来实现晶体管级的全加器电路。

注意，在从门级设计转换为晶体管级电路描述的过程中，求和输出与进位输出函数都由与-或-或非(AND-OR-NOR)结构表示。每个这样组合的结构（复杂的逻辑门）在 CMOS 中都可以由如下方式实现：“与”关系可由一系列串联的 nMOS 晶体管实现；“或”关系可以通过并联的 nMOS 晶体管实现，输入变量加到 nMOS（以及互补的 pMOS）晶体管的栅极。因此 nMOS 系统在输出端与地之间包含一系列以串并联方式联结在一起的 nMOS 晶体管。一旦实现了一个复杂的 CMOS 逻辑门的 nMOS 部分，相应的连接在输出与电源之间的 pMOS 网络就可以作为 nMOS 网络的偶网络构造出来。图 1.8 所示的是晶体管级 CMOS 全加器电路设计的结果。我们看到，连同用来产生输出的两个 CMOS 反相器，该电路一共包含 14 个 nMOS 和 14 个 pMOS 晶体管。

在这个具体的例子中，我们可以看出对偶网络（pMOS）对 nMOS 网络的求和输出函数和进位输出函数是等效的，这就形成了一个完全对称的电路拓扑结构。图 1.9 所示的是采用这种对称原则得到的另一种电路。注意，由图 1.8 和图 1.9 所示的电路实现的布尔函数是一样的，然而图 1.9 所示的对称电路拓扑结构明显简化了版图，我们将在第 7 章详细讨论这些问题。

首先，我们用宽长比为 $2\ \mu\text{m}/0.8\ \mu\text{m}$ 的晶体管设计所有的 nMOS 和 pMOS。这是在特定工艺中允许的最小晶体管尺寸。最初，这显然还不是最优的尺寸，以后可以根据加法器电路的性能要求加以改变。在设计的最初阶段选择最小尺寸的晶体管通常能简化电路功能的验证并且帮助设计者设计出简单的初始版图。

这样，就生成了全加器电路的初始版图。这里为了简化总体几何结构和减少信号布线，我们采用规则的版图风格。图 1.10 所示的是使用最小尺寸晶体管生成的初始版图。注意，在这个初始的加法器单元版图中，所有的 nMOS 与 pMOS 晶体管都放置在水平布置的电源与地线两条平行的线（金属）之间，所有的多晶硅连线都是垂直放置。n 型和 p 型扩散区之间的区域用来布置各自的金属互连线。同时注意为了节省芯片面积，相邻晶体管的扩散区尽可能地进行了合并。本例所采用的规则版图风格有其固有的优点：非常适合计算机辅助设计。这个全加器版图占用了 $(21\ \mu\text{m} \times 54\ \mu\text{m}) = 1134\ \mu\text{m}^2$ 的面积。

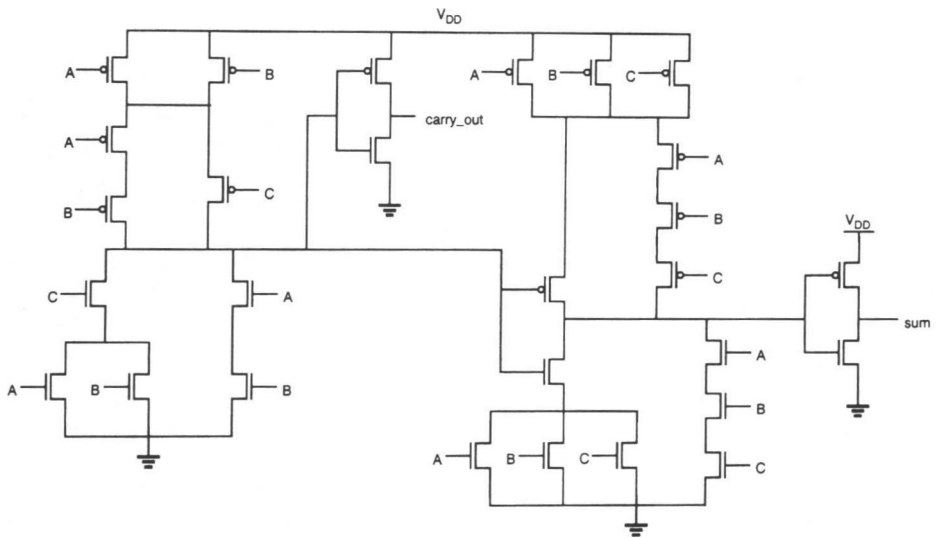


图 1.8 一位全加器电路晶体管级原理图

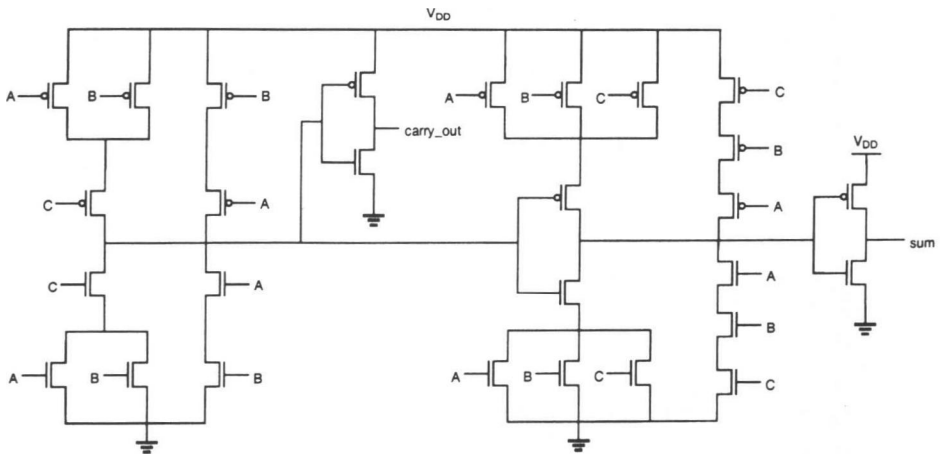


图 1.9 另一种一位全加器电路晶体管级原理图（注意 pMOS 网络与 nMOS 网络完全对偶）

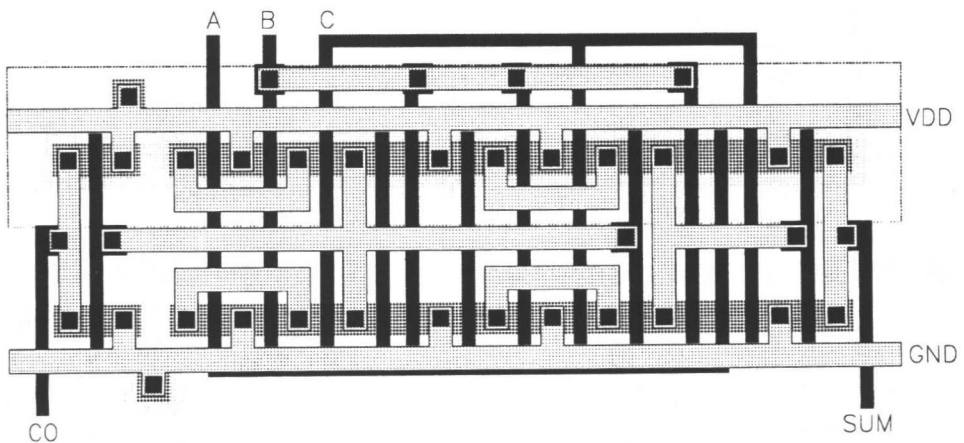


图 1.10 使用最小尺寸晶体管的全加器电路的初始版图

设计者需要使用自动设计规则检查工具以保证这个加法器版图完全符合物理版图设计规则。检查通常是在完成版图时同时进行的。下一步是从最初的设计中确定寄生电容和寄生电阻，然后用电路仿真工具（例如 SPICE）来估计加法器电路的动态性能。这里，我们位于图1.6所示的设计流程图表中的设计验证阶段。寄生参数提取工具通过读取物理版图文件、分析各个掩膜来辨别晶体管互连和引出端，计算这些结构的寄生电容和寄生电阻，最后生成一个能准确描述电路的 SPICE 输入文件（见第 4 章）。

我们采用 SPICE 来仿真以确定电路的动态性能。为使所有 8 种可能的输入组合都能按逻辑顺序输入全加器电路，我们选取了三个输入波形（A, B, C）。假设这个加法器电路输出端将驱动另一个类似的电路，每个输出节点的负载电容代表了一个全加器的典型输出电容。图 1.11 所示的是仿真的输入输出波形。但是仿真的结果显示，电路并未满足所有的设计指标，这是由于最小尺寸的晶体管不能有效地驱动容性输出负载，使得求和输出和进位输出信号传输延时超过了延时限制，特别是最坏情况下的延时为 2.0 ns 而允许的最大延时为 1.2 ns。图 1.12 所示的是当一个晶体管处于最坏情况时，两个输入信号的传输延时。为了解决这个问题，需要修改设计。因此，我们再返回到版图设计阶段。

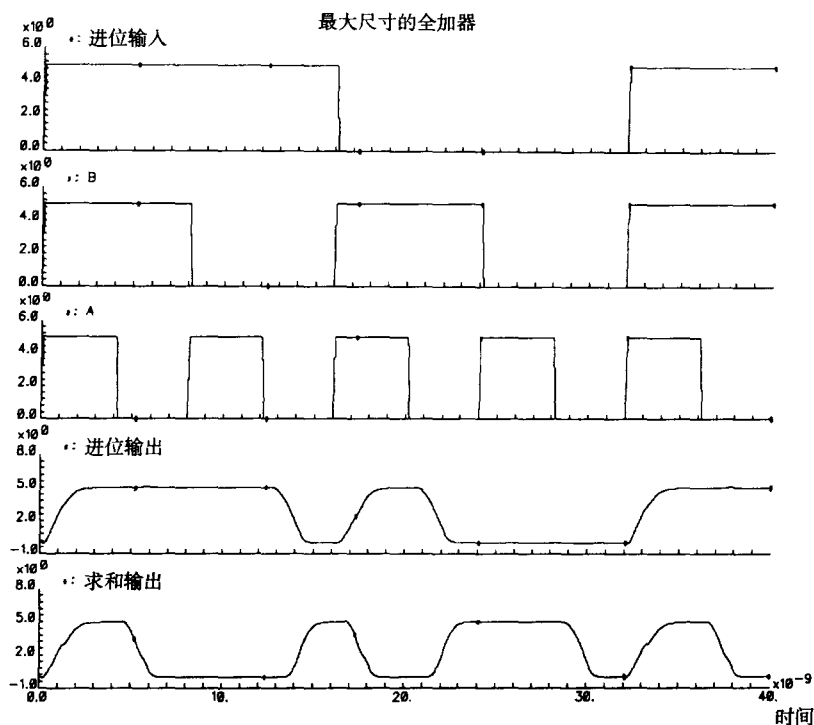


图 1.11 全加器电路的仿真输入和输出波形

一种方法就是提高开关速度，这样为了降低延时，就要提高电路中所有晶体管的宽长比。然而增加晶体管的宽长比同时也增加了栅、源和漏极的面积，因此增加了逻辑门负载中的寄生电容。因此改变晶体管的尺寸是一个反复的过程，包含这样几个步骤：版图修改、提取参数和仿真。由于进位输出信号是用来产生求和输出信号的，所以应优先考虑减少进位过程的延时，同时我们应仔细考虑所有的输入过渡过程：仅仅优化某一个特殊的输入过渡的延时可能导致其他过渡过程中出现出乎意料的传输延时。

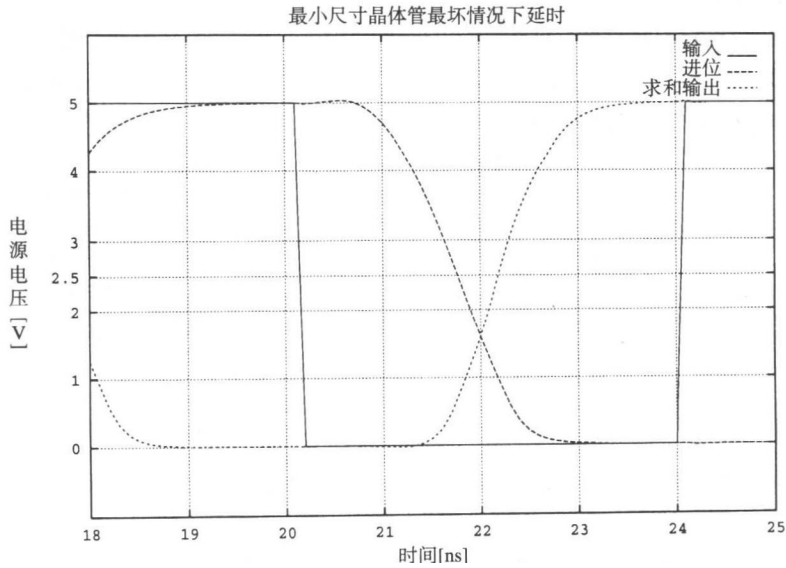


图 1.12 采用最小尺寸晶体管的全加器电路的仿真输出波形显示了在最差过渡中的信号传输延时

当我们改变全加器电路中的 nMOS 和 pMOS 晶体管尺寸来满足时序要求时，可以通过重新组织版图得到一个更加紧凑的布局，达到增加硅的可利用面积和减小单元间的互连寄生效应的目的。图1.13 所示的是最终版图单元，新的全加器电路版图占用 $(43 \mu\text{m} \times 90 \mu\text{m}) = 1290 \mu\text{m}^2$ 的面积，这比最初的版图面积增大了 14%。尽管在重新选择晶体管尺寸时已非常放松，但仍然低于开始设定的上限 $1500 \mu\text{m}^2$ 。

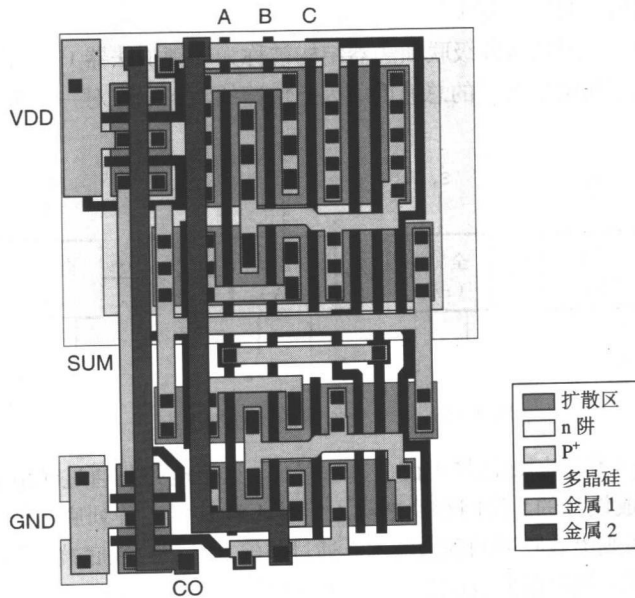


图 1.13 采用优化的晶体管尺寸的全加器电路修改版图

对于优化的全加器电路，我们发现，所有的传输和过渡（上升和下降）延时都在 1.2 ns 的限制范围以内。图 1.14 所示的是图 1.11 中描述的在同样最差的输入过渡中两个输入信号的传输延时。我们看到传输延时约为 1.0 ns 比原来减少了 50%。这个电路的动态功耗估计为 460 μ W。这样，电路就满足了最初给定的设计要求。

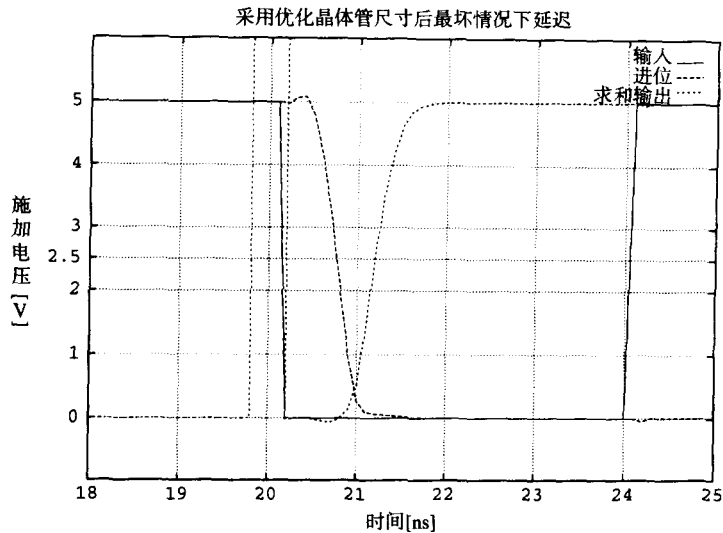


图 1.14 采用优化晶体管尺寸的全加器电路仿真输出波形，显示了在同样差的过渡过程中的信号传输延时

这个例子中设计的全加器电路可以用做一个 8 位二进制加法电路的基本单元。该电路在输入端接收两个 8 位二进制数作为输入，在输出端产生一个二进制的和数。8 位全加器电路可以级联成一个最简单的加法器。其中，每个加法器都执行两位的二进制加法，产生相应的求和位。并将其加入下一级作为输入，因此这种级联加法器结构被称为连锁加法器（见图 1.15），传输链上的进位位的延时显然限制了连锁加法器的总速度。因此快速的输出响应对一个级联加法器的整体性能是非常重要的。

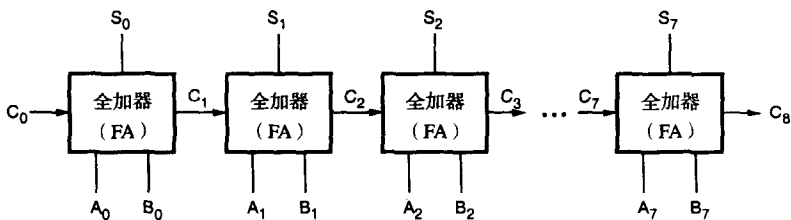


图 1.15 包含全加器的连锁加法器链

图 1.16 所示的是 4 位连锁加法器电路的掩膜版图，这个电路是通过简单地级联全加器单元形成一个规则阵列而完成设计的。我们看到把输入信号 A_i 和 B_i 沿着阵列底边的引脚输入到电路，而输出信号 S_i （求和位）则沿着阵列的顶边输出。通过将输入总线放在底端而将输出总线放在顶端的布局简化了信号布线。同时我们也应看到，由于连贯的全加器单元的输入与输出引脚位置是排成一线的，因此没有给进位信号留下多余的路径。这种结构经常应用在诸如算术逻辑单元（ALU）和数字信号处理（DSP）等需要进行大量的算术运算的电路中。通过采取各种措施，多位加法器的整体性能可以进一步提高，我们将在后续章节中对某些措施加以讨论。

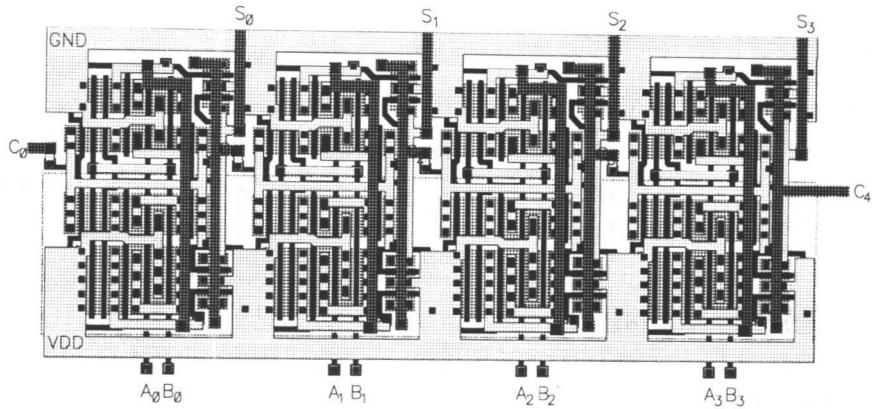


图 1.16 4 位连锁加法器阵列的掩膜版图

图 1.17 所示的是 8 位二进制加法器电路仿真的输入输出波形。我们可以看到最后一级加法器的求和最后产生，并且总的延时为 7 ns。

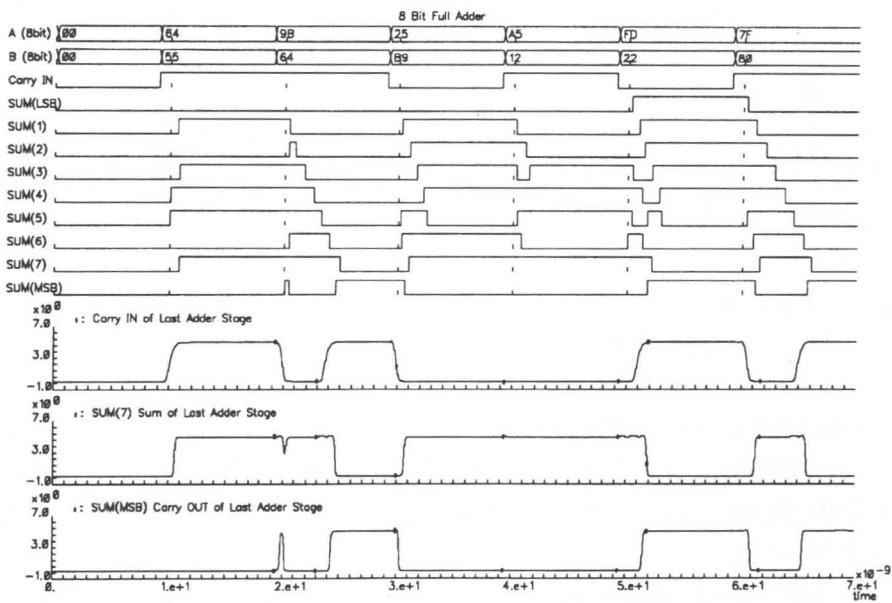


图 1.17 8 位连锁加法器电路的仿真输入输出波形，显示最大信号传输延时为 7 ns

这个例子告诉我们 CMOS 数字集成电路的设计包括许多问题，从布尔逻辑到门级设计，到晶体管级设计，到物理版图的设计以及到为了设计调整和性能验证而进行的详细的寄生参数提取之后的电路仿真。实质上，集成电路设计的最终输出为掩膜数据，这些数据是实际电路制造的依据。因此版图设计是很重要的。可以这样说正是掩膜使制造出来的集成电路能够更好地满足测试要求。

为了实现这样的目标，设计者需要利用从版图数据中提取出的计算机模型进行多次仿真和反复的设计，直到仿真结果很好地满足要求。在讨论最基本的 CMOS 反相器电路以前，我们将讨论利用一系列掩膜版图设计规则和 MOS 晶体管电性能以及它们的计算机模型来制造 MOS 晶体管的过程。

1.4 VLSI 设计方法综述

前面已经指出，数字集成电路的结构复杂度（通常以每个芯片含有的晶体管数目表示）在过去的三十年里一直呈指数率增长。之所以能保持显著的增长率，主要是由于制造技术的不断进步以及人们对在单个芯片上集成更加复杂功能的不断增加的需求。对快速提高的芯片复杂度的要求给许多领域提出了巨大的挑战。事实上，成百上千个机构的成员正在进行 VLSI 产品的开发。其中包括了工艺、计算机辅助设计工具（CAD）、芯片设计、制造、封装、测试和可靠性验证的开发。在一个良好的设计方法结构体系下，以合适的方式有效组织经济可靠的 VLSI 产品的开发是非常必要的。我们将在这一章介绍设计的总体流程，使读者了解一些重要的设计概念、不同的超大规模设计风格、设计质量以及 CAD 技术。

总体来说，像微处理器和数字信号处理器这样的逻辑芯片不仅包含大量的存储单元（SRAM/DRAM），还包括着众多不同的功能单元。因此，尽管先进的存储芯片也包含一些复杂的逻辑功能，但与存储芯片相比，逻辑芯片的设计复杂度更高。逻辑芯片的设计复杂度几乎随着被集成的晶体管数量呈指数率增加。这就增加了设计周期，即从芯片开始开发到掩膜交付的时间。设计者把设计的绝大部分时间用于以可接受的费用达到芯片性能的要求，这对于任何有竞争力的产品在经济上的成功是非常重要的。在设计过程中，电路性能会随着设计的改进而提高。这个过程在刚开始会快一些，然后比较缓慢直到由于采用了特殊的设计风格和技术性能最终达到饱和。在一定的设计时间内，电路所能达到的性能等级很大程度上依赖于设计方法的效率以及设计风格。

图 1.18 定性地阐述了这一点。图中把设计同一产品时采用的两种不同的 VLSI 设计风格的优点进行了比较。使用全定制设计风格（每个芯片的位置和形状分别进行优化）需要很长的时间才能达到设计成熟，然而调整电路设计的各个方面这一固有的灵活性为在设计过程中改进电路性能提供了更多的可能性。最终的产品具有典型的高性能等级（高处理速度、低功耗），并且由于芯片面积得到了较好的利用，硅片的面积较小。但这是以花费大量的设计时间为代价的。相反，使用半定制设计风格（譬如基于标准单元的设计或者 FPGA）达到设计成熟需要较短的设计时间。在设计初期，由于在半定制设计中使用的一些单元已经得到了优化，所以电路的性能比全定制的设计要高。但是半定制设计风格对于性能进一步提高的可能性较小，最终产品的整体性能不可避免地比全定制设计的产品低。

VLSI 产品特定设计的风格的选择取决于产品的性能要求、使用的技术、产品的寿命以及工程的造价。下面我们将讨论不同的 VLSI 设计风格并比较它们对电路性能和总造价的影响。

除了选择合适的 VLSI 设计风格外，VLSI 制造技术的不断发展还带来许多必须考虑的其他问题。大约每两年就有一种新的技术产生，器件尺寸更小，从而带来了更高集成度和更高性能的产品。为了充分利用当前的技术，必须尽可能地缩短芯片的开发时间以便更快地完成芯片的制造，并适时地将产品送到消费者手中。但就像图 1.19 所示的那样，这可能使逻辑集成的水平和芯片性能达不到当前工艺技术所能达到的水平。

一个成功的 VLSI 产品的设计时间比开发一个性能最好的芯片所需的时间短，这就为芯片在当前技术窗口（technology window）下的生产和市场开发留出了足够的时间。当下一代制造技术出现时，可以利用更高集成度和更好的性能对设计进行升级。另一方面，如果利用当前的技术要花很长的时间才能使产品达到尽可能高的性能的话，就有可能错过利用新技术的机会。较长的设

设计时间往往使产品有较好的整体性能，但为了能够收回开发成本，该产品必须在市场上保持一定的行销时间。因此，如果不能利用下一代新的制造技术的优点，那么就等于降低了产品的竞争力。

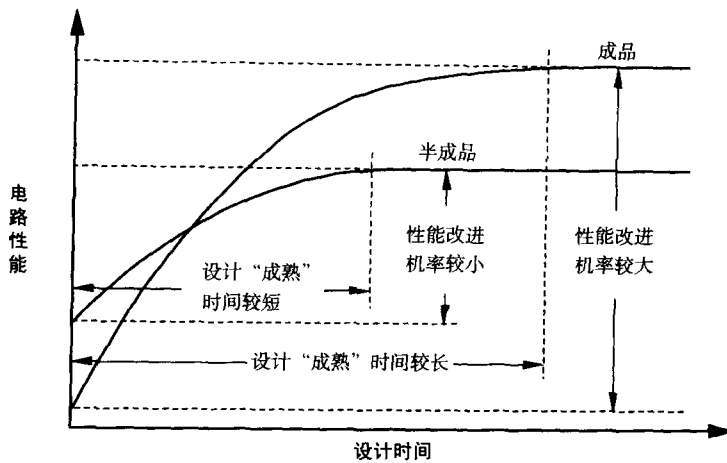


图 1.18 不同的 VLSI 设计风格对设计周期和电路达到的性能的影响

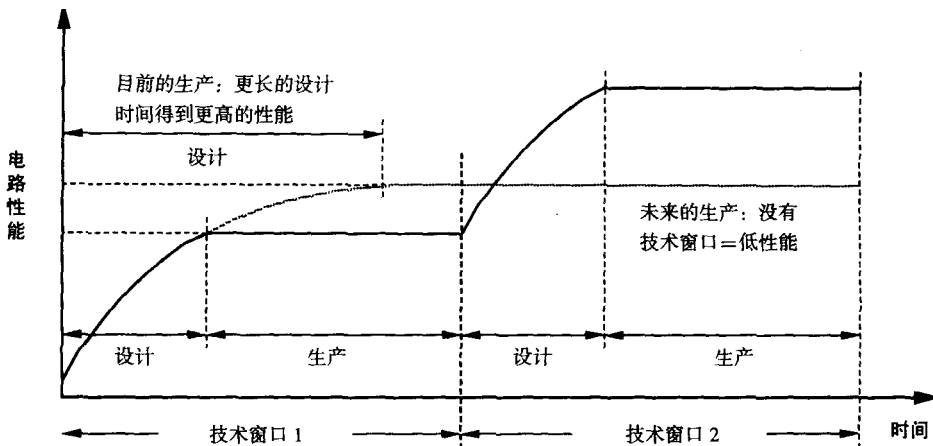


图 1.19 新的制造技术对 VLSI 产品性能的提高和缩短经济可行性设计时间的重要性

实际上，新一代芯片的设计周期与当前一代芯片的生产周期是重叠的，因而保持了芯片开发的连续性。采用尖端的计算机辅助设计工具和方法对于减少设计周期和解决不断增加的设计复杂度问题是必需的。

1.5 VLSI 设计流程

不同等级上的设计过程实际是在不断发展的。设计过程是从给定的某些要求开始的。最初的设计是针对这些要求进行开发和测试。当不满足要求时，就必须改进设计。当这样的改进不可能实现或代价太高时，设计者就必须考虑修改要求和分析影响。图 1.20 中的 Y 图（首先由 D. Gajski 提出）所示的是大多数逻辑芯片的简化的设计流程，该流程应用了像字母 Y 的三条基准线上的设计活动。实际上，为了简化，许多反馈环并没有显示出来。

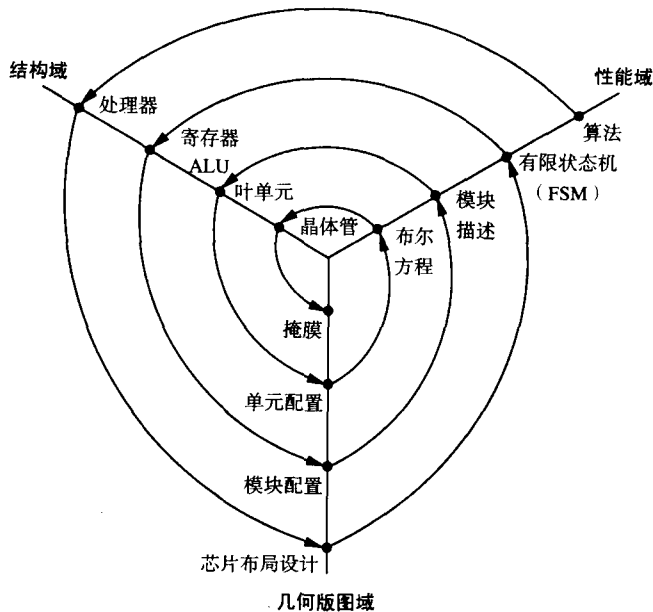


图 1.20 三个域内的简化 VLSI 设计流程 (典型的 Y 图)

Y 图由三个表达域构成，它们分别称为：(I) 性能域，(II) 结构域，(III) 几何版图域。设计流程从描述目标芯片特性的算法开始。首先定义处理器相应的结构。这种结构通过布局映射到芯片表面。特性域的下一步设计过程定义了有限状态机 (FSM) 其原理是通过使用像寄存器和算术逻辑单元 (ALU) 这样的功能模块从结构上来实现的。为了使互连面积和信号延时最小化，设计者使用具有布线功能的自动模型配置 CAD 工具把这些模块再以几何角度布置到芯片表面。第三步从特性模块描述开始。单个模块用叶单元来实现。这一阶段，芯片用逻辑门 (叶单元) 来描述，可以使用单元配置和布线程序进行布局和互连。最后一步，首先给出叶单元详细的布尔描述，接下来是晶体管级的叶单元的实现和掩膜生产的实现。在基于标准单元的设计风格中，叶单元在晶体管级预先设计好并存储在为逻辑实现准备的器件库中，这就有效地减小了晶体管级设计的需要。

考虑到各种表示以及设计的抽象过程：行为、逻辑、电路和掩膜版图，图 1.21 给出了 VLSI 设计的更简化的流程图。应注意在这个流程的每一步对设计的验证都起着非常重要的作用。若初期没有适当地设计验证，将导致后期更大规模的、代价更高的返工，这最终将推迟产品投放市场的时间。

尽管我们用线性流程图简化了设计过程，但实际上在相邻的两步之间，有时甚至在相距较远、相互独立的两部分之间都有许多重复。尽管自顶而下的设计流程需要进行设计过程控制，但实际上没有真正单向的自顶而下的设计流程。一个成功的设计必须将自顶而下与自底而上的方法结合起来。如果一个芯片设计者没有准确地估计相应的芯片面积就定义了一个结构，那么最后的芯片版图很可能超过了当前技术所允许的芯片面积的限制。在这种情况下，为了使结构适合所允许的芯片面积，一些功能可能不得不删掉并进行返工。这些改变可能导致对最初的要求做出重大的修改，因此尽早地进行自下而上的反馈是非常重要的。

下面我们将介绍近几年来在复杂的软硬件工程中用到的设计方法和结构化的方法。如果不考虑工程的实际大小，那么结构化设计的基本原则将增加成功率。一些降低集成电路设计的复杂度的典型技术是：层次化、规范化、模块化和本地化。

1.6 设计分层

应用分层或者“各个击破”技术把一个模块分成几个子模块，然后对子模块再重复这种操作直到更小部分达到能被处理的复杂度为止。这种方法和软件开发过程中把大的程序分成几个小的部分直到子程序能用函数和接口较好的定义的方法是相似的。在前面我们介绍过VLSI芯片的设计可以用三个域来表示。同样，一个分层结构能够在每个域内独立地描述出来。然而，为了简化设计，应将不同域内的层次很容易地连接起来。

作为结构层次的一个例子，图 1.22 所示的是把一个 CMOS 4 位加法器结构进行分解的示意图。该加法电路能被逐渐分成 1 位加法器 单独的进位和求和电路，最后分成单独的逻辑门。一个简单的电路在低层次上实现较好定义的布尔函数比在较高的层次上实现起来更加容易。

在物理域中，把一个复杂的系统分成不同的功能模块可以为这些模块在芯片上的实现提供有价值的指导。显然，近似地估计每个子模块的形状和尺寸（面积）对布局设计非常有用。图 1.23 所示的是在物理描述域中（几何版图）一个 4 位全加器分解的层次图，形成了一个简单的布局设计。这个物理视图描述了加法器的外部几何形状、输入输出引脚的位置以及允许信号（在这种情况下进位信号）在没有外部布线的情况下从一个子模块传送到其他子模块的引线位置。在物理层的低层上，每个加法单元的内部掩膜版图都定义了每个晶体管和线路的位置及连接。图 1.24 所示的是 16 位动态 CMOS 加法器的全定制版图并描述了物理层次较低的子模块。这里，16 位加法器包括 4 个级联的 4 位加法器，并且每个 4 位加法器又能分成其各自的诸如曼彻斯特链、进位 / 传输电路以及输出缓冲器等功能模块。最后，图 1.25 所示的是 16 位加法器的结构层次，我们注意到在结构层次中对每一个模块都有相应的物理描述，例如物理视图中的元件与其结构视图是一致的。

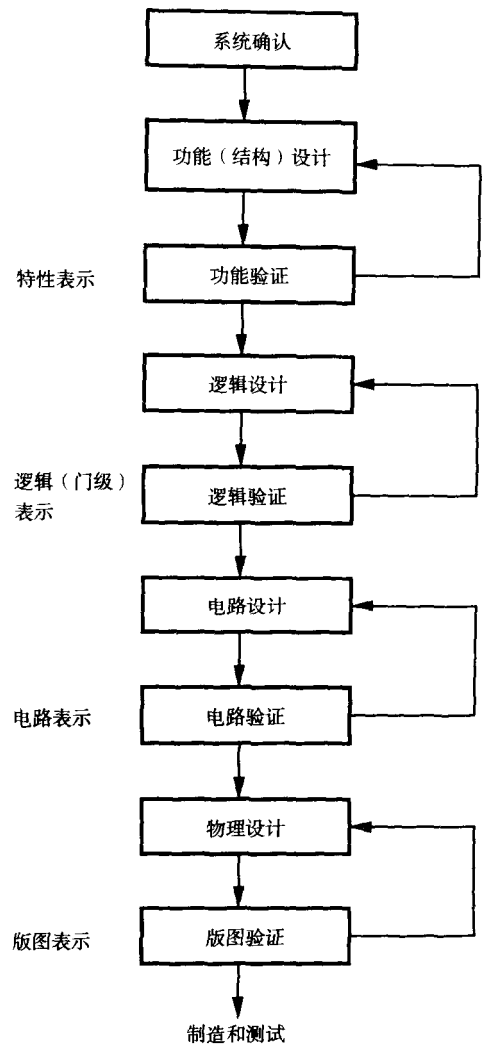


图 1.21 VLSI设计的更简化的流程