

21 世纪高等学校电子信息类教材

CMOS 模拟集成电路 分析与设计

吴建辉 编著

电子工业出版社

Publishing House of Electronics Industry

北京 · BEIJING

内 容 简 介

本书分析了 CMOS 模拟集成电路设计理论与技术,全书由 18 章组成。从 CMOS 集成电路的工艺着手,介绍了 CMOS 模拟集成电路的基础,即 MOS 器件物理以及高阶效应,然后分别介绍了模拟集成电路中的各种电路模块:基本放大器、恒流源电路、差分放大器、运算放大器、基准电压源、开关电容电路、集成电压比较器、数/模转换与模/数转换以及振荡器与锁相环等。另外,在第 6 章、第 7 章与第 10 章中还特别介绍了 CMOS 模拟集成电路的频率响应、稳定性、运算放大器的频率补偿及其反馈电路特性,在第 8 章与第 12 章中还分析了噪声与非线性。

本书作为 CMOS 模拟集成电路的教材,可供本科生高年级与研究生使用,也可供从事相关专业的技术人员参考。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有,侵权必究。

图书在版编目(CIP)数据

CMOS 模拟集成电路分析与设计/吴建辉编著. —北京:电子工业出版社,2004.10

21 世纪高等学校电子信息类教材

ISBN 7-121-00199-3

. C... . 吴... . 模拟集成电路—电路分析—高等学校—教材 模拟集成电路—电路设计—高等学校—教材 . TN431.1

中国版本图书馆 CIP 数据核字(2004)第 078790 号

责任编辑:王颖 姚晓竞

印 刷:

出版发行:电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

经 销:各地新华书店

开 本:787×1092 1/16 印张:23.5 字数:601.6 千字

印 次:2004 年 10 月第 1 次印刷

印 数:5 000 册 定价:29.80 元

凡购买电子工业出版社的图书,如有缺损问题,请向购买书店调换。若书店售缺,请与本社发行部联系。联系电话:(010)68279077。质量投诉请发邮件至 zllts@phei.com.cn,盗版侵权举报请发邮件至 dbqq@phei.com.cn。

前 言

由于 CMOS 工艺技术的飞速发展，使其在集成电路制造中占有越来越重要的地位，而其中的 CMOS 模拟集成电路也因此而得以快速发展。CMOS 工艺能实现低电源电压、低功耗的系统，适应了当前模拟电路的发展趋势。

本书作为教材，着重讨论 CMOS 模拟集成电路的分析与设计的基础知识，并介绍了新技术与新理论，深入浅出地对 CMOS 模拟集成电路中的主要模块电路进行了较为详尽的分析，并力求理论与实际相结合，使学生经过本教材的学习能真正了解 CMOS 模拟集成电路的分析与设计方法，掌握 CMOS 模拟集成电路中的主要模块的设计基础，为进行模拟电路的设计打下基础。

本教材共分为五大部分：第一部分讲述 CMOS 集成电路的制造工艺，主要由第 1 章构成，重点介绍了 CMOS 集成电路中的双阱工艺以及高低压兼容工艺。第二部分则是本教材的第 2 章所述的 CMOS 模拟集成电路的基础，重点介绍 CMOS 器件物理、二阶效应、等比例缩小及高阶效应。第三部分介绍 CMOS 模拟集成电路中的主要电路模块：第 3 章介绍单级放大器，包括共源、共栅、源极跟随器、共源共栅放大器等；第 4 章分析恒流源电路设计技术；第 5 章对差分放大器进行了详尽的分析；第 9 章分析运算放大器的特点及设计方法，包括单级放大器与多级放大器；第 11 章对开关电容电路进行了研究，并介绍了开关电容电路的主要应用；第 13 章是基准电压源的设计，重点分析了带隙基准电压源的设计技术；第 14 章介绍了集成电压比较器的设计与分析；第 15 章研究了数/模转换电路与模/数转换电路；第 16 章是关于集成振荡器与锁相环的设计。第四部分讲述 CMOS 模拟集成电路中必须考虑的其他特性：第 6 章分析放大器的频率响应；第 7 章分析反馈放大器特性；第 8 章介绍电路噪声的分析方法以及电路中的主要噪声；第 10 章是有关运算放大器频率补偿的设计；第 12 章分析电路的非线性及其消除技术。第五部分讲述了集成电路的版图设计和工程设计实例：第 17 章介绍了版图设计技术；第 18 章介绍了工程设计实例。

在本教材的编撰过程中，东南大学国家专用集成电路系统工程研究中心的师生以及电子工程系的老师给予了大力支持与帮助，在此表示深深的谢意。

CMOS 模拟技术发展迅速，并且由于编著者水平有限，书中所介绍的内容难免有不足和错误之处，希望读者批评指正。

编 著 者

2003 年 9 月

目 录

第 1 章 CMOS 集成电路制造工艺	(1)
1.1 基本的制造工艺过程	(1)
1.1.1 衬底材料的制备	(1)
1.1.2 光刻	(2)
1.1.3 刻蚀	(3)
1.1.4 掺杂、扩散	(4)
1.1.5 化学气相淀积	(4)
1.2 双阱 CMOS 工艺的主要流程	(5)
1.3 高压 CMOS 器件及高低压兼容工艺	(11)
1.3.1 高压 CMOS 器件	(11)
1.3.2 高低压兼容 CMOS 工艺	(12)
1.3.3 高压 PMOS 的厚栅氧刻蚀	(13)
1.3.4 高低压之间的隔离	(15)
第 2 章 基本 MOS 器件物理	(17)
2.1 有源器件	(17)
2.1.1 MOS 晶体管结构与几何参数	(17)
2.1.2 MOS 管的工作原理及表示符号	(18)
2.1.3 MOS 管的高频小信号电容	(20)
2.1.4 MOS 管的电特性	(22)
2.1.5 二阶效应	(26)
2.1.6 MOS 管交流小信号模型	(30)
2.1.7 有源电阻	(31)
2.2 无源器件	(34)
2.2.1 电阻	(34)
2.2.2 电容	(36)
2.3 短沟道效应	(38)
2.3.1 按比例缩小	(38)
2.3.2 短沟道效应	(41)
2.4 MOS 器件模型	(46)
第 3 章 单级放大器	(47)
3.1 共源放大器	(47)
3.1.1 无源负载共源放大器	(47)
3.1.2 有源器件作为负载	(50)
3.2 源极跟随器	(56)
3.2.1 电阻负载源极跟随器	(56)

3.2.2	电流源负载源极跟随器	(57)
3.3	共栅放大器	(59)
3.4	共源共栅极 (级联级)	(62)
3.5	折叠式级联	(65)
第 4 章	恒流源电路	(67)
4.1	基本电流镜结构	(67)
4.2	威尔逊电流源	(68)
4.3	共源共栅电流源——高输出阻抗恒流源	(69)
4.4	低压共源共栅结构——常数 V_b 的偏置	(70)
4.5	高输出阻抗、高输出摆幅的恒流源	(71)
4.6	高电源抑制比的电流源	(72)
4.6.1	CMOS 峰值电流源	(72)
4.6.2	恒定跨导电流源	(74)
第 5 章	差分放大器	(75)
5.1	概述	(75)
5.2	基本差分对	(76)
5.2.1	电路结构	(76)
5.2.2	差分对的共模输入及输出压摆	(76)
5.2.3	差分对的差分工作	(78)
5.3	以 MOS 管作为负载的差分放大器	(89)
5.4	CMOS 差分放大器	(90)
5.4.1	工作原理	(91)
5.4.2	电路分析	(91)
5.4.3	CMOS 差分放大器的主要性能	(97)
5.5	模拟乘法器	(97)
5.5.1	模拟乘法器设计方法	(97)
5.5.2	直接利用双差分结构实现	(99)
第 6 章	放大器的频率响应	(101)
6.1	频率特性的基本概念和分析方法	(101)
6.1.1	基本概念	(101)
6.1.2	分析方法	(102)
6.2	共源极的频率响应	(103)
6.2.1	电路的零极点	(103)
6.2.2	输入阻抗	(105)
6.3	源极跟随器	(106)
6.3.1	电路的零极点	(106)
6.3.2	输入阻抗	(108)
6.3.3	输出阻抗	(108)
6.4	共栅极——电流缓冲器	(109)
6.4.1	电路的零极点	(109)

6.4.2	输入阻抗	(110)
6.5	级联放大器	(110)
6.6	CMOS 增益级	(112)
6.7	差分对放大器	(113)
6.7.1	CMOS 全差分对	(113)
6.7.2	电流镜为负载的差分对	(115)
第 7 章	反馈	(118)
7.1	基本概念	(118)
7.1.1	负反馈放大器的方框图及放大倍数的一般表达式	(118)
7.1.2	负反馈放大器的类型	(119)
7.2	负反馈结构	(119)
7.3	负反馈放大器的特性	(121)
7.3.1	提高放大器增益的稳定性	(121)
7.3.2	对系统的输入与输出电阻的影响	(122)
7.3.3	带宽调节	(125)
7.3.4	减小非线性失真	(126)
7.3.5	负载的影响	(127)
7.4	反馈网络的噪声效应	(133)
7.5	系统的稳定性	(134)
7.5.1	单极点系统	(134)
7.5.2	多极点系统	(135)
第 8 章	噪声	(136)
8.1	概述	(136)
8.1.1	噪声的描述方法	(136)
8.1.2	相关噪声源与独立噪声源	(137)
8.1.3	噪声带宽	(137)
8.2	噪声的种类	(137)
8.2.1	热噪声	(138)
8.2.2	闪烁噪声—— $1/f$ 噪声	(140)
8.2.3	散粒噪声	(141)
8.3	电路中噪声的表示方式	(142)
8.3.1	噪声源表示法	(142)
8.3.2	$\overline{V_{n,i}^2}$ 与 $\overline{I_{n,i}^2}$ 的计算	(142)
8.4	单级放大器中的噪声	(143)
8.4.1	共源极	(143)
8.4.2	共栅极	(144)
8.4.3	共源共栅放大器	(145)
8.4.4	源极跟随器	(146)
8.4.5	CMOS 放大器的噪声	(147)
8.5	差分对中的噪声	(148)

第 9 章 运算放大器	(150)
9.1 概述	(150)
9.1.1 运算放大器的主要参数	(150)
9.1.2 分析运算放大器的一般步骤	(153)
9.2 单级运放	(153)
9.2.1 全差分单级运算放大器	(153)
9.2.2 单端输出运算放大器	(156)
9.3 共模反馈	(159)
9.3.1 共模电平的检测方法	(159)
9.3.2 误差比较技术	(161)
9.4 多级运放	(165)
9.4.1 两级运放	(165)
9.4.2 多级运放	(166)
9.5 运放的建立时间 T_{SET}	(169)
9.5.1 物理意义	(169)
9.5.2 单级运放的转换速率	(172)
9.5.3 二级运放的转换速率	(173)
9.6 增益提高电路	(174)
9.6.1 基本增益提高电路	(174)
9.6.2 增益提高的级联运放	(176)
9.7 运放中的噪声分析	(177)
9.8 运算放大器的设计流程	(179)
第 10 章 运算放大器的频率补偿	(180)
10.1 稳定相位裕度	(180)
10.2 频率补偿	(182)
10.2.1 单级高增益运放的频率补偿	(182)
10.2.2 CMOS 多级运放的补偿	(185)
第 11 章 开关电容电路	(195)
11.1 概述	(195)
11.2 MOS 模拟开关	(195)
11.2.1 MOS 开关的电阻	(196)
11.2.2 MOS 管寄生电容的影响	(199)
11.2.3 衬偏的调制与 kT/C 噪声	(202)
11.3 开关电容电路的工作原理及特点	(203)
11.3.1 电荷重分配原理	(203)
11.3.2 开关电容电路的等效电阻	(204)
11.4 开关电容电路模块	(205)
11.4.1 采样维持 (S/H) 电路	(205)
11.4.2 增益放大模块	(208)
11.4.3 开关电容积分器	(210)

11.4.4	倍乘和单位延迟及积分/加法(或减法)电路	(210)
11.4.5	开关电容滤波器	(211)
11.4.6	开关电容共模负反馈	(212)
11.5	开关电容电路中的非理想效应	(213)
11.5.1	开关的非理想效应	(213)
11.5.2	电容的不精确	(214)
11.5.3	非理想运算放大器的影响	(214)
11.5.4	开关电容电路中的噪声	(214)
第 12 章	放大器的非线性失真	(217)
12.1	概述	(217)
12.1.1	非线性的定义	(217)
12.1.2	非线性的度量方法	(217)
12.2	单级放大器的非线性	(218)
12.2.1	由于管子特性引起的非线性	(218)
12.2.2	由放大器传输特性引起的非线性	(218)
12.3	差分电路的非线性	(218)
12.4	电路中器件引起的非线性	(219)
12.4.1	电容的非线性	(219)
12.4.2	MOS 管作为电阻的非线性	(220)
12.5	克服非线性的技术	(221)
12.5.1	原理	(221)
12.5.2	改善放大器非线性失真的实际电路	(222)
第 13 章	基准电压源	(226)
13.1	基本工作原理	(226)
13.1.1	与温度无关的基准	(226)
13.1.2	常见的带隙基准电压源的结构	(228)
13.2	带隙基准源各个单元的分析	(228)
13.2.1	电流镜	(228)
13.2.2	运算放大器	(234)
13.2.3	温度补偿	(237)
13.3	低电压工作的基准电压源	(242)
13.3.1	常态阈值器件的低电压基准电压源	(242)
13.3.2	结构改进型低电压基准电压源	(242)
13.4	以 MOS 管阈值电压 V_{th} 为基准的参考电压源	(243)
13.5	亚阈值区的基准电压源	(245)
13.6	多组电压源的产生	(246)
13.7	带负载能力	(246)
第 14 章	集成电压比较器	(248)
14.1	概述	(248)
14.1.1	基本概念	(248)

14.1.2	电压比较器的主要参数及设计要求	(249)
14.1.3	电压比较器的结构	(250)
14.2	级联倒相器结构	(250)
14.2.1	基本倒相器结构	(250)
14.2.2	典型级联倒相结构比较器	(251)
14.2.3	快速的级联结构比较器	(252)
14.3	差分输入运算放大器结构	(253)
14.3.1	静态模式	(253)
14.3.2	动态工作模式	(255)
第 15 章	D/A、A/D 转换器	(260)
15.1	概述	(260)
15.2	数/模转换 (DAC)	(260)
15.2.1	工作原理	(260)
15.2.2	DAC 的主要性能	(261)
15.2.3	DAC 的种类	(262)
15.3	模/数转换电路	(271)
15.3.1	工作原理	(271)
15.3.2	性能参数	(271)
15.3.3	模/数转换器类型	(272)
第 16 章	振荡器与锁相环	(291)
16.1	振荡器	(291)
16.1.1	概述	(291)
16.1.2	LC 振荡器	(292)
16.1.3	交叉耦合振荡器	(293)
16.1.4	科尔皮兹振荡器	(294)
16.1.5	负阻振荡器	(296)
16.1.6	移相振荡器	(296)
16.1.7	环形振荡器	(297)
16.1.8	压控振荡器	(302)
16.2	锁相环	(304)
16.2.1	锁相环结构	(304)
16.2.2	锁相环路的性能	(306)
16.2.3	锁定状态	(308)
16.2.4	频率倍增和合成	(310)
16.2.5	电荷泵锁相环	(311)
第 17 章	版图设计技术	(315)
17.1	版图的设计流程	(315)
17.2	工艺制约	(316)
17.3	工艺设计规则	(317)
17.4	布局与布线	(318)

17.4.1	MOS 器件的版图设计	(318)
17.4.2	二极管的版图设计	(321)
17.4.3	无源器件	(321)
17.4.4	布局	(323)
17.4.5	布线	(328)
17.5	封装	(331)
17.5.1	自感	(332)
17.5.2	互感	(332)
第 18 章	工程设计	(334)
18.1	运算放大器设计	(334)
18.1.1	放大器结构的确定	(334)
18.1.2	选择工艺参数	(335)
18.1.3	各级放大器参数的初步考虑	(336)
18.2	模数转换器 ADC 的设计	(342)
18.2.1	目标与设计流程	(342)
18.2.2	电路结构	(343)
18.2.3	电路设计	(344)
18.2.4	总体电路设计与仿真	(358)
18.2.5	版图设计及后仿真	(358)
18.2.6	芯片测试方案	(361)
参考文献		(363)

第 1 章 CMOS 集成电路制造工艺

从电路设计到芯片完成离不开集成电路的制造工艺，本章主要介绍硅衬底上的 CMOS 集成电路制造的工艺过程。有些 CMOS 集成电路涉及到高压 MOS 器件（例如平板显示驱动芯片、智能功率 CMOS 集成电路等），因此，高低压电路的兼容性就显得十分重要，在本章最后将重点说明高低压兼容的 CMOS 工艺流程。

1.1 基本的制造工艺过程

CMOS 集成电路的制造工艺是一个非常复杂而又精密的过程，它由若干单项制造工艺组合而成，下面将分别简要介绍。

1.1.1 衬底材料的制备

任何集成电路的制造都离不开衬底材料——单晶硅。制备单晶硅有两种方法：悬浮区熔法和直拉法。这两种方法制成的单晶硅具有不同的性质和不同的用途。

1. 悬浮区熔法

悬浮区熔法是在 20 世纪 50 年代提出并很快被应用到晶体制备技术中。在悬浮区熔法中，使圆柱形硅棒固定于垂直方向，用高频感应线圈在氩气中加热，使棒的底部与其下部相邻的同轴固定的单晶籽晶间形成熔滴，则这两个棒朝相反方向旋转，并将在多晶棒与籽晶间只靠表面张力形成的熔区沿棒长逐步向上移动，将其转换成单晶硅。

悬浮区熔法制备的单晶硅氧含量和杂质含量很低，经过多次区熔提炼，可得到低氧高阻的单晶硅。如果把这种单晶硅放入核反应堆，由中子演变掺杂法对这种单晶硅进行掺杂，那么杂质将分布得非常均匀。用这种方法制备的单晶硅的电阻率非常高，特别适合制作电力电子器件。目前悬浮区熔法制备的单晶硅仅占有很小的市场份额。

2. 直拉法

随着超大规模集成电路的不断发展，不但要求单晶硅的尺寸不断增加，而且要求所有的杂质浓度能得到精密控制，而悬浮区熔法无法满足这些要求，因此，直拉法制备的单晶硅越来越多地被人们所采用。目前市场上的单晶硅绝大部分是采用直拉法制备得到的。

拉晶过程：首先将预处理好的多晶硅装入炉内石英坩埚中，待抽真空或通入惰性气体后进行熔硅处理。在熔硅阶段坩埚位置的调节很重要。开始时，坩埚位置很高，待下部多晶硅熔化后，坩埚逐渐下降至正常拉晶位置。熔硅时间不宜过长，否则掺入熔融硅中的多晶硅会挥发，而且坩埚容易被熔蚀。待熔硅稳定后即可拉制单晶硅。所用掺杂剂可在拉制前一次性加入，也可在拉制过程中分批加入。拉制气氛由所要求的单晶硅性质及掺杂剂性质等因素确定。拉晶时，籽晶轴以一定速度绕轴旋转，同时坩埚反方向旋转，大直径单晶硅的收颈是为了抑制位错大量地从籽晶向颈部以下单晶延伸。收颈是靠增大提拉速度来实现的。在单晶硅生长过程中应保持熔硅液面在温度场中的位置不变，因此，坩埚必须自动跟踪熔硅液面下

降或上升。同时，拉晶速度也应自动调节以保持等直径生长。所有自动调节过程均由计算机控制系统或电子系统自动完成。

1.1.2 光刻

光刻是集成电路制造过程中最复杂和最关键的工艺之一。光刻工艺利用光敏的抗蚀涂层（光刻胶）发生光化学反应，结合刻蚀的方法把掩膜版图形复制到圆硅片上，为后序的掺杂、薄膜等工艺做好准备。在芯片的制造过程中，会多次反复使用光刻工艺。现在，为了制造电子器件要采用多达 24 次光刻和多于 250 次的单独工艺步骤，使得芯片生产时间长达一个月之久。目前光刻已占到总的制造成本的 1/3 以上，并且还在继续提高。

光刻的主要工艺步骤包括：光刻胶涂敷、掩膜与曝光、光刻胶显影、刻蚀和胶剥离。下面分别进行简要的介绍。

1. 光刻胶涂敷

光刻胶是一种有机的光敏化合物。按照胶的极性可分为正性光刻胶和负性光刻胶。光刻胶在曝光之后，被浸入显影溶液中。在显影过程中，正性光刻胶曝过光的区域溶解的速度要快得多，在理想情况下，未曝光区域保持不变；负性光刻胶正好相反，在显影剂中未曝光的区域将溶解，而曝光的区域被保留。正胶的分辨率往往较好，因此，在集成电路制造中应用更为普及。

在光刻胶涂敷前，硅片要进行热处理以去除湿气，并且经黏附增强剂处理，然后用光刻胶溶液旋转涂敷。在一个高温的热板上，溶剂挥发掉，通过选择光刻胶的黏度和涂敷旋转的速度，使光刻胶固化为十分均匀的薄膜，厚度为 $1 \sim 2\mu\text{m}$ 。

2. 掩膜与曝光

掩膜版与圆片的对准至关重要，它将影响芯片的集成密度和电路的性能，因此，在现代集成电路制造工艺中，采用了多种方法以保证掩膜版与圆片的对准。

在多数步进机中，圆片并不直接对准掩膜，而是圆片和掩膜经过各自的光路，对准于曝光系统的光学链上。如果这两个对准过程不是精确匹配的，就会发生对准误差。为了避免这些系统误差，要周期性地对基线校准处理。

超出和缩进的消除。在接触式、接近式和扫描投影光刻机中，超出和缩进通常是由于圆片在一系列的工艺过程中由温度引起的物理尺寸的变化而造成的。步进机以全局对准模式可以减轻这个问题，应用良好的逐个位置对准方法甚至可以完全消除它。此外，该类型的误差也容易由于掩膜温度的少量变化而产生。

掩膜材料的选择。由于石英具有较低的热膨胀系数（ $5 \times 10^{-7}/^\circ\text{C}$ ），常被选做制作掩膜的材料。为了避免一整块 8 英寸掩膜产生大于 $0.1\mu\text{m}$ 的膨胀，掩膜温度的变化需要控制在 0.75°C 。当大量光穿过掩膜时，这个条件并不容易达到。亚微米步进机应用先进曝光系统控制掩膜温度，以尽量减少这个问题。此外对准记号的畸变也可能造成芯片旋转和对不准。

曝光的方法主要有光学曝光、离子束曝光、电子束曝光和 X 射线曝光等。

3. 显影

显影是把潜在的光刻胶图形转变为最后的三维立体图像。在这一过程中，最重要的参数是曝光与未曝光区域之间的溶解率比例（DR）。商用正胶的 DR 有大于 1000 的，在曝光

区域溶解速度为 3000nm/min，在未曝光区域仅为几 nm/min（暗刻蚀）。光刻胶的 DR 可在显影时用反射率现场测量。

4. 刻蚀与胶剥离

刻蚀包括湿法刻蚀和干法刻蚀，将在后面详细讨论。完成了上面所有的工艺过程后，最后，除了高温稳定的光刻胶，例如光敏聚酰亚胺，可以作为中间介质或缓冲涂敷而保留在器件上外，要把所有的光刻胶剥离。为避免对被处理表面的损伤，应采用在低温下温和的化学方法。

随着所需的特征尺寸的继续减小，光学光刻变得越来越困难。但目前随着光学光刻的不断改善和向更短波长的发展，光学光刻可具有分辨率小于 0.1 μ m 特征尺寸的能力。

1.1.3 刻蚀

刻蚀工艺主要包括湿法刻蚀和干法刻蚀两种。

1. 湿法刻蚀

湿法刻蚀是将刻蚀材料浸泡在腐蚀液内进行腐蚀的技术。它是一种纯化学刻蚀，具有优良的选择性，它刻蚀完当前薄膜就会停止，而不会损坏下面一层其他材料的薄膜。在硅片表面清洗及图形转换中，湿法刻蚀一直沿用至 20 世纪 70 年代中期，即一直到特征尺寸开始接近膜厚时。因为所有的半导体湿法刻蚀都具有各向同性，所以无论是氧化层还是金属层的刻蚀，横向刻蚀的宽度都接近于垂直刻蚀的深度。此外，湿法刻蚀还受更换槽内腐蚀液而必须停机的影响。

目前，湿法工艺一般被用于工艺流程前面的硅片准备阶段和清洗阶段。而在图形转换中，干法刻蚀已占据主导地位。

2. 干法刻蚀

干法刻蚀是用等离子体进行薄膜刻蚀的技术。它是硅片表面物理和化学两种过程平衡的结果。在半导体刻蚀工艺中，存在着两个极端：离子铣是一种纯物理刻蚀，可以做到各向异性刻蚀，但不能进行选择刻蚀；而湿法刻蚀如前面所述则恰恰相反。人们对这两种极端过程进行折中，得到目前广泛应用的一些干法刻蚀技术。例如：反应离子刻蚀（RIE）和高密度等离子体刻蚀（HDP）。这些工艺都具有各向异性刻蚀和选择性刻蚀的特点。

3. 剥离技术

图形转换过程的另一种工艺技术是剥离技术。这个工艺技术的优点在于可以处理离子轰击难以刻蚀的材料，并且可以避免对衬底和薄膜的损伤。

剥离技术的工艺流程如图 1.1 所示。首先涂光刻胶并形成所设计的图案，再使用蒸发技术淀积一层金属薄膜，蒸发的一个特点是对高纵横比的图形覆盖性差。如果光刻胶显影后

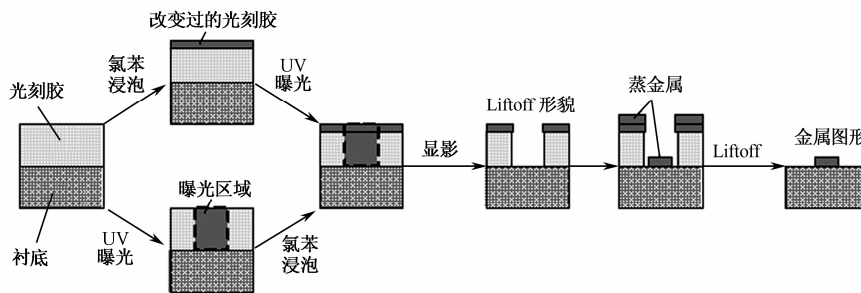


图 1.1 剥离技术的工艺流程

得到一个凹的剖面，则金属条便会断线。接下来硅片浸到能溶解光刻胶的溶液中，直接淀积在硅片上的金属线将被保留，而淀积在光刻胶上的金属线将从硅片上脱离。

剥离技术的不足之处是，剥离掉的金属会影响到芯片的合格率。

1.1.4 掺杂、扩散

制造所有的半导体器件都必须采用掺杂工艺，通过掺杂可以在硅衬底上形成不同类型的半导体区域，构成各种器件结构，比如 MOS 管的源、漏区的形成等。为了保证器件能按设计要求正常工作，掺杂的区域的浓度与尺寸必须符合设计要求，而这些工作都是由掺杂工艺实现的。在半导体制造中主要的掺杂方法是热扩散掺杂和离子注入掺杂。

1. 热扩散掺杂

热扩散掺杂是指利用分子在高温下的扩散运动，使杂质原子从浓度很高的杂质源向体硅中扩散并形成一定的分布。

热扩散通常分两个步骤进行：预淀积和再分布。预淀积是指在高温下，利用杂质源，如硼源、磷源等，对硅片上的掺杂窗口进行扩散，在窗口处形成一层较薄但具有较高浓度的杂质层。这是一种恒定表面源的扩散过程。再分布是限定表面源的扩散过程，是利用预淀积所形成的表面杂质层做杂质源，在高温下将这层杂质向体硅内扩散的过程，通常再分布的时间较长，通过再分布，可以在硅衬底上形成一定的杂质分布和结深。

但是热扩散掺杂工艺具有一个很明显的缺点就是不能精确控制杂质的浓度，从而所生产出来的电路会与所设计的电路有一定的差别。

2. 离子注入掺杂

随着半导体尺寸的缩小，精度的控制要求越来越严格，大多数工艺已经采用全离子注入工艺来替代热扩散掺杂以获得精确的浓度。

离子注入是通过高能量的离子束轰击硅片表面，在掺杂窗口处，杂质离子被注入到体硅内，而在其他不需掺杂的区域中，杂质离子被硅表面的保护层屏蔽，从而完成选择性掺杂。在离子注入过程中，电离的杂质离子经静电场加速打到硅片表面，通过测量离子电流可严格控制注入剂量。注入工艺所用的剂量范围很大，可以从轻掺杂的 10^{11} cm^{-2} 到诸如源极、发射极、埋层集电极等低电阻区所用的 10^{16} cm^{-2} 。某些特殊的应用要求剂量大于 10^{18} cm^{-2} 。另一方面，通过控制静电场可以控制杂质离子的穿透深度，典型的离子能量范围为 $5 \sim 200 \text{ keV}$ 。

通常离子注入的深度较浅且浓度较大，必须进行退火和再分布工艺。由于离子进入硅晶体后，会给晶格带来大范围的损伤，为了恢复这些晶格损伤，在离子注入后要再进行退火处理，根据注入的杂质数量不同，退火温度一般在 $450 \sim 950$ 之间。在退火的同时，杂质在硅体内进行再分布，如果需要还可以进行后续的高温处理以获得所需的结深。

1.1.5 化学气相淀积

在半导体制造工艺中，薄膜淀积工艺是非常重要的工艺，可分为物理淀积和化学淀积两类。

化学气相淀积（CVD）是一种常用的化学淀积工艺，是一个从气相向衬底沉积薄膜的过程。该工艺通过化学反应的方式，在反应室内将反应的固态生成物淀积到硅片表面，形成

所需要的薄膜。CVD 具有非常好的台阶覆盖能力，并且对衬底的损伤很小，因此在集成电路制造中的地位越来越重要。

下面介绍几种工艺上常用的化学气相沉积方法。

1. 常压介质 CVD

常压化学气相沉积 (APCVD) 是指在大气压下进行的一种化学气相沉积的方法，这是化学气相沉积最初所采用的方法。这种工艺所需的系统简单，反应速度快，并且其沉积速率可超过 $1000\text{\AA}/\text{min}$ ，特别适于介质沉积，但是它的缺点是均匀性较差，所以，APCVD 一般用在厚的介质沉积。

2. 低压 CVD

随着半导体工艺特征尺寸的减小，对薄膜的均匀性要求及膜厚的误差要求不断提高，出现了低压化学气相沉积 (LPCVD)。低压化学气相沉积是指系统工作在较低的压强下的一种化学气相沉积的方法。LPCVD 技术不仅用于制备硅外延层，还广泛用于各种无定形钝化膜及多晶硅薄膜的沉积，是一种重要的薄膜沉积技术。

3. 等离子体增强 CVD

等离子体增强化学气相沉积 (PECVD) 是指采用高频等离子体驱动的一种气相沉积技术，是一种射频辉光放电的物理过程和化学反应相结合的技术。该气相沉积的方法可以在非常低的衬底温度下沉积薄膜，例如在铝 (Al) 上沉积 SiO_2 。工艺上等离子体增强化学气相沉积主要用于沉积绝缘层。

4. 金属 CVD

金属化学气相沉积是一个全新的气相沉积的方法，利用化学气相沉积的台阶覆盖能力好的优点，可以实现高密度互联的制作。金属进入接触孔时台阶覆盖是人们最关心的问题之一，尤其是对深亚微米器件，溅射沉积金属薄膜对不断增加的高纵横比结构的台阶覆盖变得越来越困难。在旧的工艺中，为了保证金属覆盖在接触孔上，刻蚀工艺期间必须小心地将侧壁刻成斜坡，这样金属布线时出现“钉头”(见图 1.2)。“钉头”将显著降低布线密度。如果用金属 CVD，就可以避免“钉头”的出现，从而布线密度得到提高。钨是当前最流行的金属 CVD 材料。

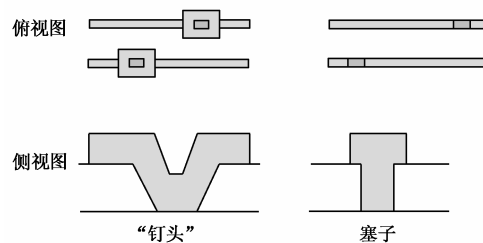


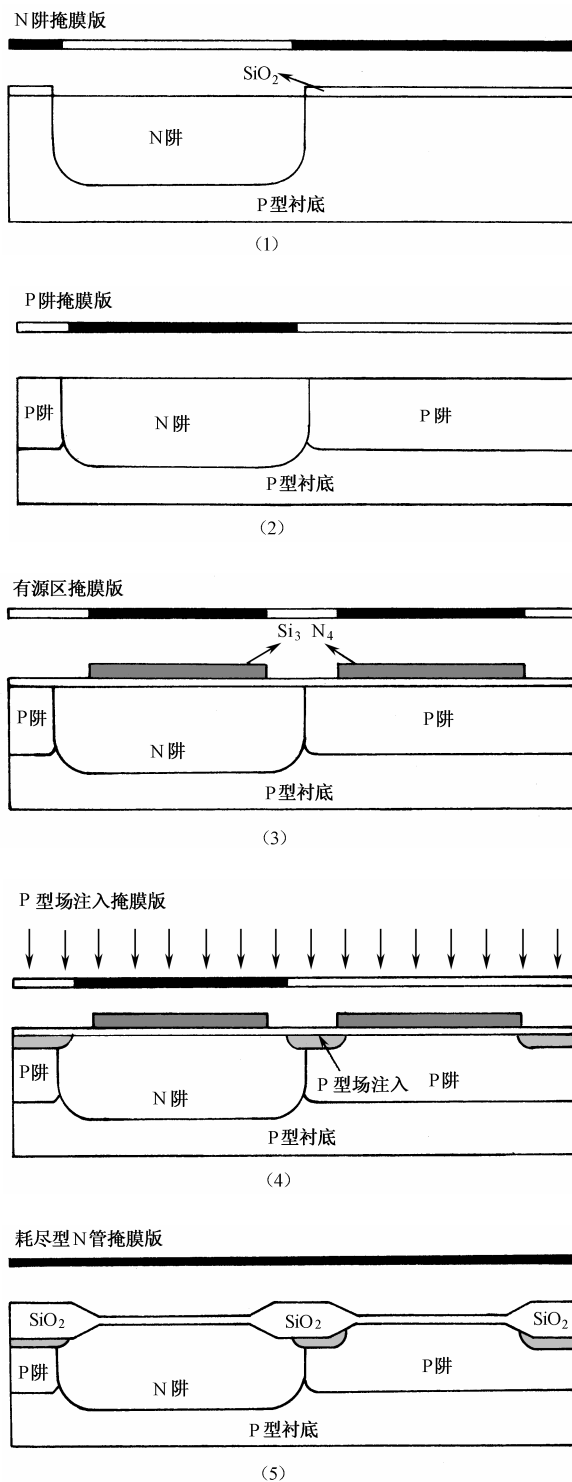
图 1.2 使用“钉头”接触与填塞接触比较

1.2 双阱 CMOS 工艺的主要流程

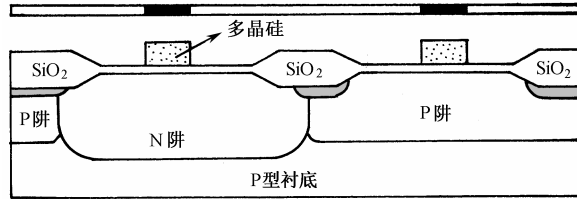
随着 CMOS 集成电路制造工艺的不断发展，工艺线宽越来越小，现在 $0.18\mu\text{m}$ 已经成为超大规模集成电路制造的主流工艺线， $0.09\mu\text{m}$ 甚至更小线宽的工艺线在部分实验室也已经开始用于制备超大规模集成电路。对于不同线宽的流水线，一个标准的 CMOS 工艺过程虽然略有差别，但主要的过程基本相同，都包括第 1.1 节介绍的工艺过程。下面以光刻掩膜版

为基准描述一个双阱硅栅双铝 CMOS 集成电路的工艺过程的主要步骤，用以说明如何在 CMOS 工艺线上制造 CMOS 集成电路。

图 1.3 (1) ~ (13) 所示的即为双阱单多晶、双铝 CMOS 工艺的主要流程。下面对双阱 CMOS 工艺的主要步骤进行较详细的说明。

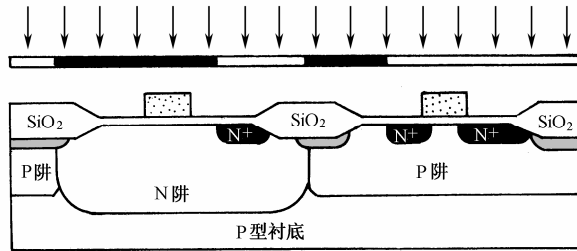


多晶硅栅掩膜版



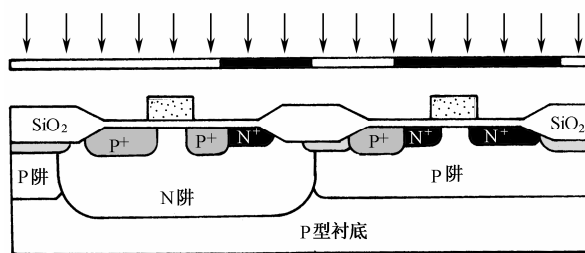
(6)

N+ 源漏注入掩膜版



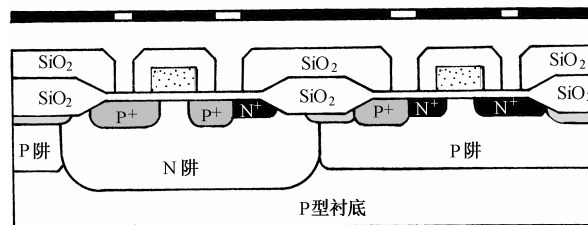
(7)

P+ 源漏注入掩膜版



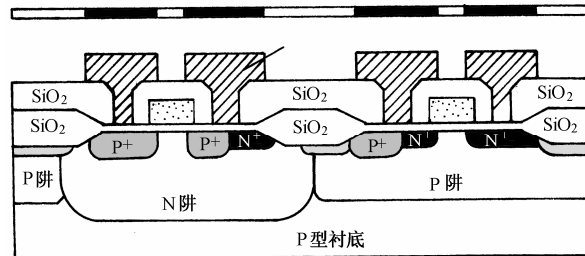
(8)

接触孔掩膜版



(9)

金属铝1掩膜版



(10)