



新工科暨卓越工程师教育培养计划电子信息类专业系列教材

丛书顾问/ 郝 跃

ZHUANYONG JICHENG DIANLU SHIYAN ZHIDAOSHU  
**专用集成电路实验指导书**

- 主 编/ 张法碧
- 副主编/ 翟江辉 周 娟 李海鸥  
李 琦 肖功利 傅 涛  
陈永和 孙堂友 邓艳容

新工科暨卓越工程师教育培养计划电子信息类专业系列教材

# 专用集成电路实验指导书

主 编 张法碧  
副主编 翟江辉 周 娟 李海鸥  
李 琦 肖功利 傅 涛  
陈永和 孙堂友 邓艳容

华中科技大学出版社  
中国·武汉

## 内 容 提 要

集成电路产业是信息技术产业的核心,也是支撑经济社会发展和保障国家安全的战略性、基础性和先导性产业。当前和今后一段时期是我国集成电路产业发展的重要战略机遇期和攻坚期。

本书从实例入手,介绍集成电路设计的基本操作方法,其内容覆盖了集成电路设计的前端和后端,包含模拟和数字的基本单元,也覆盖了集成电路设计的完整的设计流程。对于每一个设计,本书都进行了详细的分析和说明,并都给出了实验成功后的相应结果。本书配备了相应的拓展实验,感兴趣的学生可以在学完基本内容后进一步加深学习。本书对集成电路设计的初学者能够提供很大帮助。

### 图书在版编目(CIP)数据

专用集成电路实验指导书/张法碧主编. —武汉:华中科技大学出版社,2019.11  
新工科暨卓越工程师教育培养计划电子信息类专业系列教材  
ISBN 978-7-5680-5545-1

I. ①专… II. ①张… III. ①集成电路-实验-高等学校-教材 IV. ①TN4-33

中国版本图书馆 CIP 数据核字(2019)第 255570 号

### 专用集成电路实验指导书

张法碧 主编

Zhuanyong Jicheng Dianlu Shiyan Zhidaooshu

策划编辑:王红梅

责任编辑:朱建丽

封面设计:秦 茹

责任校对:李 弋

责任监印:徐 露

出版发行:华中科技大学出版社(中国·武汉)

电话:(027)81321913

武汉市东湖新技术开发区华工科技园

邮编:430223

录 排:武汉市洪山区佳年华文印部

印 刷:武汉华工鑫宏印务有限公司

开 本:787mm×1092mm 1/16

印 张:13.75

字 数:331千字

版 次:2019年11月第1版第1次印刷

定 价:38.80元



本书若有印装质量问题,请向出版社营销中心调换  
全国免费服务热线:400-6679-118 竭诚为您服务  
版权所有 侵权必究

# 前言

集成电路产业是信息技术产业的核心,也是支撑经济社会发展和保障国家安全的战略性、基础性和先导性产业。当前和今后一段时期是我国集成电路产业发展的重要战略机遇期和攻坚期。我国集成电路产业发展的重要瓶颈之一就是集成电路设计人才的缺乏。集成电路的设计目前已经实现高度自动化,并以“摩尔定律”的步伐发展,通过掌握集成电路设计工具来学习集成电路设计是非常实用的学习方法。

本书以 Cadence 设计软件为工具,介绍了集成电路的基本设计流程与方法。本书共包含 20 个实验,主要介绍了 Cadence 软件的操作方法、集成电路原理图的设计方法、集成电路版图的设计方法、集成电路的仿真方法及原理图、版图基本规则检查及匹配检查方法。为了便于初学者了解操作流程,本书只介绍了几个简单的基本门级单元,更复杂的电路仍需学生深入的研究。本书作者均为桂林电子科技大学微电子科学与工程专业教师,教学经验丰富;本书获桂林电子科技大学研究生课程建设项目资助(YKC201802)。

本书在基本概念及理论上做了一定回顾,使得本课程和模拟电路、数字电路及半导体相关理论课之间紧密衔接,让学生能体会到所学的理论知识在工程中的应用。

集成电路是一门综合学科,涉及的新知识多。笔者深知在这一领域水平十分有限,书中一定存在不足之处,希望读者给予批评指正。

作者

2019年7月

<b>1</b>	<b>Cadence 系统环境设置与基本操作</b>	(1)
1.1	实验目的	(1)
1.2	实验原理	(1)
1.2.1	系统启动	(1)
1.2.2	Cadence 系统的 CIW	(1)
1.3	实验内容	(4)
1.3.1	启动 Cadence 系统	(4)
1.3.2	运行 Cadence 系统	(5)
<b>2</b>	<b>二输入与非门电路原理图设计</b>	(9)
2.1	实验目的	(9)
2.2	实验原理	(9)
2.2.1	Schematic 设计环境	(9)
2.2.2	器件定义	(11)
2.3	实验内容	(11)
2.3.1	电路原理图设计	(11)
2.3.2	创建符号	(15)
2.4	拓展实验	(16)
<b>3</b>	<b>ADE 设置</b>	(18)
3.1	实验目的	(18)
3.2	实验原理	(18)
3.2.1	模拟环境的设置	(18)
3.2.2	模拟结果的显示及处理	(19)
3.3	实验内容	(21)
3.3.1	瞬态仿真	(21)
3.3.2	直流仿真	(24)
3.3.3	交流仿真	(27)
<b>4</b>	<b>原理图的层次化设计与仿真</b>	(29)
4.1	实验目的	(29)
4.2	实验原理	(29)
4.3	实验内容	(29)
4.3.1	设计原理图	(30)
4.3.2	创建符号视图	(32)

4.3.3	层次化设计——环形振荡器	(33)
4.3.4	环形振荡器延迟仿真	(36)
4.4	拓展实验	(42)
5	ADE 设置——MOS 特性测量	(43)
5.1	实验目的	(43)
5.2	实验原理	(43)
5.2.1	MOS 特性基础知识	(43)
5.2.2	利用 Cadence 对器件进行参数扫描时有关的菜单项	(44)
5.3	实验内容	(44)
5.3.1	启动 Cadence 软件	(44)
5.3.2	输入设计原理图	(45)
5.3.3	在 ADE 中进行 Simulation 运行环境设置	(48)
5.4	拓展实验	(53)
6	运算放大器的仿真实验	(54)
6.1	实验目的	(54)
6.2	实验原理	(54)
6.3	实验内容	(54)
6.3.1	创建库与视图	(54)
6.3.2	直流偏置验证仿真	(55)
6.3.3	交流增益验证仿真	(56)
6.3.4	瞬态时域验证仿真	(58)
7	AMS 数/模混合仿真器	(62)
7.1	实验目的	(62)
7.2	实验原理	(62)
7.3	实验内容	(63)
7.3.1	256 分频器的设计	(63)
7.3.2	数/模混合仿真接口的设置	(65)
7.4	拓展实验	(68)
8	Layout 环境设置与基本操作	(70)
8.1	实验目的	(70)
8.2	实验原理	(70)
8.2.1	版图编辑命令	(70)
8.2.2	LSW	(71)
8.3	实验内容	(71)
8.3.1	设置 LSW	(71)
8.3.2	查看版图	(72)
8.3.3	其他版图设计命令	(73)
8.4	拓展实验	(78)
9	MOS 版图设计	(79)
9.1	实验目的	(79)

9.2	实验原理 .....	(79)
9.3	实验内容 .....	(79)
9.3.1	NMOS 版图设计 .....	(79)
9.3.2	PMOS 版图设计 .....	(82)
9.4	拓展实验 .....	(83)
<b>10</b>	<b>BJT 版图设计 .....</b>	<b>(84)</b>
10.1	实验目的 .....	(84)
10.2	实验原理 .....	(84)
10.2.1	NPN 型晶体管 .....	(84)
10.2.2	PNP 型晶体管 .....	(85)
10.3	实验内容 .....	(87)
10.3.1	NPN 型晶体管版图设计 .....	(87)
10.3.2	横向 PNP 型晶体管版图设计 .....	(89)
10.4	拓展实验 .....	(91)
<b>11</b>	<b>电阻、电容、二极管的版图设计 .....</b>	<b>(92)</b>
11.1	实验目的 .....	(92)
11.2	实验原理 .....	(92)
11.2.1	MOS 集成电路中的电阻 .....	(92)
11.2.2	MOS 集成电路中的电容 .....	(94)
11.2.3	集成电路中的二极管 .....	(95)
11.3	实验内容 .....	(96)
11.3.1	设计多晶硅电阻版图 .....	(96)
11.3.2	设计金属二层-金属三层电容版图 .....	(97)
11.3.3	设计二极管版图 .....	(99)
<b>12</b>	<b>CMOS 反相器版图设计与 Diva 版图验证工具 .....</b>	<b>(101)</b>
12.1	实验目的 .....	(101)
12.2	实验原理 .....	(101)
12.2.1	Diva 概念 .....	(101)
12.2.2	Diva 工具集 .....	(101)
12.2.3	DRC .....	(102)
12.2.4	Diva 查错 .....	(103)
12.2.5	Extraction .....	(103)
12.3	实验内容 .....	(104)
12.3.1	启动版图设计环境 .....	(104)
12.3.2	版图的掩膜层 .....	(104)
12.3.3	晶体管的图层 .....	(105)
12.3.4	用 Diva 进行设计规则检查 .....	(107)
12.3.5	基础布线方法 .....	(109)
12.3.6	先进布线方法 .....	(109)
12.3.7	高级布线方法 .....	(109)

12.3.8	建立衬底接触 .....	(110)
12.3.9	创建引脚标签 .....	(111)
12.3.10	用 Diva 检查版图与原理图的一致性 .....	(113)
<b>13</b>	<b>NAND2 版图设计与 Assura 版图验证工具 .....</b>	<b>(115)</b>
13.1	实验目的 .....	(115)
13.2	实验原理 .....	(115)
13.3	实验内容 .....	(116)
13.3.1	预备操作知识——简单的布局 .....	(116)
13.3.2	用 Virtuoso XL 生成版图 .....	(118)
13.3.3	VXL 版图设计的编辑 .....	(118)
13.3.4	在版图中添加信号引脚 .....	(126)
13.3.5	DRC .....	(130)
13.3.6	LVS .....	(131)
13.3.7	最后的单元——符号的生成 .....	(132)
13.4	拓展实验 .....	(134)
<b>14</b>	<b>环形振荡器设计、仿真与 Assura 版图验证工具 .....</b>	<b>(135)</b>
14.1	实验目的 .....	(135)
14.2	实验原理 .....	(135)
14.2.1	层次化电路设计的特点 .....	(135)
14.2.2	层次化设计方法 .....	(135)
14.3	实验内容 .....	(136)
14.3.1	层次化设计——环形振荡器 .....	(136)
14.3.2	环形振荡器延迟仿真 .....	(138)
14.3.3	由原理图到版图 .....	(142)
14.3.4	DRC .....	(145)
14.3.5	版图编辑:添加电源线和标签 .....	(146)
14.3.6	版图编辑:拉伸命令 .....	(148)
14.3.7	LVS .....	(148)
<b>15</b>	<b>版图寄生参数的提取与后仿真 .....</b>	<b>(151)</b>
15.1	实验目的 .....	(151)
15.2	实验原理 .....	(151)
15.3	实验内容 .....	(152)
15.3.1	INV 前仿真 .....	(152)
15.3.2	利用 Assura 版图验证工具对反相器进行寄生参数的提取 .....	(157)
15.3.3	对设计进行后仿真 .....	(157)
15.3.4	环形振荡器延迟前仿真 .....	(159)
15.3.5	环形振荡器版图寄生参数提取与后仿真 .....	(162)
15.3.6	设计检查:版图后仿真 .....	(164)
<b>16</b>	<b>版图数据的导入、导出与识别 .....</b>	<b>(168)</b>
16.1	实验目的 .....	(168)

16.2	实验原理	(168)
16.2.1	Stream 格式	(168)
16.2.2	版图提取与原理图还原	(168)
16.3	实验内容	(169)
16.3.1	输出设计	(169)
16.3.2	输入设计	(170)
16.3.3	版图识别	(171)
16.4	拓展实验	(171)
<b>17</b>	<b>异或门与 RS 触发器的设计</b>	<b>(172)</b>
17.1	实验目的	(172)
17.2	实验原理	(172)
17.2.1	异或门的原理	(172)
17.2.2	RS 触发器的工作原理	(173)
17.2.3	基本 RS 触发器的基本特点	(174)
17.3	实验内容	(174)
17.3.1	异或门原理图设计	(174)
17.3.2	异或门仿真验证	(174)
17.3.3	版图设计	(176)
17.3.4	RS 触发器的设计	(177)
17.4	拓展实验	(179)
<b>18</b>	<b>静态存储器的设计</b>	<b>(180)</b>
18.1	实验目的	(180)
18.2	实验原理	(180)
18.3	实验内容	(181)
18.3.1	原理图设计	(181)
18.3.2	版图设计	(181)
18.3.3	版图验证	(182)
18.4	拓展实验	(182)
<b>19</b>	<b>D 触发器的设计</b>	<b>(183)</b>
19.1	实验目的	(183)
19.2	实验原理	(183)
19.3	实验内容	(185)
19.3.1	原理图设计	(185)
19.3.2	搭建仿真平台	(187)
19.3.3	版图设计	(192)
19.3.4	版图验证	(193)
<b>20</b>	<b>对生成的 GDS 文件进行 DRC 及 LVS</b>	<b>(196)</b>
20.1	实验目的	(196)
20.2	实验原理	(196)
20.3	实验内容	(196)

20.3.1	将 INNOUS 生成的 NETLIST 文件在 Virtuoso 中转换为原理图	(196)
20.3.2	将生成的 GDS 文件转换为版图	(197)
20.3.3	对生成的版图进行 DRC	(197)
20.3.4	对生成的版图进行 LVS	(200)
附录		(202)
附录 A	counter_tb 的 Verilog 代码	(202)
附录 B	时钟计数器 counter 的 Verilog 代码	(202)
附录 C	时钟计数器 counter 的 RC 综合脚本	(203)
附录 D	时钟计数器 counter 的 EDI 布线设置脚本	(204)
附录 E	时钟计数器 counter 的 IO 引脚位置设置脚本	(206)
参考文献		(209)

华中科技大学出版社

# 1

## Cadence 系统环境设置与基本操作

### 1.1 实验目的

- (1) 熟悉 Cadence 系统环境。
- (2) 了解命令解释器窗口(Command Interpreter Window, CIW)的功能。
- (3) 掌握基本操作方法。

### 1.2 实验原理

#### 1.2.1 系统启动

Cadence 系统包含许多工具(或模块),不同工具在启动时所需的 License 不同,故而启动方法各异。一般情况下涉及的启动方式主要有以下几种。

- (1) Virtuoso: Virtuoso 模拟设计平台启动命令。
- (2) NClaunch: 数字电路仿真与验证平台启动命令。
- (3) Genus: RC 数字综合模块启动命令。
- (4) Innovus: EDI 自动布局布线启动命令。

注意:如果没有特殊说明,本实验系统进入 CIW 使用的命令为 virtuoso &。

本实验将依次简要介绍 Cadence 系统的各个软件模块。

#### 1.2.2 Cadence 系统的 CIW

Cadence 系统启动后会弹出 what's New 窗口和 CIW。在 what's New 窗口中,可以看到本实验的系统采用的软件版本相对以前版本的一些优点和改进,选择 File→Close 以关闭此窗口。CIW 如图 1-1 所示。

CIW 按功能可分为主菜单、信息窗口及命令行。窗口顶部为主菜单,中间部分为信息窗口,底部为命令行。Cadence 系统运行过程中,在信息窗口会显示一些系统信息(如出错信息、程序运行情况等),故而 CIW 具有实时监控功能。在命令行中可输入由 SKILL 语言编写的某些特定命令。CIW 的主菜单有 File、Tools、Options 等选项(不同模块下内容不同),以下将介绍一些常用菜单。

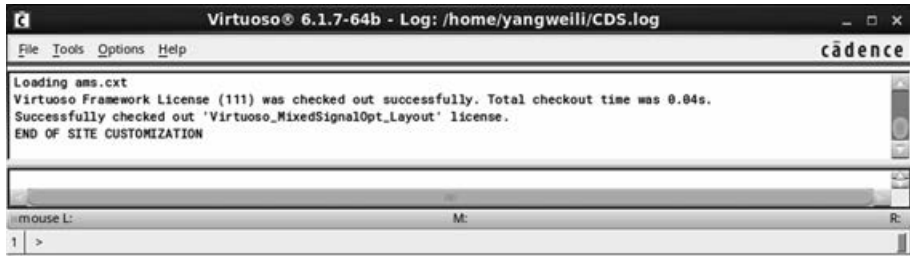


图 1-1 CIW

### 1. File 菜单

File 菜单的子菜单有 New、Open、Exit 等。Library(库)的地位相当于文件夹,它用于存放设计的所有数据,其中包括单元(Cell)及单元中的多种视图(View)。Cell 可以是一个简单的单元(如一个与非门),也可以是比较复杂的单元(由 symbol 搭建而成)。View 则包含多种类型,常用的有 schematic、symbol、layout、extracted 等,它们各自代表的含义将在以后的实验中提到。

New 菜单的子菜单中有 Library 和 Cellview 两项。选择 Library,就打开 New Library 窗口,如图 1-2 所示。选择 Cellview,就打开 New File 窗口,如图 1-3 所示。



图 1-2 New Library 窗口 1



图 1-3 New File 窗口 1

#### 1) New Library 窗口

该窗口分为 Library 和 Technology File 两部分。Library 部分有 Name 和 Directory 两项,分别对应要建立的 Library 的名称和路径,Library 的名称可以自定义。一般来说,如果仅仅是学习 Cadence 软件中的原理图绘制,那么必须在 Technology File 中选择 Do not need process information。如果在 Library 中要创立掩模版或其他物理数据(要建立除 schematic 外的一些 View),那么须选择 Compile an ASCII technology file(编译新的工艺文件)或 Attach to an existing technology library(使用原有的工艺库)。相关操作我们会在后面的内容中进行相应的介绍。

#### 2) New File 窗口

在 Library 中选择存放新文件的库,在 Cell 栏中输入名称,然后在 Tool 选项中选择 Composer-schematic,在 View 栏中就会自动填上 schematic。在 Tool 选项中还有很多别的工具,常用的有 Composer-symbol、Virtuoso-layout 等。Library path file 栏是系统自建的 Library path file 的路径及名称(保存相关库的名称及路径),一般不需要改动。

Open 菜单可以打开相应的 Open File 窗口,如图 1-4 所示。在 Library 栏中选择库名,在 Cell 栏中选择需要打开的单元名,在 View 栏中选择视图。点击 Browse 按钮,可以对 Library、Cell、View 进行选择。Open for 选项可以选择打开方式为可编辑状态或者只读状态。

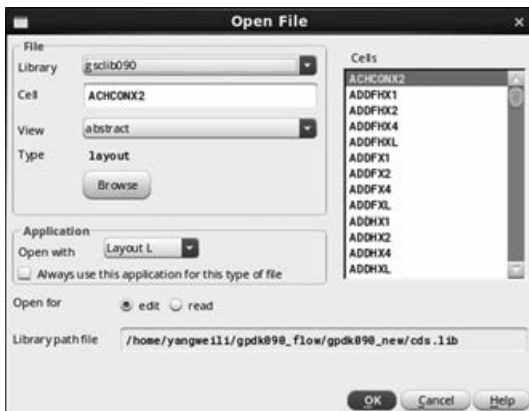


图 1-4 Open File 窗口

Exit 菜单可以退出 CIW。在 CIW 中,点击右上角的关闭图标“×”即可关闭 CIW,但是速度较慢;在命令行中输入 exit,然后按 Return 键(或 Enter 键),可以较快地退出 CIW。

注意:本实验的操作说明,在保证读者看懂的前提下,会尽量保留 Cadence 系统的默认方式及常用的专有名词。例如,Cadence 系统中的 Return 键即为 Windows 下的 Enter 键。

## 2. Tools 菜单

Tools 菜单的子菜单中有 Library Manager 及 Library Path Editor。

Library Manager 打开的是 Library Manager 窗口,如图 1-5 所示。在窗口的各部

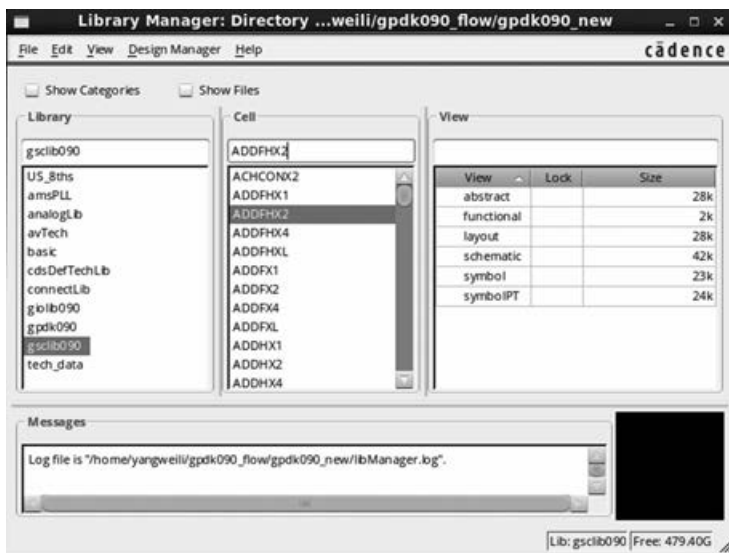


图 1-5 Library Manager 窗口

分中,分别显示 Library、Cell、View 中相应的内容。双击打开需要的 View 中的名称(或同时按住鼠标左右键从弹出菜单中选择 Open)即可打开相应的文件。同样在 Library Manager 窗口中也可以建立 Library 和 Cell。具体方法是点击 File,在下拉菜单中选择 Library 或 Cell 即可。

Library Path Editor 打开的是 Library Path Editor 窗口,如图 1-6 所示。从 File 菜单中选择 Add Library 选项(在窗口底部有详细的提示),在窗口中填入相应的库名和路径名,按 Return 键即可完成编辑,退出窗口时选择保存,则定义相应的库和路径生效。



图 1-6 Library Path Editor 窗口

### 3. Technology File 菜单

Technology File 包含设计必需的许多信息,对版图设计尤为重要。它包含版图层次的定义,符号化器件定义,几何、物理、电学设计规则及一些针对特定 Cadence 工具的定义,如自动布局布线的规则、版图转换成 GDSII 时所使用层号的定义等。这些在版图设计的具体实验内容中将予以说明。

## 1.3 实验内容

### 1.3.1 启动 Cadence 系统

(1) 点击电脑桌面上的虚拟机图标“VMware Workstation”,打开已经安装好的 VMware。

(2) 在打开 VMware 后,选择命令菜单栏中的“启动该虚拟机”(在这里需要确认虚拟机名称为 CentoS)。这时,VMware 会自动启动安装好的 Linux 系统。

(3) 在 Linux 系统启动过程中会要求输入用户名和密码。在本实验中统一的用户名为 asiclab,密码为 asiclab。

(4) 在启动 Linux 系统后,点击电脑桌面上的鼠标右键(RMB),选择 New Terminal,打开 Terminal 窗口。

(5) 在启动 License 后,在 Terminal 窗口中,依次输入 source eda\_tools、cd

gpd090\_flow/gpd090\_new 和 virtuoso & 命令。在每次输入相应的命令后按 Enter 键。最后系统将会弹出 CIW 和 what's New 窗口。

(6) 在弹出的 what's New 窗口中,可以看到本实验系统采用的软件版本相对以前版本的一些改进和优势。选择 File→Close 以关闭此窗口。

### 1.3.2 运行 Cadence 系统

#### 1. 电路原理图设计工具

电路原理图设计工具为 Schematic Editor。

(1) 启动 Schematic Editor 后,在 CIW 中选择 File→New→Library,打开 New Library 窗口。

(2) 在 New Library 窗口中,在 Name 栏中输入库文件名 mylib(可以自定义),在右侧 Technology File 栏中,选择 Attach to an existing technology library,如图 1-7 所示。设置完成后,点击窗口下方的 OK 按钮。

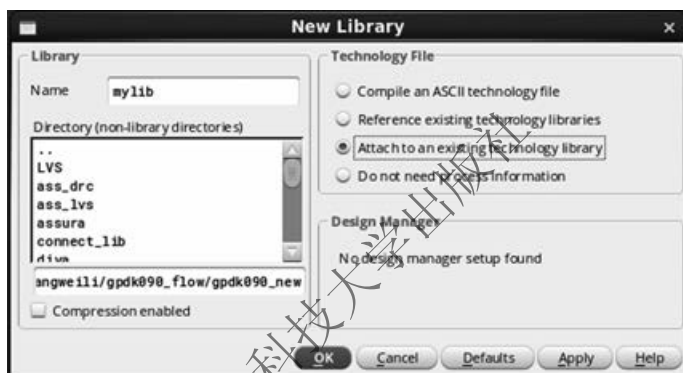


图 1-7 New Library 窗口 2

(3) 在随后弹出的 Attach Library to Technology File 窗口中,在 Technology Library 栏中选择 gpd090,如图 1-8 所示。

(4) 在 CIW 中,选择 File→New→Cellview,打开 New File 窗口,如图 1-9 所示。



图 1-8 Attach Library to Technology Library 窗口



图 1-9 New File 窗口 2

(5) 在 New File 窗口中,在 Library 栏中选取 mylib,在 Cell 栏中输入 nand2,在

View 栏中输入 schematic, 点击 OK 按钮, 弹出 Schematic Editor L Editing 窗口, 如图 1-10 所示。该窗口用于创建 nand2 的电路原理图。

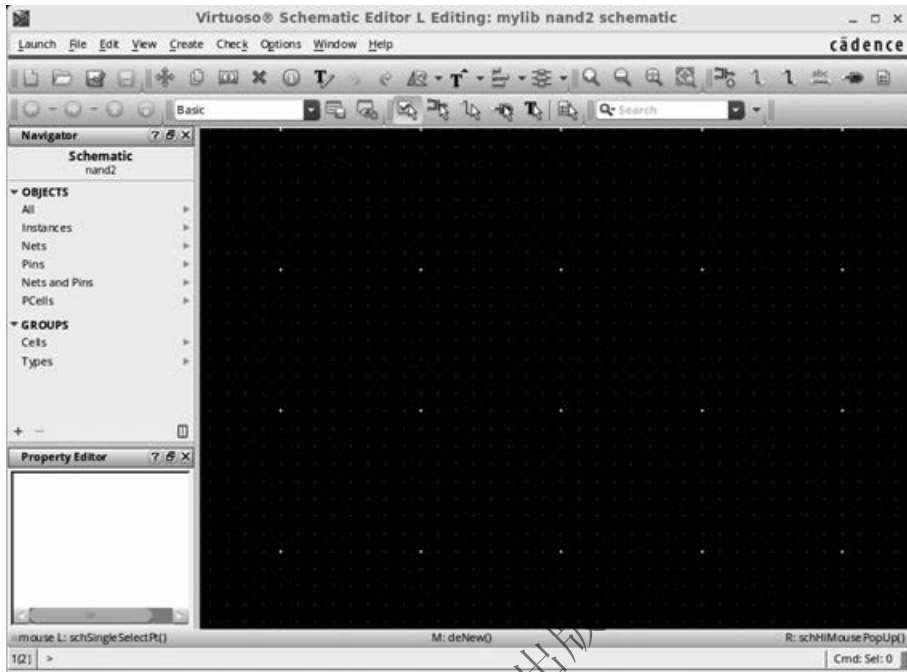


图 1-10 Schematic Editor L Editing 窗口

(6) 浏览 Schematic Editor L Editing 窗口, 最顶部窗口栏显示为 Virtuoso® Schematic Editor L Editing: mylib nand2 schematic, 显示当前编辑的电路名称。

(7) 顶部显示菜单栏, 从左到右依次为 Launch、File、Edit 等。

(8) 窗口第二行为常用命令的快捷方式图标栏 (Icon Bar), 依次为 New、Open、Save、Check 等。

(9) 选择菜单栏命令或点击快捷图标, 或按盲键都可实现对电路原理图的编辑。

(10) 不存档就直接关闭 Schematic Editor L Editing 窗口。

## 2. 版图设计工具

版图设计工具为 Layout Suite L Editing。

(1) 启动 Cadence 系统后, 在 CIW 中, 选择 File→Open, 参数设置如下:

```
Library Name  lab1
Cell Name     NMOS
View Name    layout
```

点击 OK 按钮, 打开 design 的空白窗口及 Layout Suite L Editing 窗口 (见图 1-11)。

(2) 浏览 nmos 版图设计窗口, 最顶部显示为 Virtuoso® Layout Suite L Editing: mylib NMOS layout, 显示当前编辑的版图名称。

(3) 顶部第二行状态栏 (Status Bar) 以红色显示 x 与 y 的坐标。在编辑中, 常常需要对位置进行准确度量, 坐标精度为  $0.005 \mu\text{m}$ 。

(4) 顶部第三行以红色显示菜单栏, 从左到右为 Tools、Edit、Route 等。

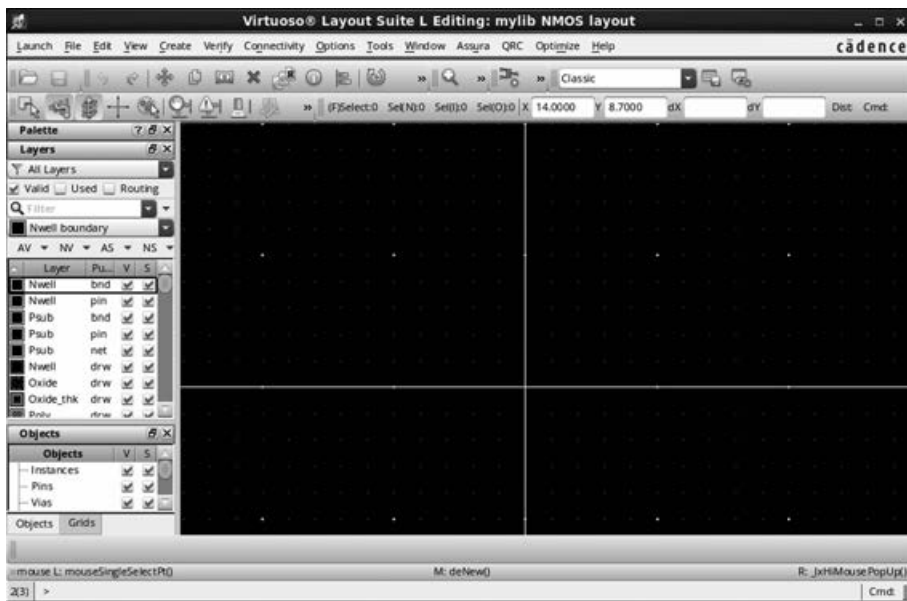


图 1-11 Layout Suite L Editing 窗口

(5) 窗口左侧为常用命令的快捷方式图标栏,从上到下为 Check and Save、Delete、Ruler 等。

(6) 选择菜单栏命令或点击快捷图标,或按快捷键都可实现对版图的编辑,后面的实验将设计 nmos 版图。

(7) LSW 直接关系到版图的设计,在以后的实验中将被经常使用。

(8) 不存档,关闭 Layout Suite L Editing 窗口。

### 3. 版图验证工具

(1) 启动 Cadence 后,在 CIW 中,选择 File→Open,参数设置如下:

```
Library Name  tech_data
Cell Name     1inv
View Name    layout
```

点击 OK 按钮,打开 1inv 的版图设计窗口,如图 1-12 所示。

(2) 打开 1inv 的版图设计窗口后,在 CIW 中,选择 File→Open,参数设置如下:

```
Library Name  lab1
Cell Name     1inv
View Name    extracted
```

点击 OK 按钮,打开 1inv 的版图设计窗口,如图 1-13 所示。

(3) 浏览 1inv 的 extracted 窗口,发现与 1inv 的版图设计窗口基本一致,不同仅仅是窗口中显示的内容。这是因为 Diva 是“寄生”在 Layout Suite L Editing 中的一个工具,同样,验证工具 Assura 和仿真工具 ADE 也是“寄生”在 Schematic Editor L Editing 中,故而未加详细说明。

(4) 由反相器 1inv 的版图,画出 CMOS 非门的电路原理图。

(5) 不存档,关闭所有窗口。