



“十二五”普通高等教育本科国家级规划教材

新形态教材  
双色印刷

# 计算机组成原理

(第六版·立体化教材)

白中英 戴志涛 主编

第一版 1992年国家级优秀教材特等奖  
第二版 1997年国家级教学成果二等奖  
第三版 2005年国家级教学成果二等奖



科学出版社

## 作者简介:



**白中英**，北京邮电大学计算机学院二级教授、博士生导师。研究方向：计算机体系结构、网络安全。在工程和科学研究中，先后主持完成国家863项目、国家自然科学基金项目4项，省部级项目6项。1项成果获全国科学大会重大成果奖，1项成果获国家科技进步奖，5项成果获部级科技进步一、二等奖，3项成果获国家发明专利。在教育和教学研究中，《计算机组成原理教程》获国家级优秀教材特等奖，4项成果获国家级教学成果奖。2003年获首届北京市高等学校教学名师奖，领导的团队2008年获“国家级优秀教学团队”。出版著作15部，发表学术论文60余篇。



**戴志涛**，北京邮电大学计算机学院教授。主讲“计算机组成原理”“嵌入式系统”等本科生和研究生课程，主持多项教学改革项目，2005年获国家级教学成果二等奖，2004年、2008年和2012年获北京市教学成果奖，2018年获北京市高等学校教学名师奖。“计算机通信”国家级教学团队成员，“计算机组成原理”国家精品课程主讲教师。兼任北京邮电大学嵌入式系统与智能硬件创新实践基地主任，指导学生参加全国智能汽车竞赛、“嵌入式系统”专题竞赛、“互联网+”创新创业大赛和“Imagine Cup”等国际竞赛，40多个代表队获得国际、全国和省部级奖励。从事计算机体系结构和嵌入式人工智能等领域的研究工作，并与多家国内外企事业单位合作从事通信设备、智能硬件及嵌入式应用系统软硬件开发。完成科研项目30余项，获国家级和省部级科技奖励2次，获得国家专利6项。

提示：打开网址[www.ecsponline.com](http://www.ecsponline.com)，在页面最上方注册或通过QQ、微信等方式快速登录，在页面搜索框输入书名，找到图书后进入图书详情页，在“资源下载”栏目中可下载本书配套教学资源。

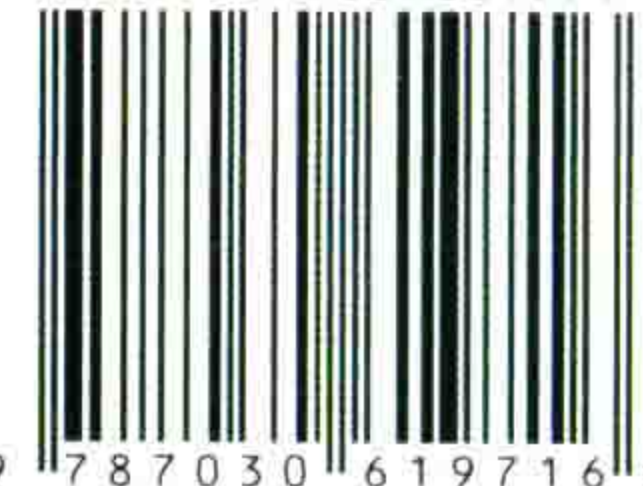


科学出版社互联网入口 全书数字化资源

科学出版社 工科分社  
联系电话：010-64010637  
销售电话：010-64031535  
E-mail: [gk@mail.sciencep.com](mailto:gk@mail.sciencep.com)

[www.sciencep.com](http://www.sciencep.com)

ISBN 978-7-03-061971-6



9 787030 619716 >

定价：68.00 元

“十二五”普通高等教育本科国家级规划教材

# 计算机组成原理

(第六版·立体化教材)

白中英 戴志涛 主编  
王智广 赖晓铮 参编



科学出版社

北京

## 内 容 简 介

本书是“十二五”普通高等教育本科国家级规划教材，重点讲授计算机单处理器系统的组成和工作原理，在此基础上扩展讲授并行体系结构。本书共 11 章，主要内容包括计算机系统概论、运算方法和运算器、存储系统、指令系统、中央处理器、总线系统、外围设备、输入/输出系统、并行组织与结构、课程教学实验设计和课程综合设计。

本书是作者对“计算机组成原理”课程体系、教学内容、教学方法、教学手段进行综合改革的具体成果。本书特色：基础性、时代性、系统性、实践性、启发性融为一体，文字教材、多媒体 CAI 动画演示视频、教学课件、习题答案库、自测试题库、教学仪器、实验设计、课程设计综合配套，形成“理论、实验、设计”三个过程相统一的立体化教学体系。

本书文字流畅、通俗易懂，可作为计算机及相关专业的教材，也可作为成人自学考试、全国计算机等级考试 NCRE(四级)用书。

### 图书在版编目(CIP)数据

计算机组成原理：立体化教材/白中英，戴志涛主编. —6 版. —北京：科学出版社，2019.8

“十二五”普通高等教育本科国家级规划教材

ISBN 978-7-03-061971-6

I. ①计… II. ①白… ②戴… III. ①计算机组成原理-高等学校-教材 IV. ①TP301

中国版本图书馆 CIP 数据核字(2019)第 157015 号

责任编辑：余 江 张丽花 陆新民 / 责任校对：王 瑞

责任印制：霍 兵 / 封面设计：迷底书装

科学出版社 出版

北京东黄城根北街 16 号

邮政编码：100717

<http://www.sciencep.com>

天津文林印务有限公司 印刷

科学出版社发行 各地新华书店经销

\*

2019 年 8 月第 六 版 开本：787×1092 1/16

2019 年 8 月第 93 次印刷 印张：23 1/4

印数：1 527 001~1 530 000 字数：551 000

定价：68.00 元

(如有印装质量问题，我社负责调换)

加貝尔计算机组成原理发行百万册

创造精品  
培养人才

李未

二〇〇九年  
十二月

## 第六版前言

现代信息技术发展和应用普及的速度如此之快，以至于层出不穷的新概念和新技术使人感到眼花缭乱和应接不暇。不论是物联网、移动互联网、云计算和大数据，还是人工智能、智能硬件、机器学习与智能人机交互，这些热点应用领域都要依靠计算机系统硬件提供的强大计算能力以及软硬件的协同支持。因此，不仅是计算机专业，越来越多的各领域的专业人员都需要理解计算机系统硬件的完整组成和基本工作原理，进而在系统层次上掌握计算机工作的全貌。

作为计算机科学与技术相关专业的核心专业基础课程，“计算机组成原理”这门课程重点讲授单处理器系统的组成和工作原理，在此基础上扩展讲授并行体系结构。本课程的教学目的是帮助学生理解构成计算机硬件的基本电路的特性和设计方法；使学生了解计算机系统整体概念，理解指令在计算机硬件上的执行过程；理解计算机系统的层次结构，理解高级语言程序、指令系统体系结构、编译器、操作系统和硬件部件之间的关系。

“计算机组成原理”是计算机硬件的入门课程，课程教学具有知识面广、内容多、难度大、更新快等特点，对教和学双方而言难度都非常大。本课程的核心任务在于深入理解计算机系统的整体结构和各个层次的关系，为学习后续课程和将来从事软硬件开发与应用系统设计打下坚实的基础。

本教材 1988 年出版第一版，2013 年出版第五版。承蒙读者厚爱，30 年来总发行量已超过 150 万册。第六版教材是“十二五”普通高等教育本科国家级规划教材，由北京邮电大学、清华大学等学校的教师合作编写。作者团队总结多年从事计算机硬件课程理论与实践教学的经验，从传授知识和培养能力的目标出发，结合本课程教学的特点、难点和要点，使文字教材、多媒体 CAI 动画演示视频、教学课件、习题答案库、自测试题库、教学仪器、实验设计、课程设计综合配套，力求形成“理论、实验、设计”三个过程相统一的立体化教学体系，帮助学生在有限的时间内理解构成计算机硬件和软件的基本模块的特性与设计方法，让学生站在系统的高度考虑和解决问题，系统全局认知与设计相结合，成为具有系统观的软硬件贯通人才。

本教材覆盖理论教学、随课实验和课程设计内容，建议理论教学 48~64 学时，随课实验 16 学时，另行安排课程设计。配套实践教学可与理论教学同步进行，也可独立设课。为帮助学生理解教学难点和重点，文字教材配套开发了一百多个在线动画演示视频；同时为帮助读者扩展知识面和深入理解相关知识点，还安排了在线延伸阅读材料。读者可扫描书中的二维码查阅相关内容。

覃健成、张天乐、张杰、靳秀国、杨秦、邵英超、宋梓恒、祁之力、李贞、王坤山、肖炜、崔洪浚等参与了文字教材、CAI 动画视频、习题库、试题库、教学仪器、实验设计、课程设计等的编写和研制工作，限于版面，未能在封面上一一署名。

本教材由清华大学计算机系杨士强教授主审。中国科学院计算技术研究所李国杰院士提出了很好的指导意见，清华大学科教仪器厂李鸿儒教授、陈玉春工程师给予了很大支持，

科学出版社余江编辑提出了诸多有益的建议。作者在此表示衷心感谢。本教材融合了作者在多年教学过程中积累的教学素材，参考了许多相关资料和书籍，在此对这些参考资料的作者表示感谢。

虽然作者从事相关教学工作多年，但由于能力所限，书中难免存有疏漏之处，恳请读者谅解并指正。

白中英 戴志涛

2019年6月于北京

# 目 录

第 1 章 计算机系统概论	1	2.4 定点除法运算	38
1.1 计算机的分类	1	2.4.1 原码除法算法原理	38
1.2 计算机的发展简史	2	2.4.2 并行除法器	39
1.2.1 计算机的五代变化	2	2.5 定点运算器的组成	43
1.2.2 半导体存储器的发展	3	2.5.1 逻辑运算	43
1.2.3 微处理器的发展	3	2.5.2 多功能算术/逻辑运算单元	45
1.2.4 计算机的性能指标	5	2.5.3 内部总线	49
1.3 计算机的硬件	6	2.5.4 定点运算器的基本结构	49
1.3.1 硬件组成要素	6	2.6 浮点运算方法和浮点运算器	51
1.3.2 运算器	8	2.6.1 浮点加法、减法运算	51
1.3.3 存储器	8	2.6.2 浮点乘法、除法运算	55
1.3.4 控制器	9	2.6.3 浮点运算流水线	57
1.3.5 适配器与输入/输出设备	11	本章小结	60
1.4 计算机的软件	12	习题	60
1.4.1 软件的组成与分类	12	第 3 章 存储系统	62
1.4.2 软件的发展演变	12	3.1 存储系统概述	62
1.5 计算机系统的层次结构	14	3.1.1 存储系统的层次结构	62
1.5.1 多级组成的计算机系统	14	3.1.2 存储器的分类	63
1.5.2 软件与硬件的逻辑等价性	15	3.1.3 存储器的编址和端模式	64
本章小结	15	3.1.4 存储器的技术指标	65
习题	16	3.2 静态随机存取存储器	65
第 2 章 运算方法和运算器	17	3.2.1 基本的静态存储元阵列	66
2.1 数据与文字表示方法	17	3.2.2 基本的 SRAM 逻辑结构	66
2.1.1 数据格式	17	3.2.3 SRAM 读/写时序	67
2.1.2 数的机器码表示	19	3.2.4 存储器容量的扩充	68
2.1.3 字符与字符串的表示方法	24	3.3 动态随机存取存储器	69
2.1.4 汉字的表示方法	26	3.3.1 DRAM 存储元的工作原理	69
2.1.5 校验码	27	3.3.2 DRAM 芯片的逻辑结构	70
2.2 定点加法、减法运算	27	3.3.3 DRAM 读/写时序	71
2.2.1 补码加法	27	3.3.4 DRAM 的刷新操作	71
2.2.2 补码减法	29	3.3.5 突发传输模式	72
2.2.3 溢出概念与检测方法	30	3.3.6 同步 DRAM(SDRAM)	72
2.2.4 基本的二进制加法/减法器	31	3.3.7 双倍数据率 SDRAM(DDR SDRAM)	76
2.3 定点乘法运算	33		

3.3.8	DRAM 读/写校验	76	4.3	操作数类型	127
3.3.9	CDRAM	77	4.3.1	一般的数据类型	127
3.4	只读存储器	79	4.3.2	Pentium 数据类型	127
3.4.1	只读存储器概述	79	4.3.3	Power PC 数据类型	128
3.4.2	NOR 闪存	81	4.4	指令和数据的寻址方式	128
3.5	并行存储器	86	4.4.1	指令的寻址方式	128
3.5.1	双端口存储器	86	4.4.2	操作数基本寻址方式	129
3.5.2	多模块交叉存储器	88	4.4.3	寻址方式举例	133
3.6	cache 存储器	92	4.5	典型指令	135
3.6.1	cache 基本原理	92	4.5.1	指令的分类	135
3.6.2	主存与 cache 的地址映射	94	4.5.2	基本指令系统的操作	137
3.6.3	cache 的替换策略	100	4.5.3	RISC 指令系统	138
3.6.4	cache 的写操作策略	101	4.6	ARM 汇编语言	140
3.6.5	Pentium 4 的 cache 组织	102	本章小结		142
3.6.6	使用多级 cache 减少缺失损失	103	习题		143
3.7	虚拟存储器	103	第 5 章 中央处理器		145
3.7.1	虚拟存储器的基本概念	103	5.1	CPU 的功能和组成	145
3.7.2	页式虚拟存储器	105	5.1.1	CPU 的功能	145
3.7.3	段式虚拟存储器和段页式虚拟存储器	108	5.1.2	CPU 的基本组成	145
3.7.4	虚存的替换算法	110	5.1.3	CPU 中的主要寄存器	146
3.7.5	存储管理部件	111	5.1.4	操作控制器与时序产生器	148
3.8	奔腾系列机的虚存组织	111	5.2	指令周期	148
3.8.1	存储器模型	112	5.2.1	指令周期的基本概念	148
3.8.2	虚地址模式	112	5.2.2	MOV 指令的指令周期	150
3.8.3	分页模式下的地址转换	113	5.2.3	LAD 指令的指令周期	152
本章小结		114	5.2.4	ADD 指令的指令周期	153
习题		115	5.2.5	STO 指令的指令周期	154
第 4 章 指令系统		118	5.2.6	JMP 指令的指令周期	155
4.1	指令系统的发展与性能要求	118	5.2.7	用方框图语言表示指令周期	157
4.1.1	指令系统的发展	118	5.3	时序产生器和控制方式	159
4.1.2	指令系统的性能要求	119	5.3.1	时序信号的作用和体制	159
4.1.3	低级语言与硬件结构的关系	119	5.3.2	时序信号产生器	160
4.2	指令格式	120	5.3.3	控制方式	162
4.2.1	操作码	120	5.4	微程序控制器	163
4.2.2	地址码	121	5.4.1	微程序控制原理	163
4.2.3	指令字长度	122	5.4.2	微程序设计技术	169
4.2.4	指令助记符	123	5.5	硬布线控制器	173
4.2.5	指令格式举例	124	5.6	流水 CPU	175
			5.6.1	并行处理技术	175

5.6.2	流水 CPU 的结构	176	7.2.3	磁盘驱动器和控制器	220
5.6.3	流水线中的主要问题	178	7.2.4	磁盘上信息的分布	222
5.7	RISC CPU	180	7.2.5	磁盘存储器的技术指标	223
5.7.1	RISC 机器的特点	180	7.2.6	磁盘 cache	224
5.7.2	RISC CPU 实例	181	7.2.7	磁盘阵列 RAID	225
5.7.3	动态流水线调度	185	7.3	磁带存储设备	226
本章小结		185	7.4	光盘和磁光盘存储设备	227
习题		186	7.4.1	光盘存储设备	227
第 6 章	总线系统	189	7.4.2	磁光盘存储设备	229
6.1	总线的概念和结构形态	189	7.5	显示设备	230
6.1.1	总线的基本概念	189	7.5.1	显示设备的分类与有关概念	230
6.1.2	总线的连接方式	190	7.5.2	字符/图形显示器	231
6.1.3	总线的内部结构	192	7.5.3	图像显示设备	233
6.1.4	总线结构实例	194	7.5.4	VESA 显示标准	234
6.2	总线接口	195	7.6	输入设备和打印设备	236
6.2.1	信息传送方式	195	7.6.1	输入设备	236
6.2.2	总线接口的基本概念	196	7.6.2	打印设备	237
6.3	总线仲裁	198	本章小结		238
6.3.1	集中式仲裁	198	习题		239
6.3.2	分布式仲裁	200	第 8 章	输入/输出系统	241
6.4	总线的定时和数据传送模式	201	8.1	CPU 与外设之间的信息交换	
6.4.1	总线的定时	201	方式		241
6.4.2	总线数据传送模式	204	8.1.1	输入/输出接口与端口	241
6.5	PCI 总线和 PCIe 总线	205	8.1.2	输入/输出操作的一般过程	242
6.5.1	多总线结构	205	8.1.3	I/O 接口与外设间的数据	
6.5.2	PCI 总线信号	206	传送方式		243
6.5.3	PCI 总线周期类型	207	8.1.4	CPU 与 I/O 接口之间的	
6.5.4	PCI 总线周期操作	208	数据传送		243
6.5.5	PCI 总线仲裁	209	8.2	程序查询方式	246
6.5.6	PCIe 总线	210	8.3	程序中中断方式	248
本章小结		212	8.3.1	中断的基本概念	248
习题		213	8.3.2	中断服务程序入口地址的获取	251
第 7 章	外围设备	215	8.3.3	程序中中断方式的基本 I/O 接口	252
7.1	外围设备概述	215	8.3.4	单级中断	253
7.1.1	外围设备的一般功能	215	8.3.5	多级中断	255
7.1.2	外围设备的分类	216	8.3.6	Pentium 中断机制	258
7.2	磁盘存储设备	217	8.4	DMA 方式	260
7.2.1	磁记录原理	217	8.4.1	DMA 的基本概念	260
7.2.2	磁盘的组成和分类	219	8.4.2	DMA 传送方式	261

8.4.3 基本的 DMA 控制器	262	9.4.3 多核处理机的关键技术	296
8.4.4 选择型和多路型 DMA 控制器	265	9.5 多核处理机实例	303
8.5 通道方式	267	9.5.1 ARM 多核处理机	303
8.5.1 通道的功能	268	9.5.2 英特尔酷睿多核处理机	305
8.5.2 通道的类型	269	9.5.3 英特尔至强融核众核处理机	307
8.5.3 通道结构的发展	270	9.5.4 龙芯多核处理机	308
8.6 通用 I/O 标准接口	270	本章小结	311
8.6.1 并行 I/O 标准接口 SCSI	270	习题	311
8.6.2 串行 I/O 标准接口 IEEE 1394	272	第 10 章 课程教学实验设计	313
8.6.3 I/O 系统设计	274	10.1 TEC-8 实验系统平台	313
本章小结	275	10.2 TEC-8 实验系统结构和操作	314
习题	276	10.2.1 模型计算机时序信号	314
第 9 章 并行组织与结构	279	10.2.2 模型计算机组成	314
9.1 体系结构中的并行性	279	10.2.3 模型计算机指令系统	317
9.1.1 并行性的概念	279	10.2.4 开关、按钮、指示灯	318
9.1.2 提高并行性的技术途径	280	10.2.5 E <sup>2</sup> PROM 中微代码的修改	320
9.1.3 单处理机系统中的并行性	280	10.3 运算器组成实验	324
9.1.4 多处理机系统中的并行性	281	10.4 双端口存储器实验	329
9.1.5 并行处理机的体系结构类型	282	10.5 数据通路实验	333
9.1.6 并行处理机的组织和结构	283	10.6 微程序控制器实验	339
9.2 多线程与超线程处理机	286	10.7 CPU 组成与机器指令的执行 实验	344
9.2.1 从指令级并行到线程级并行	286	10.8 中断原理实验	347
9.2.2 同时多线程结构	287	第 11 章 课程综合设计	351
9.2.3 超线程处理机结构	288	11.1 硬布线控制器的常规 CPU 设计	351
9.3 多处理机	290	11.2 含有阵列乘法器的 ALU 设计	356
9.3.1 多处理机系统的分类	290	附录 《计算机组成原理》(第六版· 立体化教材)配套教学资源	359
9.3.2 SMP 的基本概念	291	参考文献	360
9.3.3 SMP 的结构	291	郑重声明	361
9.4 多核处理机	292		
9.4.1 多核处理机的优势	292		
9.4.2 多核处理机的组织结构	294		

计算机系统不同于一般的电子设备，它是一个由硬件、软件组成的复杂的自动化设备。本章先说明计算机的分类，然后采用自上而下的方法，简要地介绍硬件、软件的概念和组成，目的在于使读者先有一个粗略的总体概念，以便于展开后续各章内容。

## 1.1 计算机的分类

电子计算机从总体上来说分为两大类。一类是电子模拟计算机。“模拟”就是相似的意思，例如计算尺是用长度来标示数值；时钟是用指针在表盘上转动来表示时间；电表是用角度来反映电量大小，这些都是模拟计算装置。模拟计算机的特点是数值由连续量来表示，运算过程也是连续的。

另一类是电子数字计算机，它是在算盘的基础上发展起来的，是用数字来表示数量的大小。数字计算机的主要特点是按位运算，并且不连续地跳动计算。表 1.1 列出了电子数字计算机与电子模拟计算机的主要区别。

表 1.1 电子数字计算机与电子模拟计算机的主要区别

比较内容	电子数字计算机	电子模拟计算机
数据表示方式	数字 0 和 1	电压
计算方式	数字计数	电压组合和测量值
控制方式	程序控制	盘上连线
精度	高	低
数据存储量	大	小
逻辑判断能力	强	无

电子模拟计算机由于精度和解题能力都有限，所以应用范围较小。电子数字计算机则与电子模拟计算机不同，它是以近似于人类的“思维过程”来进行工作的，所以有人把它叫做电脑。它的发明和发展是 20 世纪人类最伟大的科学技术成就之一，也是现代科学技术发展水平的主要标志。习惯上所称的电子计算机，一般是指现在广泛应用的电子数字计算机。

电子数字计算机进一步又可分为专用计算机和通用计算机。专用和通用是根据计算机的效率、速度、价格、运行的经济性和适应性来划分的。专用计算机是最有效、最经济和

最快速的计算机，但是它的适应性很差。通用计算机适应性很强，但是牺牲了效率、速度和经济性。

通用计算机可分为超级计算机、大型机、服务器、PC机、单片机和多核机六类，它们的区别在于体积、简易性、功率损耗、性能指标、数据存储容量、指令系统规模和机器价格，见图 1.1。一般来说，超级计算机主要用于科学计算，其运算速度在每秒万亿次以上，数据存储容量很大，结构复杂，价格昂贵。而单片机是只用一片集成电路做成的计算机，体积小，结构简单，性能指标较低，价格便宜。介于超级计算机和多核机之间的是大型机、服务器、PC机和单片机，它们的结构规模和性能指标依次递减。但随着巨大规模集成电路的迅速发展，单片机、多核机等彼此之间的概念也在发生变化，因为今天的单片机可能就是明天的多核机。专用计算机是针对某一任务设计的计算机，一般来说，其结构要比通用计算机简单。目前已经出现了多种型号的单片专用机及嵌入式单片机，用于测试或控制，成为计算机应用领域中最热门的产品。多核机是多于一个处理器的计算机芯片，具有更强的能力。

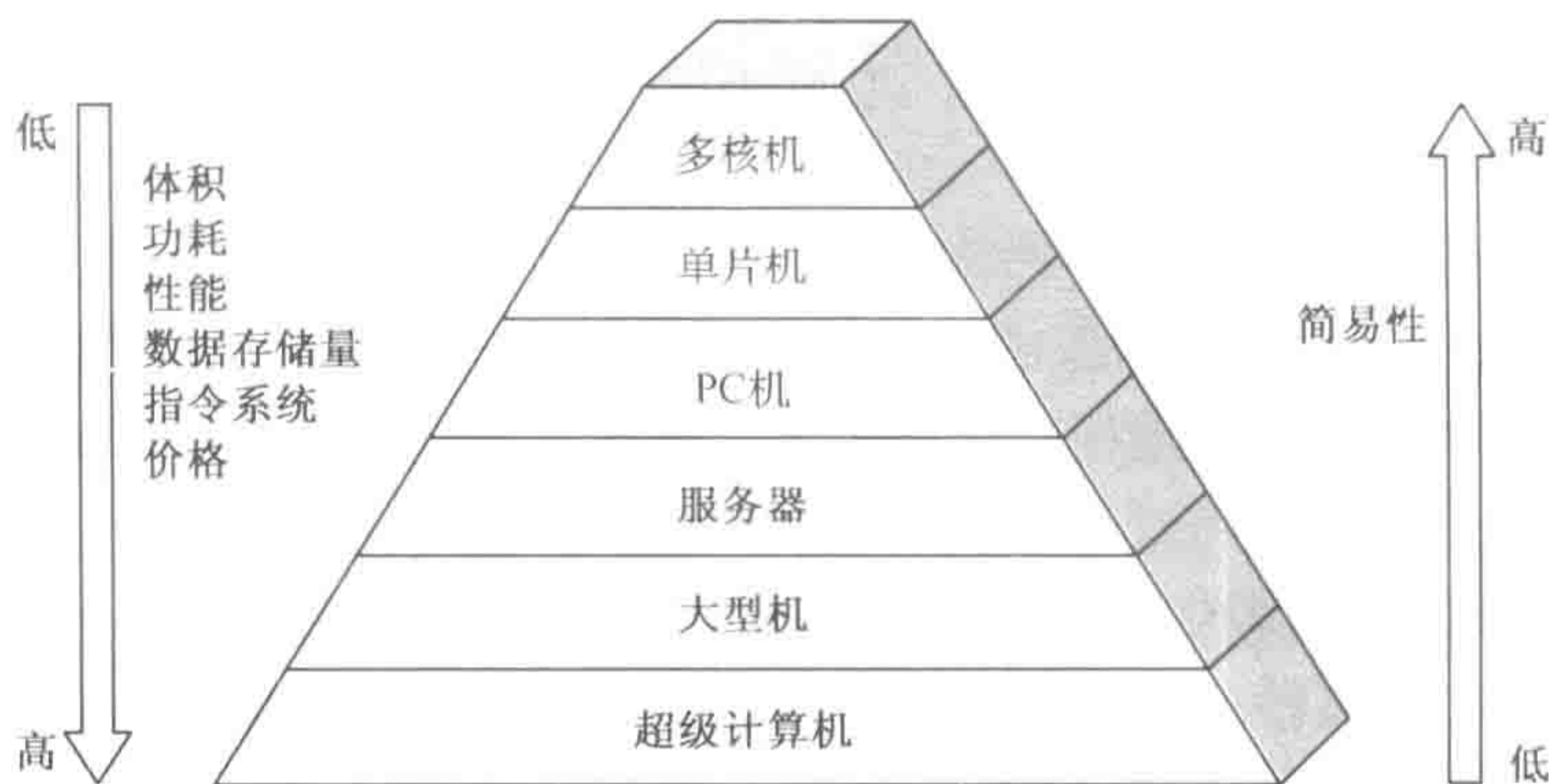


图 1.1 多核机、单片机、PC机、服务器、大型机、超级计算机之间的区别

## 1.2 计算机的发展简史

### 1.2.1 计算机的五代变化

世界上第一台电子数字计算机是 1946 年在美国宾夕法尼亚大学制成的。这台机器用了 18000 多个电子管，占地  $170\text{m}^2$ ，重量达 30 吨，而运算速度只有 5000 次/秒。用今天的眼光来看，这台计算机耗费既大又不完善，但却是科学史上一次划时代的创新，它奠定了电子计算机的基础。自从这台计算机问世 70 多年来，从使用器件的角度来说，计算机的发展大致经历了五代的变化。

第一代为 1946~1957 年，电子管计算机。计算机运算速度为每秒几千次至几万次，体积庞大，成本很高，可靠性较低。在此期间，形成了计算机的基本体系，确定了程序设计的基本方法，数据处理机开始得到应用。

第二代为 1958~1964 年，晶体管计算机。运算速度提高到每秒几万次至几十万次，可靠性提高，体积缩小，成本降低。在此期间，工业控制机开始得到应用。



第三代为1965~1971年,中小规模集成电路计算机。可靠性进一步提高,体积进一步缩小,成本进一步下降,运算速度提高到每秒几十万次至几百万次。在此期间形成机种多样化,生产系列化,使用系统化,小型计算机开始出现。

第四代为1972~1990年,大规模和超大规模集成电路计算机。可靠性更进一步提高,体积更进一步缩小,成本更进一步降低,速度提高到每秒1000万次至1亿次。由几片大规模集成电路组成的微型计算机开始出现。

第五代为1991年开始的巨大规模集成电路计算机。运算速度提高到每秒10亿次。由一片巨大规模集成电路实现的单片计算机开始出现。

总之,从1946年计算机诞生以来,大约每隔五年运算速度提高10倍,可靠性提高10倍,成本降低为1/10,体积缩小为1/10。而20世纪70年代以来,计算机的生产数量每年以25%的速度递增。

计算机从第三代起,与集成电路技术的发展密切相关。LSI的采用,一块集成电路芯片上可以放置1000个元件,VLSI达到每个芯片1万个元件,现在的ULSI芯片超过了100万个元件。1965年摩尔观察到芯片上的晶体管数量每年翻一番,1970年这种态势减慢成每18个月翻一番,这就是人们所称的摩尔定律。

在国际超级计算机500强排序中,中国2004年“曙光4000A”位居第10;2009年“星云号”位居第2;2010年“天河1号”位居第1,运算速度达2500万亿次/秒。

### 1.2.2 半导体存储器的发展

20世纪50~60年代,所有计算机存储器都是由微小的铁磁体环(磁芯)做成,每个磁芯直径约1mm。这些小磁芯处在计算机内用三条细导线穿过网格板上。每个磁芯的一种磁化方向代表一个1,另一个磁化方向则代表一个0。磁芯存储器速度相当快,读存储器中的一位只需1微秒。但是磁芯存储器价格昂贵,体积大,而且读出是破坏性的,因此必须有读出后立即重写数据的电路。更重要的在于工艺复杂,甚至手工制作。

1970年,仙童半导体公司生产出了第一个较大容量半导体存储器。一个相当于单个磁芯大小的芯片,包含了256位的存储器。这种芯片是非破坏性的,而且读写速度比磁芯快得多,读出一位只要70纳秒,但是其价格比磁芯要贵。

1974年每位半导体存储器的价格低于磁芯。这以后,存储器的价格持续快速下跌,但存储密度却不断增加。这导致了新的机器比它之前的机器更小、更快、存储容量更大,价格更便宜。存储器技术的发展,与处理器技术的发展一起,在不到10年的时间里改变了计算机的生命力。虽然庞大昂贵的计算机仍然存在,但计算机已经走向了个人电脑时代。

从1970年起,半导体存储器经历了11代:单个芯片1KB、4KB、16KB、64KB、256KB、1MB、4MB、16MB、64MB、256MB和现在的1GB。其中 $1K=2^{10}$ , $1M=2^{20}$ , $1G=2^{30}$ 。每一代比前一代存储密度提高4倍,而每位价格和存取时间都在下降。

### 1.2.3 微处理器的发展

与存储器芯片一样,处理器芯片的单元密度也在不断增加。随着时间的推移,每块芯片上的单元个数越来越多,因此构建一个计算机处理器所需的芯片越来越少。表1.2列出了Intel公司微处理器的演化。

表 1.2 Intel 微处理器的演化

(a)20 世纪 70 年代的处理器					
型号	4004	8008	8080	8086	8088
发布时间	1971	1972	1974	1978	1979
时钟频率	108kHz	108kHz	2MHz	5MHz,8MHz,10MHz	5MHz,8MHz
总线宽度	4 位	8 位	8 位	16 位	8 位
晶体管数	2300	3500	6000	29000	29000
特征尺寸/ $\mu\text{m}$	10		6	3	3
可寻址存储器	640B	16KB	64KB	1MB	1MB
虚拟存储器	—	—	—	—	—
(b)20 世纪 80 年代的处理器					
型号	80286	386TM DX	386TM SX	486TM DX	
发布时间	1982	1985	1988	1989	
时钟频率	6~12.5MHz	16~33MHz	16~33MHz	25~50MHz	
总线宽度	16 位	32 位	16 位	32 位	
晶体管数	134000	275000	275000	1200000	
特征尺寸/ $\mu\text{m}$	1.5	1	1	0.8~1	
可寻址存储器	16MB	4GB	16MB	4GB	
虚拟存储器	1GB	64TB	64TB	64TB	
(c)20 世纪 90 年代的处理器					
型号	486TM SX	Pentium	Pentium Pro	Pentium II	
发布时间	1991	1993	1995	1997	
时钟频率	16~33MHz	60~166MHz	150~220MHz	200~300MHz	
总线宽度	32 位	32 位	64 位	64 位	
晶体管数	1.185 百万	3.1 百万	5.5 百万	7.5 百万	
特征尺寸/ $\mu\text{m}$	1	0.8	0.6	0.35	
可寻址存储器	4MB	4GB	64GB	64GB	
虚拟存储器	64TB	64TB	64TB	64TB	
(d)21 世纪的处理器					
型号	Pentium III	Pentium 4	Itanium	Itanium 2	
发布时间	1999	2000	2001	2002	
时钟频率	450~600MHz	1.3~1.8GHz	733~800MHz	0.9~1GHz	
总线宽度	64 位	64 位	64 位	64 位	
晶体管数	9.6 百万	42 百万	25 百万	220 百万	
特征尺寸/ $\mu\text{m}$	0.25	0.18	0.18	0.18	
可寻址存储器	64GB	64GB	64GB	64GB	
虚拟存储器	64TB	64TB	64TB	64TB	

1971 年 Intel 公司开发出 Intel 4004。这是第一个将 CPU 的所有元件都放入同一块芯片内的产品，于是，微处理器诞生了。

Intel 4004 能完成两个 4 位数相加, 通过重复相加能完成乘法。按今天的标准, 4004 虽然过于简单, 但是它却成为微处理器的能力和功能不断发展的奠基者。

微处理器演变中的另一个主要进步是 1972 年出现的 Intel 8008, 这是第一个 8 位微处理器, 它比 4004 复杂一倍。

1974 年出现了 Intel 8080。这是第一个通用微处理器, 而 4004 和 8008 是为特殊用途而设计的。8080 是为通用微机而设计的中央处理器。它与 8008 一样, 都是 8 位微处理器, 但 8080 更快, 有更丰富的指令系统和更强的寻址能力。

大约在同时, 16 位微机被开发出来。但是直到 20 世纪 70 年代末才出现强大的通用 16 位微处理器, Intel 8086 便是其中之一。这一发展趋势中的另一阶段是在 1981 年, 贝尔实验室和 HP 公司开发出了 32 位单片微处理器。Intel 于 1985 年推出了 32 位微处理器 Intel 80386。

#### 1.2.4 计算机的性能指标

**吞吐量** 表征一台计算机在某一时间间隔内能够处理的信息量。

**响应时间** 表征从输入有效到系统产生响应之间的时间度量, 用时间单位来度量。

**利用率** 在给定的时间间隔内系统被实际使用的时间所占的比率, 用百分比表示。

**处理机字长** 指处理机运算器中一次能够完成二进制数运算的位数, 如 32 位、64 位。

**总线宽度** 一般指 CPU 中运算器与存储器之间进行互连的内部总线二进制位数。

**存储器容量** 存储器中所有存储单元的总数目, 通常用 KB、MB、GB、TB 来表示。

**存储器带宽** 单位时间内从存储器读出的二进制数信息量, 一般用字节数/秒表示。

**主频/时钟周期** CPU 的工作节拍受主时钟控制, 主时钟不断产生固定频率的时钟, 主时钟的频率 ( $f$ ) 叫 CPU 的主频。度量单位是 MHz (兆赫兹)、GHz (吉赫兹)。

主频的倒数称为 CPU 时钟周期 ( $T$ ),  $T=1/f$ , 度量单位是  $\mu\text{s}$ 、 $\text{ns}$ 。

**CPU 执行时间** 表示 CPU 执行一般程序所占用的 CPU 时间, 可用下式计算:

$$\text{CPU 执行时间} = \text{CPU 时钟周期数} \times \text{CPU 时钟周期}$$

**CPI** 表示每条指令周期数, 即执行一条指令所需的平均时钟周期数。用下式计算:

$$\text{CPI} = \text{执行某段程序所需的 CPU 时钟周期数} \div \text{程序包含的指令条数}$$

**MIPS** (Million Instructions Per Second) 的缩写, 表示平均每秒执行多少百万条定点指令数, 用下式计算:

$$\text{MIPS} = \text{指令数} \div (\text{程序执行时间} \times 10^6)$$

**FLOPS** (Floating-point Operations Per Second) 的缩写, 表示每秒执行浮点操作的次数, 用来衡量机器浮点操作的性能。用下式计算:

$$\text{FLOPS} = \text{程序中的浮点操作次数} \div \text{程序执行时间 (s)}$$

**【例 1.1】** 对于一个给定的程序,  $I_N$  表示执行程序中的指令总数,  $t_{\text{CPU}}$  表示执行该程序所需的 CPU 时间,  $T$  为时钟周期,  $f$  为时钟频率 ( $T$  的倒数),  $N_C$  为 CPU 时钟周期数。设 CPI 表示每条指令的平均时钟周期数, MIPS 表示每秒钟执行的百万条指令数, 请写出如下四种参数的表达式:

- (1)  $t_{\text{CPU}}$  (2) CPI (3) MIPS (4)  $N_C$

$$\text{解 (1) } t_{\text{CPU}} = N_{\text{C}} \times T = N_{\text{C}} / f = I_{\text{N}} \times \text{CPI} \times T = \left( \sum_{i=1}^n \text{CPI}_i \times I_i \right) \times T$$

$$(2) \text{CPI} = \frac{N_{\text{C}}}{I_{\text{N}}} = \sum_{i=1}^n \left( \text{CPI}_i \times \frac{I_i}{I_{\text{N}}} \right) \quad I_i/I_{\text{N}} \text{ 表示 } i \text{ 指令在程序中所占比例}$$

$$(3) \text{MIPS} = \frac{I_{\text{N}}}{t_{\text{CPU}} \times 10^6} = \frac{f}{\text{CPI} \times 10^6}$$

$$(4) N_{\text{C}} = \sum_{i=1}^n (\text{CPI}_i \times I_i)$$

式中,  $I_i$  表示  $i$  指令在程序中执行的次数,  $\text{CPI}_i$  表示  $i$  指令所需的平均时钟周期数,  $n$  为指令种类。

【例 1.2】 用一台 50MHz 处理机执行标准测试程序, 它包含的混合指令数和相应所需的平均时钟周期数如下表所示:

指令类型	指令数目	平均时钟周期数
整数运算	45000	1
数据传送	32000	2
浮点运算	15000	2
控制传送	8000	2

求有效 CPI、MIPS 速率、处理机程序执行时间  $t_{\text{CPU}}$ 。

$$\text{解 } \text{CPI} = \frac{N_{\text{C}}}{I_{\text{N}}} = \sum_{i=1}^n \left( \text{CPI}_i \times \frac{I_i}{I_{\text{N}}} \right) \quad I_i/I_{\text{N}} \text{ 表示 } i \text{ 指令在程序中所占比例}$$

$$= \frac{45000 \times 1 + 32000 \times 2 + 15000 \times 2 + 8000 \times 2}{45000 + 32000 + 15000 + 8000} = 1.55 (\text{周期/指令})$$

$$\text{MIPS} = \frac{f}{\text{CPI} \times 10^6} = \frac{50 \times 10^6}{1.55 \times 10^6} \approx 32.26 (\text{百万条指令/秒})$$

$$t_{\text{CPU}} = \frac{N_{\text{C}}}{f} = \frac{45000 \times 1 + 32000 \times 2 + 15000 \times 2 + 8000 \times 2}{50 \times 10^6} = 31 \times 10^{-4} (\text{s})$$

## 1.3 计算机的硬件

### 1.3.1 硬件组成要素

要了解数字计算机的主要组成和工作原理, 可从打算盘说起。假设给一个算盘、一张带横格的纸和一支笔, 要求计算  $y=ax+b-c$  这样一个题目。为了和下面讲到的内容做比较, 不妨按以下方法把使用算盘进行解题的过程步骤事先用笔详细地记录在带横格的纸上。

首先, 将横格纸编上序号, 每一行占一个序号, 如 1, 2, 3, ...,  $n$ , 如表 1.3 所示。其次, 把计算式中给定的四个数  $a$ 、 $b$ 、 $c$  和  $x$  分别写到横格纸的第 9、10、11、12 行上, 每一行只写一个数。接着详细列出给定题目的解题步骤, 而解题步骤也需要记在横格纸上, 每一步也只写一行。第一步写到横格纸的第 1 行, 第二步写到第 2 行, ……以此类推。