

前 言

随着大规模、超大规模集成电路的发展、WSI公司(Wafer Scale Integration Inc)首次向世界推出集成了多种功能的微控制器外围芯片PSD器件。它集EPROM、SRAM、ZPLD、锁存器、定时器和中断控制器于单个芯片内,这些模块既可互为独立,执行各自的功能,又可互为联系,构成一个协调的统一体,由于芯片内采用了先进的零功率管理技术,为工程设计人员降低功耗,简化电路设计及增加系统的可靠性提供了一条非常有效的单片解决方案。

使用了这种外围芯片以后带来的好处至少有:

- * 扩建系统逻辑
- * SRAM掉电自动切换
- * 简化电路设计
- * 节省印制板空间
- * 缩短产品开发周期
- * 便于产品升级的更新换代
- * 增加系统可靠性
- * 降低产品功耗
- * 加密用户程序和ZPLD逻辑
- * 降低产品成本

本书是继PSD3系列可编程外围接口芯片的原理、编程及应用之后的又一本介绍PSD系列芯片的丛书,重点介绍功能更强、性能更优的PSD4系列和PSD5系列芯片,向读者详细介绍PSD4××/5××可编程外围芯片的性能、特点、组成结构、引脚说明、工作特性、功率管理、软件设计辅导、编程方法及设计举例等。以适应广大科技开发者和设计人员掌握使用本芯片的需要。

本书共六章分成上、下两册。上册1~4章,下册5、6章及附录。第一章和第二章分别详细介绍PSD4系列和PSD5系列可编程外围芯片的硬件组成、性能特点、ZPLD和I/O端口的结构、存储器组成结构、总线接口和功率管理、系统配置和工作特性、工作时序以及购货指南,在第二章还介绍了PSD5系列的计数器/定时器和中断控制器。第三章主要介绍PSDsoft软件的使用指南,包括安装、启动、PSDabel设计、配置设计、编译、仿真和编程;第四章以一个设计教程为例,帮助并指导你如何使用PSD5××设计一个系统;第五章是各种应用PSD4××/5××进行设计的举例;第六章是关于PSDabel可编程逻辑器件设计语言的使用指南。在附录部分,有关于芯片封装尺寸的详细资料和WSI公司最新发布的信息。

本书由为空军雷达学院颜荣江、朱元清两位同志编译,颜荣江同志审校了全文。武汉力源单片机技术研究所所长赵依军同志提供了全部资料。参加本书编译出版的还有郑丽婷、杨敏娟等同志,在此一并致谢。

由于编者水平有限,错误和不妥之处,恳请读者批评指正。

编者

1995年3月于武汉

目 录

第一章 现场可编程微控制器外围芯片PSD4系列	1
1.1 PSD4系列性能简介	1
1.1.1 主要特点	1
1.1.2 概述	1
1.1.3 PSD4××系列成员	4
1.2 PSD4系列组成结构及引脚说明	5
1.2.1 管脚排列及封装资料	5
1.2.2 引脚说明	9
1.2.3 PSD4××结构	12
1.3 PSD4系列ZPLD模块	12
1.3.1 PSD4××A1 ZPLD模块	12
1.3.2 PSD4××A2 ZPLD模块	22
1.4 PSD4系列总线接口	35
1.4.1 总线接口配置	36
1.4.2 总线接口举例	40
1.5 PSD4系列I/O端口	45
1.5.1 PSD4系列I/O端口功能	45
1.5.2 端口寄存器	47
1.5.3 端口A一功能和结构	48
1.5.4 端口B一功能和结构	51
1.5.5 端口C和端口D一功能和结构	51
1.5.6 端口E一功能和结构	51
1.6 PSD4系列存储器模块	55
1.7 PSD4系列外设I/O	58
1.8 页面寄存器	60
1.9 加密保护	60
1.10 功率管理单元	60
1.10.1 备用方式	60
1.10.2 其它功率节省选择方案	63
1.11 PSD4系列的系统配置	65
1.11.1 各寄存器偏移地址划分	65
1.11.2 复位	68
1.11.3 ZPLD宏单元初始化	69
1.12 PSD4××工作特性	69
1.12.1 工作范围	69
1.12.2 AC/DC参数	70
1.13 PSD4系列工作时序	78

1.14	引脚电容	83
1.15	擦除和编程	84
1.16	PSD4××购货指南	84
第二章	现场可编程微控制器外围芯片PSD5系列	89
2.1	PSD5系列性能简介	89
2.1.1	主要特点	89
2.1.2	概述	90
2.1.3	PSD5系列成员	93
2.2	PSD5系列组成结构和引脚说明	94
2.2.1	管脚排列及封装资料	94
2.2.2	引脚说明	97
2.2.3	PSD5××结构	99
2.3	PSD5系列ZPLD模块	100
2.3.1	概述	100
2.3.2	DPLD	102
2.3.3	GPLD	105
2.3.4	PPLD	113
2.3.5	ZPLD功率管理	113
2.4	PSD5系列总线接口	116
2.4.1	总线接口配置	116
2.4.2	总线接口举例	120
2.5	PSD5系列I/O端口功能	125
2.5.1	PSD5系列I/O端口功能	125
2.5.2	端口寄存器	127
2.5.3	端口A—功能和结构	129
2.5.4	端口B—功能和结构	129
2.5.5	端口C和端口D—功能和结构	132
2.5.6	端口E—功能和结构	132
2.6	PSD5系列存储器模块	136
2.7	PSD5系列外设I/O	139
2.8	页面寄存器	141
2.9	加密保护	141
2.10	功率管理单元	141
2.10.1	备用方式	141
2.10.1	其它功率节省选择方案	144
2.11	PSD5××计数器/定时器	146
2.11.1	概述	146
2.11.2	计数器/定时器操作	149
2.11.3	计数器/定时器操作方式	149

2.11.4	终端计数(TCs)	158
2.11.5	计数器/定时器时钟输入	160
2.11.6	计数器/定时器寄存器	162
2.11.7	装载/存储	169
2.11.8	允许/禁止	170
2.11.9	计数器/定时器输入/输出	170
2.11.10	专用功能分配	170
2.11.11	脉冲方式下样本计数器/定时器0初始化	173
2.12	中断控制器	174
2.12.1	概述	174
2.12.2	中断操作	174
2.13	PSD5系列系统配置	181
2.13.1	各寄存器偏移地址划分	181
2.13.2	复位	184
2.13.3	ZPLD宏单元初始化	185
2.14	PSD5××工作条件	185
2.14.1	工作范围	185
2.14.2	AC/DC参数	186
2.15	PSD5系列工作时序	195
2.16	引脚电容	200
2.17	擦除和编程	200
2.18	购货指南	201
第三章	PSDsoft软件使用指南	203
3.1	概述	203
3.1.1	PSDsoft应用程序	203
3.1.2	PSDsoft处理和设计流程	204
3.1.3	项目文件	206
3.2	安装和启动	212
3.2.1	系统需求	212
3.2.2	硬件安装	213
3.2.3	安装PSDsoft	214
3.2.4	PSDsoft顶层窗口及其功能	215
3.3	PSDabel设计	220
3.3.1	使用PSDabel设计模块	221
3.3.2	修改项目文件	223
3.3.3	编译项目文件	224
3.3.4	仿真项目文件	225
3.3.5	优化项目文件	227
3.3.6	观察处理结果	229

3.4	PSD配置设计模块	230
3.4.1	启动PSD配置设计模块	230
3.4.2	指定配置	231
3.4.3	观察配置	236
3.4.4	保存配置	237
3.5	PSD编译器	237
3.5.1	装配处理	239
3.5.2	地址变换处理	239
3.5.3	反编译处理	240
3.5.4	使用PSD编译器	240
3.6	PSD仿真器	245
3.6.1	仿真一个设计	245
3.6.2	观看仿真结果	246
3.7	PSD编程器	246
3.7.1	选择PSD编程器主窗口	247
3.7.2	设置端口配置	248
3.7.3	文件操作	249
3.7.4	选择器件	251
3.7.5	PSD编程器的用法	251
3.7.6	使用实用程序	259
第四章	PSD4××/5××设计教程	261
4.1	引言	261
4.2	设计举例	261
4.3	PSDsoft开发工具	264
4.4	使用设计举例	266
4.4.1	管理项目	266
4.4.2	输入设计源文件	268
4.4.3	编译源文件	276
4.4.4	配置设计	280
4.4.5	编译设计	284
4.4.6	仿真设计	289
4.4.7	编程PSD5××	300
4.4.8	文件摘要	304
4.4.9	PSD5××/4××概述	324

第一章 现场可编程微控制器 外围芯片 PSD4 系列

1.1 PSD4 系列性能简介

1.1.1 主要特点:

(1) 成套系列现场可编程微控制器外围芯片使用户可在短时间内有效地完成高集成嵌入式控制系统。PSD4××系列具有各种功能,如:ZPLDs、I/O端口、功率管理、EPROM 和SRAM。

(2) 通过用户编程可直接接口到多路复用和非多路复用总线的8位或16位微控制器上。总线控制逻辑可直接译码由8031、80196、80186、68HC11、68HC16、683××、16000、Z80和Z8系统结构产生的控制信号。扩展地址容量达24位地址。

(3) ZPLD(零功率PLD)结构范围达24个宏单元、59个输入和126个输出乘积项。PSD4××包含2个ZPLD功能块,使用户可以有效地实现各种状态机、逻辑功能、地址译码和对内部PSD4××功能块的控制。

(4) ZPLD采用零功率CMOS技术,把器件备用电流减小到5 μ A典型值。未使用的乘积项被禁止以减小工作电流。

(5) 40个I/O端口可由用户分别配置为标准MCU I/O端口、PLD I/O、锁存地址输出和专用功能I/O。其中,两个八位I/O端口可配置为开路漏极输出。

(6) PSD4××系列芯片的EPROM密度有:256K位、512K位和1M位,可配置成8位或16位数据宽度。EPROM划分为4个相等的块,这些块可以映射到不同的地址空间。访问时间为90ns,包括地址锁存和译码PLD的时间。EPROM还具有由CMiser-Bit控制选择的低功率方式。

(7) PSD4××系列含有16K位的暂存SRAM,可配置成8位或16位数据宽度。访问时间为90ns,包括地址锁存和译码PLD的时间。如果对Vstdby引脚加备用电源,SRAM便可用作备用存储器。Vcc和Vstdby之间的切换自动进行。

(8) 页面逻辑被连接到ZPLD,使有限地址空间容量的微处理器的寻址空间得到扩展。可用到多达16页。

(9) 加密位可防止读出PSD4××配置、ZPLD和EPROM中的内容、并禁止在编程器上复制器件。

(10) 端口A可用作微控制器数据总线的缓冲(外设I/O方式)。提供便利的访问子系统的能力,以满足要求数据总线有更大驱动能力的子系统,或与其它MCU或DMA控制器一起访问共用的资源。

(11) 利用功率管理单元(PMU)启动EPROM、SRAM和ZPLD中的自动备用方式可获得PSD4××系列的低功率操作。它还可以禁止ZPLD的时钟。利用ALE信号还可工作于自动掉电方式,以及仅消耗1 μ A备用功耗的睡眠方式。

(12) 封装选择包括68脚塑料(J)和陶瓷(L)芯片。

(13) PSD4××系列由PC通过基于PC上的MS-Windows[®]兼容开发软件工具PSDsoft[™]支持。还提供ABEL[®]作为设计手段,其中包括:PSDabel[™]、高效率装配器、地址译码器、MagicPro编程器和完整的芯片仿真器(SILOS III[™],由SIMUCAD[™]提供)(PSDsim[™])。

1.1.2 概述

PSD4××系列现场可编程微处理器外围芯片对可编程外围芯片作了重要的改进。它们组合

了改进后的设计与工艺技术性能,提供给用户可编程性(逻辑、功能、存储器)、灵活性、高集成度、最佳性能和低功耗。例如,PSD413 A2可执行完整的外设子系统,并具有下列特点:

- ①两个ZPLD,共有59个输入、126个乘积项输出、24个宏单元和24个I/O引脚。
- ②40个独立的可编程I/O引脚,划分为5个端口。
- ③用于外部存储器寻址的4位页面寄存器。
- ④由4个256K位块组成的1M位EPROM。
- ⑤16K位的备用SRAM,可自动切换到备用方式。
- ⑥带自动掉电和睡眠方式的功率管理单元。
- ⑦加密方式。

图1-1为PSD4××的最高级方框图。有关功能性、DC/AC特性、封装和购货指南的详细情况请参看表1-1和其它部分。

PSD4××的核心部件为ZPLD,按它们执行的功能分为:

- ①译码ZPLD(DPLD)
- ②通用ZPLD(GPLD)

两种ZPLD通过ZPLD总线接收相同的输入,其差别在于输出的目的不同。译码PLD(DPLD)主要功能是为内部I/O端口、4个EPROM块、备用SRAM和端口A的外设方式提供地址译码。地址译码基于任意地址输入、控制信号(RD、PSEN等)及页面逻辑。地址输入来源于微控制器接口(ADIO端口)或其它用于附加译码的I/O端口。DPLD还支持基于8031结构设计的特殊需要,这些设计要求在EPROM中存储数据或运行SRAM中的程序。

通用ZPLD(GPLD)可用来执行状态机和逻辑。GPLD有多达59个输入、118个乘积项、24个灵活的宏单元和24个连接到端口A、B和E的I/O引脚。GPLD也可以译码微控制器地址总线并产生对外设或存储器的片选信号。

ZPLDs采用了零功率设计技术,设计成消耗最小功率。如果输入均不变化,由MCU设置的配置位(Turbo位)将自动地把ZPLD置为备用。任何未用的乘积项在编程期间被关断,并且将不消耗系统功率。

PSD4××有40个I/O引脚,被划分为5个端口。每个I/O引脚可独立配置为提供多种功能。端口A、B和E都可配置为标准MCU I/O端口,GPLD I/O或者对多路复用地址/数据总线微控制器的锁存地址输出。端口C和D为标准I/O端口,也可以配置为ZPLD输入或配置为非多路复用总线方式下微控制器的数据总线。

PSD4××可以直接接口到各种多路复用总线或非多路复用总线的8位和16位微处理器上,而不需要“连接逻辑”。所有的控制信号都连接到2个ZPLD上,以允许用户产生对外部设备的定时和译码信号。对不含复位输出的控制器,PSD4××可根据其RESET输入产生一个RESET输出。这个RESET输入包括滞后在内。

PSD4××包含有EPROM和暂存SRAM。EPROM密度为256K位、512K位和1M位,划分为4个块,每个块可以位于不同的地址区域。EPROM的访问时间包括地址锁存和DPLD译码的时间。16K位备用SRAM可用作微控制器SRAM的扩展,也可储存系统掉电后所需的备用信息。SRAM的备用电源由Vstdby引脚提供。当Vcc电源移去时,在Vcc和Vstdby之间自动产生切换。

4位页面寄存器使得微控制器可以借助于有限地址空间方便地访问I/O部分、EPROM和SRAM。页面寄存器输出连接到所有ZPLD上,可用来对外部器件及内部PSD4××功能单元标记页号。

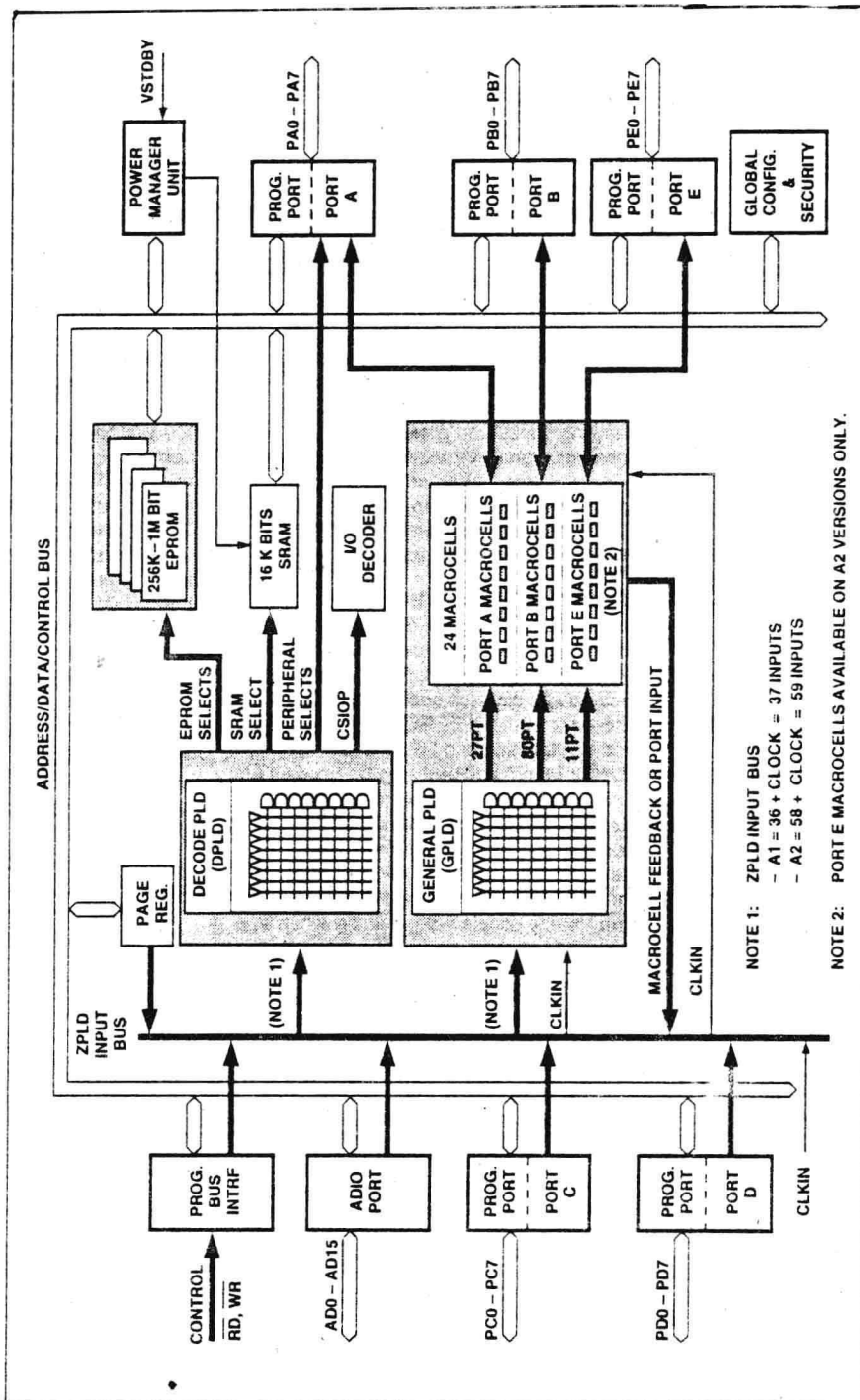


图1-1 PSD4x8方框图

PSD4x8中的功率管理单元(PMU)使用户可以根据系统要求控制所选定的功能模块的功耗。

对于不能产生片选输入(CSI)给外部设备的微处理器,PMU包含的自动掉电单元(APD)可以根据ALE的失效来关断PSD4××(掉电或睡眠方式)。ALE失效的极性可由用户定义。除掉电方式外,PSD4××还包含睡眠方式,可把功率消耗减小到1μA。

PSD4××系列由WSI-PSD开发系统(PSDsoft, 参看图1-2)支持,该系统在PC上的MS- Windows下运行。利用PSDabel进行设计产生的逻辑运算最少。PSDabel还提供ZPLD的逻辑仿真。PSD4××所需配置可利用简单的菜单窗口进行。PSDcompiler, 包括装配器和地址译码器,从PSDabel和MCU代码文件中产生最终的目标文件。此目标文件可下装到编程器(MagicPro[®]、Data I/O或其它第三方编程器)或装入PSDsim(Silos III逻辑仿真器)以提供完整的芯片仿真。

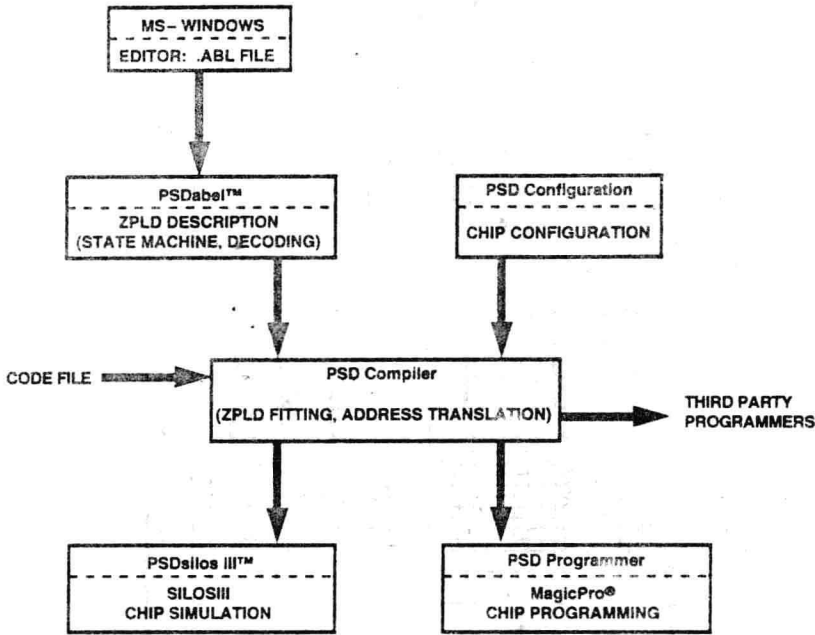


图1-2 PSDsoft 开发工具

1.1.3 PSD4××系列成员

PSD4××系列共有12种器件。这些器件分类的依据是ZPLD的配置和大小、EPROM存储单元的容量大小和数据总线宽度。每种器件的特点都列在表1-1中。

表1-1 PSD4××产品表

器件名	总线宽度	DPLD+GPLD			I/O引脚	PMU	EPROM K位	SRAM K位
		输入	乘积项	寄存器宏单元				
401A1	×8/×16	37	113	8	40	有	256	16
411A1	×8	37	113	8	40	有	256	16

续上表

器件名	总线宽度	DPLD+GPLD			I/O引脚	PMU	EPROM K位	SRAM K位
		输入	乘积项	寄存器宏单元				
402A1	×8/×16	37	113	8	40	有	512	16
412A1	×8	37	113	8	40	有	512	16
403A1	×8/×16	37	113	8	40	有	1024	16
413A1	×8	37	113	8	40	有	1024	16
401A2	×8/×16	59	126	24	40	有	256	16
411A2	×8	59	126	24	40	有	256	16
402A2	×8/×16	59	126	24	40	有	512	16
412A2	×8	59	126	24	40	有	512	16
403A2	×8/×16	59	126	24	40	有	1024	16
413A2	×8	59	126	24	40	有	1024	16

注：PMU为功率管理单元

1.2 PSD4系列组成结构及引脚说明

1.2.1 管脚排列及封装资料

表1-2 68引脚封装的管脚排列

引脚号	68脚PLDCC/CLDCC封装	引脚号	68脚PLDCC/CLDCC封装
1	GND	35	GND
2	AD10_7	36	PE2
3	AD10_6	37	PE1
4	AD10_5	38	PE0
5	AD10_4	39	CSI
6	AD10_3	40	RESET
7	AD10_2	41	RD
8	AD10_1	42	CLKIN
9	AD10_0	43	PB7

续上表

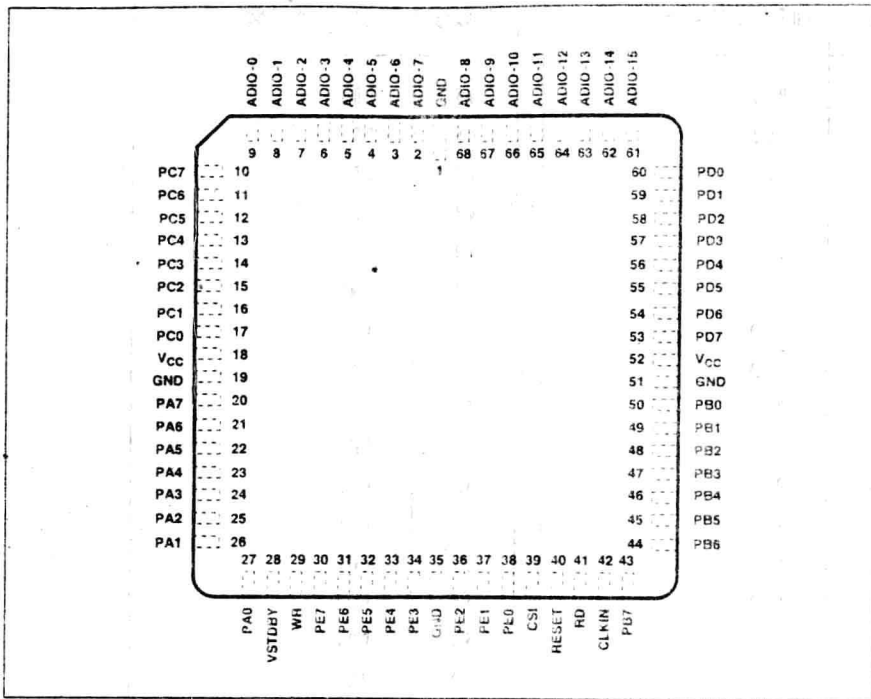
引脚号	68脚PLDCC/CLDCC封装	引脚号	68脚PLDCC/CLDCC封装
10	PC7	44	PB6
11	PC6	45	PB5
12	PC5	46	PB4
13	PC4	47	PB3
14	PC3	48	PB2
15	PC2	49	PB1
16	PC1	50	PB0
17	PC0	51	GND
18	VCC	52	VCC
19	GND	53	PD7
20	PA7	54	PD6
21	PA6	55	PD5
22	PA5	56	PD4
23	PA4	57	PD3
24	PA3	58	PD2
25	PA2	59	PD1
26	PA1	60	PD0
27	PA0	61	AD10_15
28	Vstdby	62	AD10_14
29	WR	63	AD10_13
30	PE7	64	AD10_12
31	PE6	65	AD10_11
32	PE5	66	AD10_10
33	PE4	67	AD10_9
34	PE3	68	AD10_8

表1-3 80引脚封装的管脚排列

引脚号	80脚TQFP封装	引脚号	80脚TQFP封装
1	PC7	41	PB7
2	PC6	42	PB6
3	PC5	43	PB5
4	PC4	44	PB4

续上表

引脚号	80脚TQFP封装	引脚号	80脚TQFP封装
5	PC3	45	PB3
6	PC2	46	PB2
7	PC1	47	PB1
8	PC0	48	PB0
9	Vcc	49	GND
10	Vcc	50	GND
11	GND	51	Vcc
12	GND	52	Vcc
13	PA7	53	PD7
14	PA6	54	PD6
15	PA5	55	PD5
16	PA4	56	PD4
17	PA3	57	PD3
18	PA2	58	PD2
19	PA1	59	PD1
20	PA0	60	PD0
21	NIC	61	NC
22	NIC	62	AD10_15
23	Vstdby	63	AD10_14
24	WR	64	AD10_13
25	PE7	65	AD10_12
26	PE6	66	AD10_11
27	PE5	67	AD10_10
28	PE4	68	AD10_9
29	PE3	69	AD10_8
30	GND	70	GND
31	GND	71	GND
32	PE2	72	AD10_7
33	PE1	73	AD10_6
34	PE0	74	AD10_5
35	CSI	75	AD10_4
36	RESET	76	AD10_3
37	RD	77	AD10_2
38	CLKIN	78	AD10_1
39	NC	79	AD10_0
40	NC	80	NC



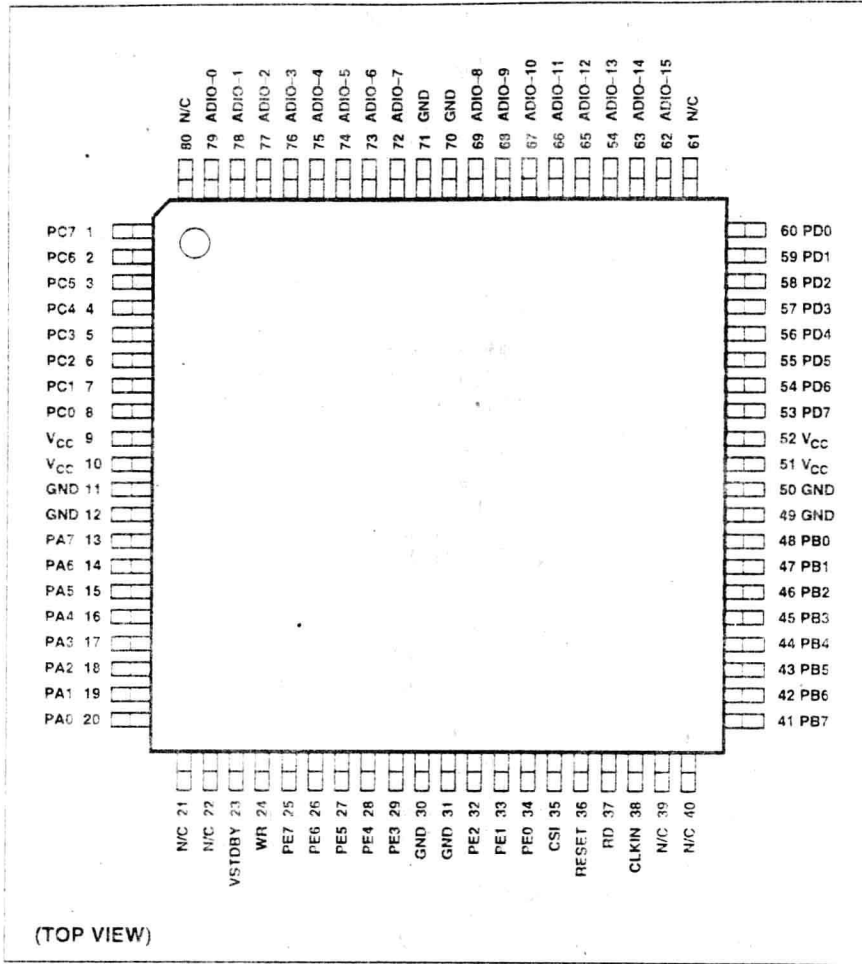


图1-5 U2-80引脚TQFP封装排列图(U型封装)

1.2.2 引脚说明

表1-4说明PSD4××的引脚名称和引脚功能。具有多个名称和/或功能的引脚由用户配置定义。

表1-4 PSD4××引脚说明

引脚名称	引脚功能	类型	功能说明
AD100~AD1015	地址/数据总线	I/O	1. 地址/数据总线, 多路复用总线方式 2. 地址总线, 非多路复用总线方式
RD	多个名称 1. Read 2. E 3. DS 4. LDS	1	复用功能 1. 读信号 2. E信号(时钟) 3. 数据选通信号 4. 低字节数据选通

续上表

引脚名称	引脚功能	类型	功能说明
WR	多个名称 1. WR 2. R/W 3. WRL	I	复用功能 1. 写信号 2. 读--写信号 3. 低字节写信号
CSI	片选输入	I	低电平有效, 高电平时选择 PSD4×× 备用方式
RESET	复位输入	I	复位 I/O 端口、ZPLD/宏单元、及配置寄存器。低电平有效。
CLKIN	输入时钟	I	时钟输入, 输入到 ZPLD 宏单元、ZPLD 阵列及 APD 计数器。若不用时钟输入, 则将其连到地。
PA0~PA7	I/O 端口 A	I/O	复用功能 1. I/O 端口 2. ZPLD/宏单元 I/O 端口 3. 锁存地址输出 (PA0~PA7) 4. 高位地址输入 (A16~A23)
PB0~PB7	I/O 端口 B	I/O	复用功能 1. I/O 端口 2. ZPLD/宏单元 I/O 端口 3. 锁存地址输出 (PB0~PB7)
PC0~PC7	I/O 端口 C	I/O CMOS 或 OD	复用功能 1. I/O 端口 2. ZPLD 输入端口 3. 锁存地址输出 (PC0~PC7) 4. 数据端口 (D0~D7, 非多路复用总线)
PD0~PD7	I/O 端口 D	I/O CMOS 或 OD	复用功能 1. I/O 端口 2. ZPLD 输入端口 3. 锁存地址输出 (PD0~PD7) 4. 数据端口 (D8~D15, 非多路复用总线)
PE0	端口 PE, 引脚 0 1. BHE 2. PSEN 3. WRH 4. UDS 5. SIZO 6. PE0 7. PE0 8. PE0	I/O	复用功能 1. 高字节允许, 16 位数据 2. 读程序存储器, 8031 信号 3. 写高字节数据 4. 低字节数据选通 5. 字节允许, 68300 信号 6. I/O 引脚 7. ZPLD I/O 引脚 8. 锁存地址输出 ---A0
PE1	端口 PE, 引脚 1 1. ALE 2. PE1 3. PE1 4. PE1	I/O	复用功能 1. 地址选通 2. I/O 引脚 3. ZPLD I/O 引脚 4. 锁存地址输出 ---A1
PE2	端口 PE, 引脚 2 1. PE2 2. PE2 3. PE2	I/O	复用功能 1. I/O 引脚 2. ZPLD I/O 引脚 3. 锁存地址输出 ---A2

续上表

引脚名称	引脚功能	类型	功能说明
PE3	端口 PE, 引脚 3 1. PE3 2. PE3 3. PE3	I/O	复用功能 1. I/O 引脚 2. ZPLD I/O 引脚 3. 锁存地址输出 ---A3
PE4	端口 PE, 引脚 4 1. PE4 2. PE4 3. PE4	I/O	复用功能 1. I/O 引脚 2. ZPLD I/O 引脚 3. 锁存地址输出 ---A4
PE5	端口 PE, 引脚 5 1. PE5 2. PE5 3. PE5	I/O	复用功能 1. I/O 引脚 2. ZPLD I/O 引脚 3. 锁存地址输出 ---A5
PE6	端口 PE, 引脚 6 1. PE6 2. PE6 3. PE6	I/O	复用功能 1. I/O 引脚 2. ZPLD I/O 引脚 3. 锁存地址输出 ---A6
PE7	端口 PE, 引脚 7 1. APD CLK 2. PE7 3. PE7 4. PE7	I/O	复用功能 1. 自动掉电时钟输入 2. I/O 引脚 3. ZPLD I/O 引脚 4. 锁存地址输出 ---A7
Vstdby	Vstdby	I	备用操作 (备用电池供电) 的 SRAM 电源引脚
Vcc	vcc	I	Vcc 电源引脚
GND	GND	I	地线引脚

* 仅 PSD4××A2 系列含有

1.2.3 PSD4××结构

PSD4××包含5个主要功能模块

- ①ZPLD模块
- ②总线接口
- ③I/O端口
- ④存储器模块
- ⑤功率管理单元

下面对每个模块的功能进行说明。多数模块可执行多种功能,且用户可配置。芯片配置由用户在PSDsoft开发软件下指定。其它配置在运行期间通过在配置寄存器中设置适当的位来指定。

1.3 PSD4系列ZPLD模块

PSD4××系列器件提供两种ZPLD配置。PSD4××A1器件中的ZPLD含有8个寄存器型宏单元、8个组合型宏单元和多达113个乘积项。PSD4××A2含有一个带有24个寄存器型宏单元和多达126个乘积项的全功能ZPLD。

1.3.1 PSD4××A1 ZPLD模块

主要特点:

- (1)两个嵌入式ZPLD器件
- (2)8个寄存器型和8个组合型宏单元
- (3)组合/寄存输出
- (4)最长达113个乘积项
- (5)可编程输出极性
- (6)用户配置寄存器清除/预置
- (7)用户配置寄存器时钟输入
- (8)37个输入
- (9)可通过16个I/O引脚访问
- 0)功率节省方式
- (11)UV-可擦除

1. 概述

ZPLD模块含有两个嵌入式PLD器件:

①DPLD

地址译码PLD,产生对内部I/O或存储器模块的选择信号。

②GPLD

通用PLD提供8个寄存型和组合型可编程宏单元,用作普通的或复杂的逻辑运算;专供用户使用。

图1-6所示为ZPLD的结构。PLD器件均共用相同的输入总线。37个输入信号的原码或补码馈送到可编程“与阵列”。输入信号的名称和来源如表1-5所示。根据用户配置,PB信号可为宏单元反馈或来自端口B的输入。