XILINX 大学计划指定教材

电子信息与电气学科规划教材·电子信息科学与工程类专业

FPGA应用技术

基础教程

刘 岚 黄秋元 陈 适 编著

電子工業出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY http://www.phei.com.cn

含光盘1张

需要全本请访问 www.ertongbook.com



XILINX 大学计划指定教材

电子信息与电气学科规划教材·电子信息科学与工程类专业

FPGA 应用技术基础教程

刘 岚 黄秋元 陈 适 编著

電子工業出版社
Publishing House of Electronics Industry
北京·BEIJING

内 容 简 介

本书是 XILINX 大学计划指定教材。本书较系统地介绍了 FPGA 的基本工作原理和开发应用技术。全书共 9 章，主要内容包括：FPGA 概述；FPGA 设计基础；FPGA 开发平台；仿真与设计工具安装及使用说明；ISE 应用基础实验；ChipScope 应用基础实验；SOPC 基础实验；数字电路功能与实现；设计举例。本书提供了较为丰富的 FPGA 的实验例程和设计例程，让学习者通过实验和设计逐步掌握 ISE 工具软件及其嵌入式开发套件 EDK 的使用，并深入了解 SOPC 设计。为方便教学，本书配有免费电子教学课件。

本教程依托的实验平台和设计平台是合众达公司提供的 SEED-XDTK XUPV2Pro 系统平台，该平台由 Xilinx 公司的 XUP Virtex-Ⅱ Pro 开发系统构成，主要器件是 Xilinx 推出的 Virtex-Ⅱ Pro 系列器件，嵌入了 PowerPC 405 处理器硬核。本教程中的所有例程均是在 9.1 版本的仿真环境下进行的。

本书内容深入浅出，实例丰富，取材新颖，图文并茂，叙述详尽清晰，可作为电子信息类本科生和硕士研究生学习 FPGA 应用技术的教材，也可供从事电子电路系统设计的工程技术人员学习参考。

未经许可，不得以任何方式复制或抄袭本书之部分或全部内容。
版权所有，侵权必究。

图书在版编目 (CIP) 数据

FPGA 应用技术基础教程 / 刘岚，黄秋元，陈适编著. —北京：电子工业出版社，2009.5
电子信息与电气学科规划教材 • 电子信息科学与工程类专业
ISBN 978-7-121-08702-8

Ⅰ. F… Ⅱ. ①刘…②黄…③陈… Ⅲ. 可编程序逻辑器件－高等学校－教材 Ⅳ. TP332.1

中国版本图书馆 CIP 数据核字(2009)第 062692 号

策划编辑：段丹辉
责任编辑：段丹辉
印　　刷：北京市海淀区四季青印刷厂
装　　订：涿州市桃园装订有限公司
出版发行：电子工业出版社
　　北京市海淀区万寿路 173 信箱　　邮编：100036
开　　本：787×1092　1/16　　印张：18.25　字数：480 千字
印　　次：2009 年 5 月第 1 次印刷
印　　数：4000 册　　定价：35.00 元(含光盘 1 张)

凡所购买电子工业出版社图书有缺损问题，请向购买书店调换。若书店售缺，请与本社发行部联系，联系及邮购电话：(010) 88254888。

质量投诉请发邮件至 zlts@phei.com.cn，盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线：(010) 88258888。

序　一

自 1985 年 Xilinx 公司推出第一片现场可编程逻辑器件(FPGA)至今，FPGA 已经历了二十多年的发展历史。在这二十多年的发展过程中，以 FPGA 为代表的数字系统现场集成技术取得了惊人的发展。

当然，一项重要的工程技术的发展必将会推动工程教育的变革又终将为工程教育所推动。正是由于这样的原因，Xilinx 公司在创办初期就开始了 Xilinx 大学计划(XUP)的推行，其目的是试图促进采用 Xilinx 可编程逻辑器件(PLD)技术的教育和研究。

今天，Xilinx FPGA 和 CPLD(复杂可编程逻辑器件)器件被广泛应用于许多教学领域中，包括数字设计、VHDL 或 Verilog 设计、处理器结构、DSP、电信、可重配置计算机、ASIC 设计以及其他您可以想到的领域！这表明 Xilinx 可编程逻辑方案已成为许多电子、电信和计算机科学系的基本设计课程的一部分。

Xilinx 在中国的大学计划正在蓬勃地开展着，目前已在清华大学、北京大学、西安电子科技大学、电子科技大学、中国科学技术大学、上海交通大学、北京理工大学、西安交通大学、复旦大学、武汉大学、华中科技大学、武汉理工大学等近百所高校(学校排名不分先后)建立了 Xilinx 联合实验室。希望通过 Xilinx 大学计划，帮助国内的广大师生提高 FPGA 的教学和科研水平。

武汉理工大学 Xilinx 联合实验室的老师和学生们将自己学习和研究的成果梳理汇聚，撰写出了这本既面向高校教学使用，同时又适用于科研参考的《FPGA 应用技术基础教程》。该书所介绍的一系列开发应用环境以及基础性实验将有助于初学者尽快熟悉 FPGA 的应用流程，同时书中所描述的设计实例又将为广大读者提供解决实际问题的思路和方法，相信此书必将为 FPGA 应用技术的教学和相关科研工作的发展起到一定的促进和推动作用。

Xilinx 中国大学计划负责人　谢凯年

2009 年 4 月

序　二

本书是在 Xilinx 公司推广的中国大学计划的支持下，在其组织者谢凯年博士的鼓励下问世的。合众达公司以及该公司的张晓军先生对本书的出版也给予了积极的支持。

从国内来看，目前以 Xilinx 公司的 FPGA 系统为背景的 FPGA 技术及应用方面的教程或教材还相对较少，但 FPGA 的相关内容以及 Xilinx 公司的 FPGA 系统却已经进入了大学课堂。为此，我们认为有必要将我们学习 FPGA 的过程和相关收获尽快总结归纳，并呈现给大家，希望能与大家一起分享和交流。

武汉理工大学与 Xilinx 公司共同组建的“信号传输与处理联合实验室”强化了我们学习、研究和应用 FPGA 技术的团队，本书所依据的素材均由这个团队的师生所验证。黄秋元副教授和陈适副教授在团队的学习和研究方面付出了很多的心血，桂丹、刘东、梁传松、可灵智、陈兵、胡次惠、林海英、马超、程松、陈礼文、时国美、石蓉、李卓、朱殷晨、唐佳、曹松松、吴芳、李莎、谷洵、吴桂琴、胡玲、叶京立等同学参与了实验验证工作和素材的整理工作，本书是他们辛勤劳动换来的果实。

刘　岚

2009 年 3 月

需要全本请访问 www.ertongbook.com

前　言

随着科学技术的飞速发展，系统向着高速度、低功耗、低电压和网络化、移动化方向发展，各个领域对电路的要求越来越高，传统单一功能的集成电路很难满足发展的需求，而可编程逻辑器件(CPLD/FPGA)可以方便地通过对逻辑结构的修改和配置，完成对系统和设备的升级。

FPGA(Field Programmable Gate Array)即现场可编程门阵列，是在 PAL, GAL, EPLD, CPLD 等可编程器件的基础上进一步发展的产物。它是 ASIC 领域中的一种半定制电路，这种电路既解决了定制电路的不足，又克服了原有可编程器件门电路有限的缺点。FPGA 的主要设计和生产厂家有 Xilinx, Altera, Lattice, Actel, Atmel 和 QuickLogic 等公司，其中规模最大的是 Xilinx, Altera, Lattice 三家公司。

Xilinx 公司是 FPGA 器件的发明者，目前已成为全球最大的可编程逻辑器件制造商，特别是在通信领域，Xilinx 不仅是一个提供通信器件的供货商，同时还是通信标准制定的参与者，以及系统集成和系统解决方案的策划者。许多高等学校、研究院所、企业公司都采用 Xilinx 的方案与芯片进行研究与开发。

本教程依托的实验与设计平台由 Xilinx 公司设计的 XUP Virtex-Ⅱ Pro 开发系统所构成，在利用该系统进行 FPGA 的学习和实践过程中，首先需要整体了解 FPGA 的基本工作原理，然后需要学习 Verilog 语言，另外最好还需要有微处理器以及嵌入式微处理器的相关知识，这样才能更好地理解本教程所述内容，也才能更好地利用 FPGA 来完成所要面对的工作。

第 1 章对 FPGA 的原理和技术进行了概要的描述；第 2 章给出了从事 FPGA 研究和设计所需要具备的一些基础知识；第 3 章介绍了合众达公司提供的 SEED-XDTK XUPV2Pro 系统平台的结构以及模块的原理和特性；第 4 章介绍了 ISE 9.1, EDK 9.1, ChipScope Pro 9.1, KCPSM3 等仿真与设计工具的安装与使用说明；第 5 章通过一系列的实验，描述了 ISE 工具软件在 FPGA 的项目设计的作用和基本操作步骤；第 6 章通过一系列的实验，描述了 ChipScope Pro 工具软件的应用方法；第 7 章通过描述 SOPC 基础实验，使学习者能够打下开展 SOPC 设计的基础；第 8 章通过实验介绍了如何使用 FPGA 来实现一些常见的数字电路的功能；第 9 章给出了一些比较典型的设计实例。

本书具有的主要特色是：结合 Xilinx 公司 V2 的 FPGA 芯片，通过一系列的实验环节，介绍了 FPGA 芯片及开发平台的结构、工作原理、主要技术和应用设计与实现的流程。本书注重动手能力的培养，重视具体设计与实现，书中的所有过程都体现了由基础理论到应用设计的描述，从而引导学习者由浅入深地实现从数字电路基本功能的设计到微处理器控制下的应用设计。特别是本教程通过大量的简单设计实例，将 FPGA 与微处理器的嵌入式设计引入到了学习过程中，强化了学习者对片上系统的理解和应用。

本书可作为电子信息类本科生和硕士研究生学习 FPGA 应用技术的教材，也可供从事电子电路系统设计的工程技术人员学习参考。希望通过本教程的学习能够让学习者较快地了解和掌握 FPGA 的基本知识和应用技术，以及 FPGA 的设计思想和设计方法。

本书的建议授课学时数为 54～72 学时。为方便教学，本书为任课教师提供免费电子教学课件，可登录华信教育资源网(http://www.huaxin.edu.cn)注册下载或发送电子邮件至 duandh@phei.com.cn 索取，欢迎任课教师及时反馈授课心得和建议。

本书承华中科技大学杨晓非教授和武汉理工大学吴友宇教授审阅，他们对本书的编写提出了不少宝贵意见和有益的建议，在此表示诚挚的感谢。

限于编者的水平和经验，书中难免存在错误和不妥之处，敬请广大读者批评指正。

编著者

2009 年 3 月

目　录

第 1 章　FPGA 概述 …… (1)
1.1　FPGA 的基本工作原理 …… (2)
1.2　FPGA 的芯片结构 …… (2)
1.3　IP 核简介 …… (5)
1.4　FPGA 常见技术 …… (5)
思考题 …… (12)

第 2 章　FPGA 设计基础 …… (13)
2.1　Verilog HDL 基础知识 …… (13)
2.1.1　概述 …… (13)
2.1.2　Verilog 与 C 语言的比较 …… (13)
2.1.3　自顶向下的设计方法 …… (14)
2.1.4　模块 …… (14)
2.1.5　Verilog HDL 基本语法 …… (15)
2.2　嵌入式处理器介绍 …… (24)
2.2.1　嵌入式处理器的体系结构 …… (24)
2.2.2　嵌入式处理器 …… (25)
2.2.3　嵌入式微控制器 …… (26)
2.2.4　嵌入式 DSP 处理器 …… (27)
2.2.5　嵌入式片上系统 …… (27)
2.2.6　FPGA 嵌入式处理器 …… (27)
2.3　FPGA 设计流程 …… (33)
思考题 …… (34)

第 3 章　FPGA 开发平台 …… (35)
3.1　FPGA 开发平台的结构 …… (35)
3.2　主处理系统 XUPV2Pro 板卡概述 …… (36)
3.2.1　XUPV2Pro 原理框图 …… (36)
3.2.2　XUPV2Pro 板卡特性简介 …… (36)
3.3　XUPV2Pro 开发板主要模块介绍 …… (39)
3.3.1　时钟、电源管理模块 …… (39)
3.3.2　下载配置模块——ACE 模块 …… (40)
3.3.3　Platform Flash 模块 …… (42)
3.3.4　扩展接口模块 …… (42)
3.3.5　MGT 模块 …… (43)

3.3.6 串口通信模块 …… (44)
3.3.7 PS/2 接口模块 …… (44)
3.3.8 RS232 接口模块 …… (44)
3.3.9 以太网接口模块 …… (45)
3.3.10 音、视频传输模块 …… (46)
3.4 SEED-XDTK_MBOARD 板卡介绍 …… (49)
3.5 SEED-XDTK_MBOARD 板卡主要模块介绍 …… (50)
3.5.1 显示模块 …… (50)
3.5.2 控制模块 …… (51)
3.5.3 A/D 和 D/A 转换模块 …… (52)
思考题 …… (52)

第 4 章 仿真与设计工具安装及使用说明 …… (53)
4.1 安装 ISE9.1 软件 …… (53)
4.1.1 ISE 概述 …… (53)
4.1.2 ISE9.1 软件的安装 …… (53)
4.2 安装 EDK9.1 软件 …… (57)
4.2.1 EDK 概述 …… (57)
4.2.2 EDK9.1 软件的安装 …… (57)
4.3 安装 ChipScope Pro 9.1 软件 …… (61)
4.3.1 ChipScope Pro 概述 …… (61)
4.3.2 ChipScope Pro 9.1 软件的安装 …… (61)
4.4 驱动安装及程序下载流程 …… (65)
4.4.1 Xilinx USB 下载电缆的驱动安装 …… (65)
4.4.2 ISE9.1 程序下载流程 …… (66)
4.5 编译工具 KCPSM3 的使用 …… (68)
4.5.1 KCPSM3 介绍 …… (68)
4.5.2 KCPSM3 编译工具 …… (69)
思考题 …… (70)

第 5 章 ISE 应用基础实验 …… (71)
5.1 ISE9.1 使用流程实验 …… (71)
5.2 Architecture Wizard 与 PACE 实验 …… (78)
5.3 全局时序约束实验 …… (87)
5.4 综合技术实验 …… (94)
5.5 IP 核生成工具使用实验 …… (100)
思考题 …… (108)

第 6 章 ChipScope 应用基础实验 …… (109)
6.1 概述 …… (109)
6.2 ChipScope Pro 使用流程实验 …… (109)

6.3 ChipScope Pro Analyzer 选项说明 …… (115)
思考题 …… (120)

第 7 章 SOPC 基础实验 …… (121)
7.1 SOPC 概述 …… (121)
7.2 基本硬件设计实验 …… (121)
7.3 添加 IP 核实验 …… (132)
7.4 Custom IP Core 设计实验 …… (142)
7.5 基本软件应用实验 …… (151)
7.6 SDK 使用实验 …… (158)
7.7 HW/SW System 调试实验 …… (175)
思考题 …… (183)

第 8 章 数字电路功能与实现 …… (184)
8.1 4 位全加器实验 …… (184)
8.2 触发器实验 …… (188)
8.3 8 位计数器实验 …… (200)
8.4 8 位乘法器实验 …… (206)
8.5 锁存器实验 …… (212)
8.6 七段数码管显示译码器实验 …… (221)
8.7 七人投票表决器实验 …… (229)
思考题 …… (235)

第 9 章 设计举例 …… (236)
9.1 设计所需的资源分配 …… (236)
9.2 LED 控制设计 …… (237)
9.3 LED 点阵设计 …… (240)
9.4 键盘读取功能设计 …… (245)
9.5 PS2 键盘和 PS2 鼠标接口功能设计 …… (249)
9.6 并行 A/D, D/A 功能设计 …… (252)
9.7 串行 A/D, D/A 功能设计 …… (256)
9.8 LCD 显示功能设计 …… (260)
9.9 RTC 读取功能设计 …… (262)
9.10 USB 传输功能设计 …… (265)
9.11 以太网接口功能设计 …… (270)
9.12 256DDR 测试功能设计 …… (274)
9.13 视频采集输出功能设计 …… (277)
思考题 …… (278)

参考文献 …… (279)

第1章　FPGA概述

随着数字电路应用越来越广泛，传统通用的数字集成芯片已经难以满足系统的功能要求，而且随着系统复杂程度的提高，所需通用集成电路的数量呈爆炸性增长，使得电路的体积膨大，可靠性难以保证。此外，现代产品的生命周期都很短，一个电路可能需要在很短的周期内做改动以满足新的功能需求，对于采用通用的数字集成电路设计的电路系统来说即意味着重新设计和重新布线。因此，系统设计师们希望自己设计专用集成电路芯片(ASIC，Application Specific IC)，而且希望 ASIC 芯片的设计周期尽可能短，最好是在实验室里就能设计出合适的 ASIC 芯片，并且立即投入实际应用之中，因而出现了现场可编程逻辑器件(FPLD，Field Programmable Logic Device)，其中应用最广泛的当属现场可编程门阵列(FPGA，Field Programmable Gate Array)和复杂可编程逻辑器件(CPLD，Complex Programmable Logic Device)。

早期的可编程逻辑器件只有可编程只读存储器(PROM)、紫外线可擦除只读存储器(EPROM)和电可擦除只读存储器(EEPROM)三种。由于结构的限制，它们只能完成简单的数字逻辑功能。

随后，出现了一类结构上稍复杂的可编程芯片，即可编程逻辑器件(PLD，Programmable Logic Device)，它能够完成各种数字逻辑功能。典型的 PLD 由一个“与”门和一个“或”门阵列组成，而任意一个组合逻辑都可以用“与-或”表达式来描述，所以，PLD 能以乘积和的形式完成大量的组合逻辑功能。

这一阶段的产品主要有 PAL(Programmable Array Logic，可编程阵列逻辑)和 GAL(Generic Array Logic，通用阵列逻辑)。PAL 由一个可编程的“与”平面和一个固定的“或”平面构成，或门的输出可以通过触发器有选择地被置为寄存状态。PAL 器件是现场可编程的，它的实现工艺有反熔丝技术、EPROM 技术和 EEPROM 技术。还有一类结构更为灵活的逻辑器件是可编程逻辑阵列(PLA，Programmable Logic Array)，它也由一个“与”平面和一个“或”平面构成，但是这两个平面的连接关系是可编程的。PLA 器件既有现场可编程的，也有掩模可编程的。在 PAL 的基础上，又发展了一种通用阵列逻辑(GAL)，如 GAL16V8，GAL22V10 等。它采用了 EEPROM 工艺，实现了电可擦除、电可改写，其输出结构是可编程的逻辑宏单元，因而它的设计具有很强的灵活性，至今仍有许多人使用。这些早期的 PLD 器件的一个共同特点是可以实现速度特性较好的逻辑功能，但其过于简单的结构也使它们只能实现规模较小的电路。

为了弥补这一缺陷，20 世纪 80 年代中期。Altera 和 Xilinx 分别推出了类似于 PAL 结构的扩展型可编程逻辑器件(CPLD)和与标准门阵列类似的现场可编程门阵列(FPGA)，它们都具有体系结构和逻辑单元灵活、集成度高以及适用范围宽等特点。这两种器件兼容了 PLD 和通用门阵列的优点，可实现较大规模的电路，编程也很灵活。与门阵列等其他 ASIC 相比，它们又具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无需测试、质量稳定以及可实时在线检验等优点，因此被广泛应用于产品的原型设计和小批量(一般在 10 000 件以下)产品生产之中。几乎所有应用门阵列、PLD 和中小规模通用数字集成电路的场合均可应用 FPGA 和 CPLD 器件。

需要全本请访问 www.ertongbook.com

Xilinx 的 FPGA 产品主要分为两大类：一类是侧重于低成本应用、容量中等、性能可以满足一般逻辑设计要求的 Spartan 系列；另一类是侧重于高性能应用、容量大、性能可满足各类高端应用的 Virtex 系列，用户可以根据自己的实际应用需要进行选择。目前高端的 Virtex 系列已经从最初的 220 nm 的 Virtex 发展到了最近的 65 nm 的 Virtex5。

1.1 FPGA 的基本工作原理

目前，FPGA 市场占有率最高的两大公司 Xilinx 和 Altera 生产的 FPGA 都采用基于 SRAM 工艺的查找表(Look-Up-Table)结构，通过烧写文件改变查找表内容的方法来实现对 FPGA 的重复配置，在使用时需要外接一个片外存储器以保存程序。上电时，FPGA 将外部存储器中的数据读入片内 RAM，完成配置后，进入工作状态；掉电后 FPGA 恢复为白片，内部逻辑消失。由数字电路的基本知识可以知道，对于一个 n 输入的逻辑运算，不管是与或非运算还是异或运算等，最多只可能存在 $2n$ 种结果。所以，如果事先将相应的结果存放于一个存储单元，就相当于实现了与非门电路的功能。FPGA 的原理也是如此，它通过烧写文件去配置查找表的内容，从而在相同的电路情况下实现了不同的逻辑功能。

查找表(Look-Up-Table)简称为 LUT，LUT 本质上就是一个 RAM。目前 FPGA 中多使用 4 输入的 LUT，所以每一个 LUT 可以看成是一个有 4 位地址线的 RAM。当用户通过原理图或 HDL 语言描述一个逻辑电路以后，PLD/FPGA 开发软件会自动计算逻辑电路的所有可能结果，并把真值表(即结果)写入 RAM，这样，每输入一个信号进行逻辑运算就等于输入一个地址去进行查表，找出地址对应的内容，然后输出即可。

1.2 FPGA 的芯片结构

FPGA 的芯片组成部分主要有可编程输入/输出单元、基本可编程逻辑单元、内嵌 SRAM、布线资源、底层嵌入功能单元和内嵌专用单元等，如图 1.1 所示。不同系列的芯片其内部资源可能不同。

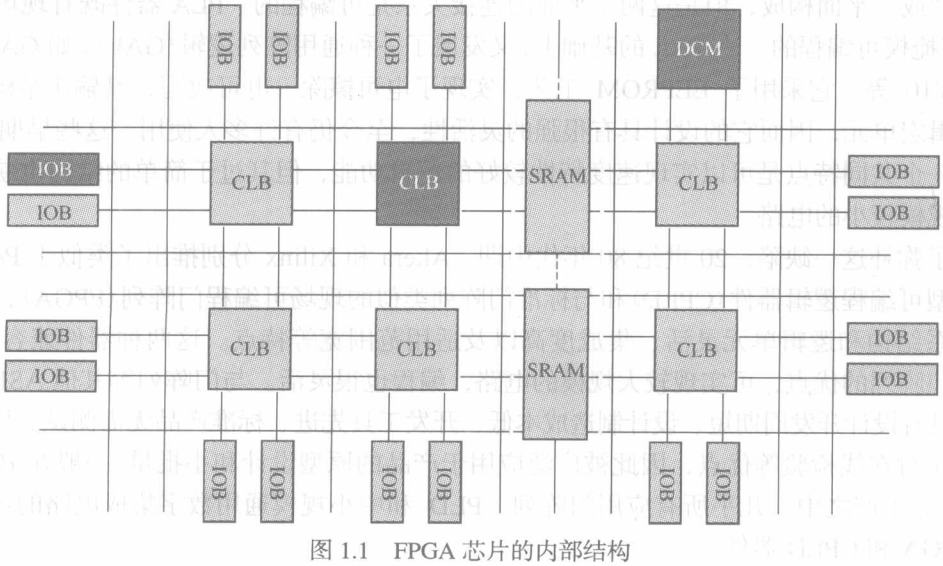

图 1.1 FPGA 芯片的内部结构

1. 可编程输入输出单元(IOB)

IOB 单元是芯片与外界电路的接口部分，可完成不同电气特性下对输入/输出信号的驱动与匹配要求，其结构如图 1.2 所示。FPGA 内的 I/O 按组分类，每组都能够独立地支持不同的 I/O 标准。通过软件的灵活配置，可以适配不同的电气标准与 I/O 物理特性，可以调整驱动电流的大小，可以改变上拉、下拉电阻。目前，I/O 口的速率已提升得较高，一些高端的 FPGA 通过 DDR 寄存器技术可以支持高达 2 Gb/s 的数据速率。

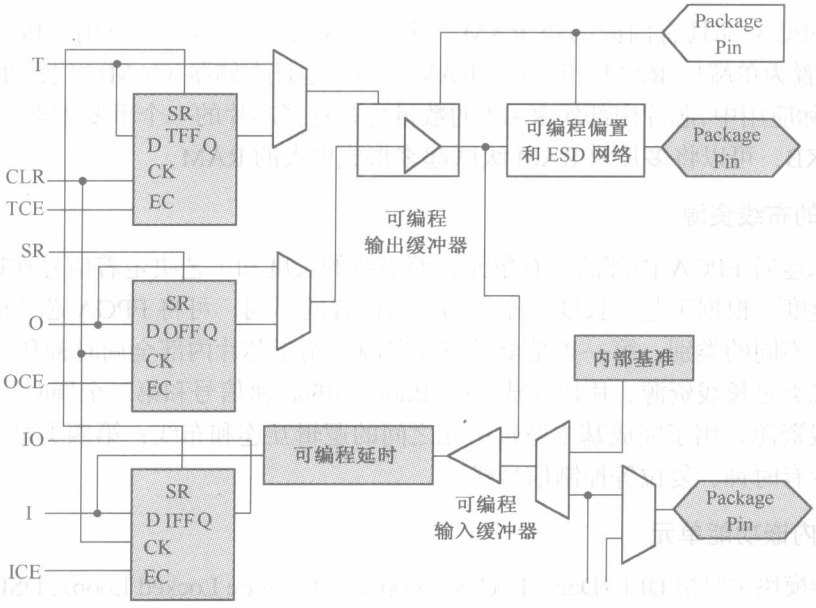

图 1.2　典型的 IOB 内部结构示意图

为了便于管理和适应多种电气标准，FPGA 的 IOB 被划分为若干个组(Bank)，每个 Bank 的接口标准由其接口电压 V_{CCO} 决定，一个 Bank 只能有一种 V_{CCO}，但不同 Bank 的 V_{CCO} 可以不同。只有相同电气标准的端口才能连接在一起，要求 V_{CCO} 电压相同是接口标准的基本条件。

2. 可配置逻辑块(CLB)

CLB 是 FPGA 内的基本逻辑单元。CLB 的实际数量和特性会依据器件的不同而不同，但是每个 CLB 都包含一个可配置开关矩阵，此矩阵由选型电路(多路复用器等)、触发器和 4 或 6 个输入组成。在 Xilinx 公司的 FPGA 器件中，CLB 由多个(一般为 4 个或 2 个)相同的 Slice 和附加逻辑构成，如图 1.3 所示。每个 CLB 模块不仅可以用于实现组合逻辑和时序逻辑，还可以配置为分布式 RAM 和分布式 ROM。

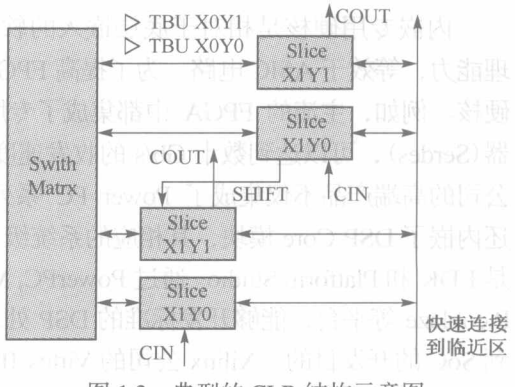

图 1.3　典型的 CLB 结构示意图

3. 数字时钟管理模块(DCM)

Xilinx 推出的 FPGA 可提供数字时钟管理和相位环路锁定。相位环路锁定能提供精确的时钟综合，且能降低抖动，并实现过滤功能。DCM 的主要优点在于：

(1)可实现零时钟偏移(Skew)，消除时钟分配延迟，并实现时钟闭环控制。

(2)时钟可以映射到 PCB 上用于同步外部芯片，这样就减少了对外部芯片的要求，而将芯片内外的时钟控制一体化，以利于系统设计。

对于 DCM 模块来说，其关键参数为输入时钟频率范围、输出时钟频率范围和输入/输出时钟允许抖动范围等。

4. 嵌入式块 RAM(BRAM)

大多数 FPGA 都具有内嵌的块 RAM，这大大拓展了 FPGA 的应用范围和灵活性。块 RAM 可被配置为单端口 RAM、双端口 RAM、内容地址存储器(CAM)以及 FIFO 等常用的存储块。在实际应用中，芯片内部块 RAM 的数量也是选择芯片的一个重要因素。单片块 RAM 的容量为 18 KB，可以将多片块 RAM 级联起来形成更大的 RAM。

5. 丰富的布线资源

布线资源连通 FPGA 内部的所有单元，而连线的长度和工艺决定着信号在连线上的驱动能力和传输速度。根据工艺、长度、宽度和分布位置的不同，可将 FPGA 芯片的内部布线资源划分为四个不同的类别：第一类是全局布线资源，用于芯片内部全局时钟和全局复位/置位的布线；第二类是长线资源，用以完成芯片 Bank 间的高速信号和第二全局时钟信号的布线；第三类是短线资源，用于完成基本逻辑单元之间的逻辑互连和布线；第四类是分布式的布线资源，用于专有时钟、复位等控制信号线。

6. 底层内嵌功能单元

内嵌功能模块主要指 DLL(Delay Locked Loop)，PLL(Phase Locked Loop)，DSP 和 CPU 等软处理核(Soft Core)。现在，越来越丰富的内嵌功能单元使得单片 FPGA 成为了系统级的设计工具，并使其具备了软硬件联合设计的能力，以逐步向 SoC(System-on-Chip，片上系统)平台过渡。

DLL 和 PLL 具有类似的功能，可以完成时钟高精度、低抖动的倍频和分频，以及占空比调整和移相等功能。Xilinx 公司生产的芯片上集成了 DLL，Altera 公司生产的芯片集成了 PLL，PLL 和 DLL 可以通过 IP(Intelligent Property)核生成的工具方便地进行管理和配置。

7. 内嵌专用硬核

内嵌专用硬核是相对于底层嵌入的软核而言的，硬核(Hard Core)使 FPGA 具有强大的处理能力，等效于 ASIC 电路。为了提高 FPGA 的性能，芯片生产商在芯片内部集成了一些专用的硬核。例如，主流的 FPGA 中都集成了专用乘法器；很多高端的 FPGA 内部都集成了串并收发器(Serdes)，可以达到数十 Gb/s 的收发速度。Xilinx 公司的高端产品不仅集成了 Power PC 系列 CPU，还内嵌了 DSP Core 模块，其相应的系统级设计工具是 EDK 和 Platform Studio。通过 PowerPC, Miroblaze, Picoblaze 等平台，能够开发标准的 DSP 处理器，达到 SoC 的开发目的。Xilinx 公司的 Virtex II Pro 开发板内嵌了一个 MicroBlaze 的软核和 Power PC 的硬核，可以满足用户的不同需求，让整个系统的移植成为可能，真正做到了 SoC 的设计，如图 1.4 所示。

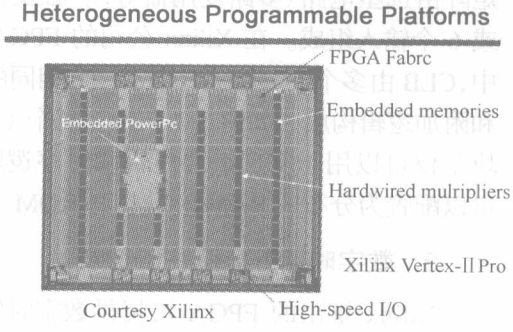

图 1.4 Xilinx 公司的 Virtex Ⅱ Pro 开发板

1.3　IP 核简介

IP(Intelligent Property)核是具有知识产权的集成电路芯核总称，是经过反复验证过的、具有特定功能的宏模块，与芯片制造工艺无关，可以移植到不同的半导体工艺中。从 IP 核的提供方式上看，通常将其分为软核、硬核和固核这三类。从完成 IP 核所花费的成本来讲，硬核代价最大；从使用灵活性来讲，软核的可复用性最高。

1．软核

在 EDA 设计领域中，软核指的是综合之前的寄存器传输级(RTL)模型。具体在 FPGA 设计中，指的是对电路的硬件语言描述，包括逻辑描述、网表和帮助文档等。其优点是灵活性高，可移植性强，允许用户自配置。其缺点是对模块的预测性能较低，在后续设计中存在发生错误的可能性，有一定的设计风险。软核是 IP 核应用最广泛的形式。

2．固核

在 EDA 设计领域中，固核指的是带有平面规划信息的网表。具体在 FPGA 设计中，可以看成是带有布局规划的软核，通常以 RTL 代码和对应具体工艺网表的混合形式提供。与软核相比，固核的设计灵活性稍差，但在可靠性上有较大提高。目前，固核也是 IP 核的主流形式之一。

3．硬核

在 EDA 设计领域中，硬核是指经过验证的设计版图。具体在 FPGA 设计中，指布局和工艺固定、经过前端和后端验证的设计，设计人员不能对其修改。IP 硬核的不允许修改特点使其复用有一定的困难，因此只能用于某些特定应用，使用范围较窄。

1.4　FPGA 常见技术

1．数字时钟管理 DCM

数字时钟管理模块(DCM，Digital Clock Manager)是基于 Xilinx 的其他系列器件所采用的数字延迟锁相环(DLL)模块。在时钟的管理与控制方面，DCM 与 DLL 相比，功能更强大，使用更灵活。DCM 的功能包括消除时钟的延时、频率的合成、时钟相位的调整等系统方面的需求。

DCM 共由四部分组成，如图 1.5 所示。其中最低层仍采用成熟的 DLL 模块；其次分别为数字频率合成器(DFS，Digital Frequency Synthesizer)、数字移相器(DPS，Digital Phase Shifter)和数字频谱扩展器(DSS，Digital Spread Spectrum)。不同的芯片模块的 DCM 输入频率范围是不同的。

1) DLL 模块

DLL 主要由一个延时线和控制逻辑组成。延时线对时钟输入端 CLKIN 产生一个延时，时钟分布网线将该时钟分配到器件内的各个寄存器和时钟反馈端 CLKFB；控制逻辑在反馈时钟到达时，采样输入时钟以调整二者之间的偏差，实现输入和输出的零延时，如图 1.5 所示。具体工作原理是：控制逻辑在比较输入时钟和反馈时钟的偏差后，调整延时线参数，在输入时钟后不停地插入延时，直到输入时钟和反馈时钟的上升沿同步，锁定环路进入“锁定”状态，

只要输入时钟不发生变化，输入时钟和反馈时钟就保持同步。DLL 可以被用来实现一些电路，从而完善和简化系统级设计，如提供零传播延迟、低时钟相位差和高级时钟区域控制等。

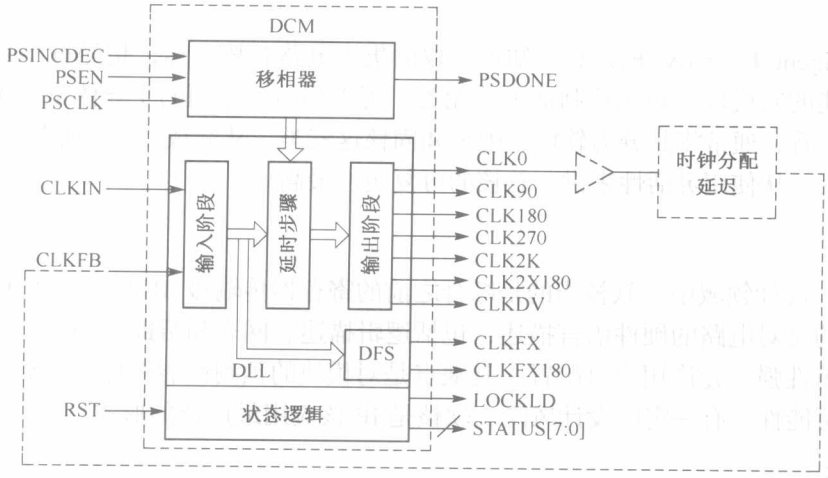

图 1.5 DCM 功能块和相应的信号

在 Xilinx 芯片中，典型的 DLL 标准模型如图 1.6 所示。

其管脚定义如图 1.7 所示，分别说明如下：

CLKIN(源时钟输入)：DLL 输入时钟信号，通常来自 IBUFG 或 BUFG；

CLKFB(反馈时钟输入)：DLL 时钟反馈信号，该反馈信号必须源自 CLK0 或 CLK2X，并通过 IBUFG 或 BUFG 相连；

RST(复位)：控制 DLL 的初始化，通常接地；

CLK0(同频信号输出)：与 CLKIN 无相位偏移；

CLK90 与 CLKIN 有 90° 相位偏移；

CLK180 与 CLKIN 有 180° 相位偏移；

CLK270 与 CLKIN 有 270° 相位偏移。

CLK2X(两倍信号输出)：CLKIN 的 2 倍频时钟信号；

CLKDV(分频输出)：DLL 输出时钟信号，是 CLKIN 的分频时钟信号，DLL 支持的分频系数为 1.5, 2, 2.5, 3, 4, 5, 8 和 16；

LOCKED(输出锁存)：为了完成锁存，DLL 可能要检测上千个时钟周期。当 DLL 完成锁存之后，LOCKED 有效。

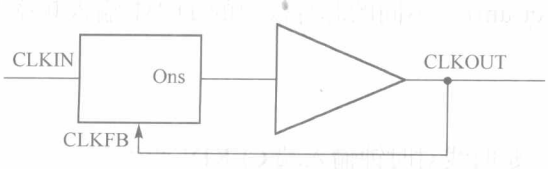

图 1.6 DLL 简单模型示意图

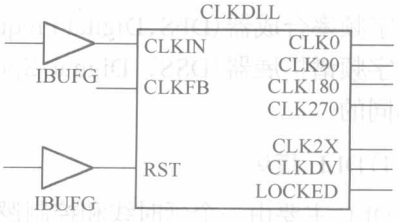

图 1.7 Xilinx DLL 的典型模型示意图

在 FPGA 设计中，消除时钟的传输延迟，实现高扇出最简单的方法就是用 DLL，把 CLK0 与 CLKFB 相连即可。利用一个 DLL 可以实现 2 倍频输出，如图 1.8 所示。利用两个 DLL 就可以实现 4 倍频输出，如图 1.9 所示。

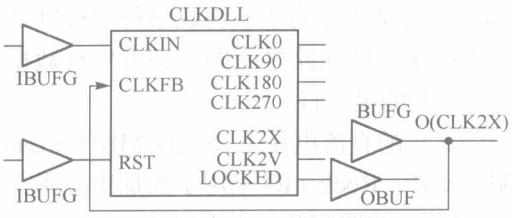

图 1.8　Xilinx DLL 2 倍频典型模型示意图

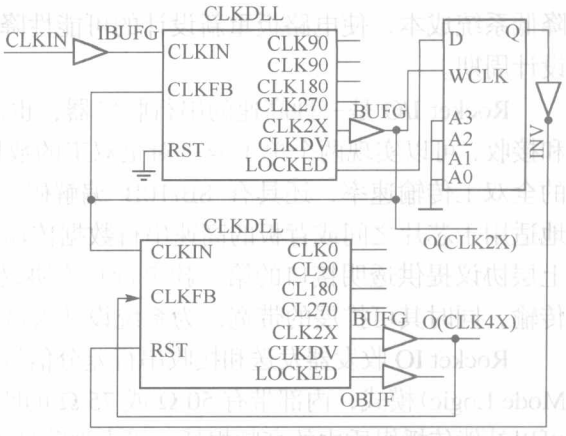

图 1.9　Xilinx DLL 4 倍频典型模型示意图

2)数字频率合成器

DFS 可以为系统产生丰富的频率合成时钟信号，输出信号为 CLKFB 和 CLKFX180，可提供输入时钟频率分数倍或整数倍的时钟输出频率方案，输出频率范围为 1.5～320 MHz(不同芯片的输出频率范围是不同的)。这些频率基于用户自定义的两个整数比值，一个是乘因子(CLKFX_MULTIPLY)，另一个是除因子(CLKFX_DIVIDE)，输入频率和输出频率之间的关系为

$$F_{CLKFX} = F_{CLKIN} \times \frac{CLKFX_MULTIPLY}{CLKFX\ DIVIDE} \tag{1.1}$$

比如取 CLKFX_MULTIPLY = 3，CLKFX_DIVIDE = 1，PCB 上源时钟为 100 MHz，通过 DCM 3 倍频后，就能驱动时钟频率在 300 MHz 的 FPGA，从而减少了板上的时钟路径，简化了电路板的设计，提供了更好的信号完整性。

3)数字移相器

DCM 具有移动时钟信号相位的能力，因此能够调整 I/O 信号的建立时间和保持时间，能支持对其输出时钟进行 0°, 90°, 180°, 270°的相移粗调和相移细调。其中，相移细调对相位的控制可以达到 1%输入时钟周期的精度(或者 50 ps)，并且具有补偿电压和温度漂移的动态相位调节能力。对 DCM 输出时钟的相位调整需要通过属性控制 PHASE_SHIFT 来设置。PS 设置范围为–255～+255，比如输入时钟为 200 MHz，需要将输出时钟调整+0.9 ns 的话，PS = (0.9 ns/5 ns)×256 = 46。如果 PHASE_SHIFT 值是一个负数，则表示时钟输出应该相对于 CLKIN 向后进行相位移动；如果 PHASE_SHIFT 是一个正值，则表示时钟输出应该相对于 CLKIN 向前进行相位移动。

移相用法的原理图与倍频用法的原理图很类似，只用把 CLK2X 输出端的输出缓存移到 CLK90, CLK180 或者 CLK270 端即可。利用原时钟和移相时钟与计数器相配合也可以产生相应的倍频。

4)数字频谱合成器

Xilinx 公司最先提出利用创新的扩频时钟技术来减少电磁干扰(EMI)噪声辐射的可编程解决方案。在 FPGA 中实现电磁兼容的 EMIControl 技术，是利用数字扩频技术(DSS)通过扩展输出时钟频率的频谱来降低电磁干扰，减少用户在电磁屏蔽上的投资。数字扩频(DSS)技术通过展宽输出时钟的频谱，来减少 EMI 和达到 FCC 要求。这一特点使设计者能够极大地

需要全本请访问 www.ertongbook.com