

低功耗集成电路 原理与应用

Principle and applications

of low power Integrated circuits 盛法生 著



ZHEJIANG UNIVERSITY PRESS

浙江大学出版社

低功耗集成电路 原理与应用

Principle and applications

of low power Integrated circuits 盛法生 著



ZHEJIANG UNIVERSITY PRESS

浙江大学出版社

内容简介

本书论述低功耗集成电路设计的基本理论、基本技术和分析方法。全书共分10章,第1章为概论,第2章讨论功耗估计中的信号跃迁几率与计算,第3至第7章分别论述降低CMOS电路的开关活动性、电路冗余技术、动态电路、绝热电路设计技术,第8至第10章分别讨论采用电流模CMOS电路的低功耗电路设计技术与应用研究。

本书可作为从事集成电路设计的研究人员、生产技术人员的参考用书,也可作为计算机、信息与电子工程专业等硕士/博士研究生的学习教材或参考用书。

图书在版编目(CIP)数据

低功耗集成电路原理与应用 / 盛法生著. —杭州:
浙江大学出版社, 2011. 6
ISBN 978-7-308-08839-8

I. ①低… II. ①盛… III. ①集成电路—理论 IV.
①TN401

中国版本图书馆CIP数据核字(2011)第122031号

低功耗集成电路原理与应用

盛法生 著

责任编辑 王元新
封面设计 联合视务
出版发行 浙江大学出版社
(杭州市天目山路148号 邮政编码310007)
(网址: <http://www.zjupress.com>)
排 版 杭州中大图文设计有限公司
印 刷 浙江省良渚印刷厂
开 本 880mm×1230mm 1/32
印 张 7.625
字 数 216千
版 次 2011年6月第1版 2011年6月第1次印刷
书 号 ISBN 978-7-308-08839-8
定 价 22.00元

版权所有 翻印必究 印装差错 负责调换
浙江大学出版社发行部邮购电话(0571)88925591

前 言

自集成电路发明以来,它以其成本低、体积小、可靠性高等一系列优点,得到了广泛的应用,特别是近三十年来,集成电路技术迅猛发展和集成度迅速提高。就 VLSI 发展而言,工艺加工的尺寸不断缩小,从亚微米到深亚微米,并正向着纳米器件发展;芯片面积不断增加,芯片上集成的元器件越来越多;同时,芯片的时钟频率也不断提高。因此,高性能集成电路芯片的共同特点是具有高集成度和高时钟频率,这种芯片的功耗和温度随着时钟频率的增加而增加。20 世纪 90 年代设计的一些高性能微处理器芯片(如 Intel Pentium、DEC Alpha 和 PowerPC 等)的工作频率在 100~300MHz,功耗为 20~50W。而现在的微处理器的工作频率都在 1GHz 以上,功耗也达到了 100W,从而导致封装、散热装置等费用的迅速增加,并已达到封装技术所能处理的极限,功耗问题将成为集成电路发展的一个最大障碍。为了把芯片的温度保持在正常的工作范围,就必须进行有效的封装、冷却和散热设计。因此,降低功耗是集成电路发展的一个紧急技术需要。

集成电路的设计是一个追求多目标优化(如性能、面积和功耗)的过程,功耗优化的技术和方法是与其设计目标相互约束并有机结合的。集成电路中影响电路功耗的因素主要有电路的供电电压、时钟频率,以及电路的开关活动性和负载电容的大小等。降低集成电路的功耗就是要在电路设计的不同层次(如器件/工艺层、逻辑电路层、结构层、系统层等),考虑实现对电路的功耗优化。在对低功耗设

计的紧急技术需求的激励下,使人们对集成电路的低功耗设计技术投以极大的关注,科研院校和工业界均加紧了对该技术的开发研究。特别是诸如笔记本电脑、便携通信设备和个人数字助理(PDA)等需要低功耗和高处理能力的便携式设备的应用,促进了低功耗电路的开发研究。20世纪80年代末期刚刚诞生的纳米技术,正在迅速崛起的用原子和分子创制新物质的技术,将带给人类大量的不可思议的变化,纳米技术必将成为21世纪的里程碑。因此,对于电子科学与技术类的工程技术人员,了解如何运用低功耗技术的基本理论、基本技术和分析方法是十分必要的,为此特整理出版本人所积累的部分研究成果供大家参考,以对低功耗集成电路设计与研究提供良好帮助。

本书主要讨论目前与国际上研究低功耗集成电路最为活跃的领域相一致的几个方面:①电路中电容充放电形成的开关功耗;②开关时由电源到地形成的通路而造成的短路功耗;③电路稳定时由电源到地形成的电流所产生的静态功耗;④由阈值电流和反向偏置电流所造成的漏电流功耗。各章之间既有内在联系,又具有相对的独立性,因此,便于读者自行学习。本书可以作为电子科学与技术专业研究生和工程技术人员的专业基础用书。

衷心感谢竺树声教授、陈哲良教授、陈偕雄教授及师兄杭国强先生对准备本书稿中所给的帮助,特别感谢浙江大学出版社袁亚春教授的大力支持,黄娟琴老师的关心和帮助。

同时深深感恩我的导师王绍民教授、吴训威教授生前对我的悉心指导和培养。

考虑到低功耗集成电路设计是一门年轻的学科,笔者的教学和科研经历有限,书中难免存在一些缺点和错误,殷切期望读者批评指正。

笔 者

2011年5月于杭州

目 录

第 1 章 概 论	1
1.1 集成电路低功耗研究的背景	1
1.2 集成电路的功耗组成与分析	6
1.3 降低集成电路功耗的途径与措施	16
1.4 电路选择和工艺改进对功耗的影响	33
1.5 集成电路低功耗研究的主要内容	50
参考文献	52
第 2 章 功耗估计中的信号跃迁几率与计算	56
2.1 关于跳变频率的估算	57
2.2 信号几率的传递算法	59
2.3 信号几率和跃迁几率的关系	64
2.4 基于多值逻辑的跃迁几率传递算法	68
参考文献	72
第 3 章 电路的冗余与抑制分析	74
3.1 电路的冗余分析	74
3.2 电路冗余抑制的基本方法	77
3.3 冗余抑制的行为分析	79
参考文献	83

第 4 章 基于冗余抑制的触发器电路设计	85
4.1 基于逻辑门的双边沿触发器设计	85
4.2 基于传输门的双边沿触发器设计	88
4.3 单门锁 CMOS 边沿触发器设计	91
参考文献	95
第 5 章 基于冗余抑制的时序逻辑电路设计	97
5.1 门控时钟的低功耗时序电路设计	97
5.2 应用 T 触发器的时序逻辑电路设计	105
5.3 应用双边沿触发器的时序逻辑电路设计	110
5.4 优先编码时序逻辑电路设计	113
参考文献	118
第 6 章 绝热开关原理	121
6.1 绝热开关电路的能耗分析	122
6.2 绝热充电原理	123
6.3 绝热开关的工作状态分析	126
6.4 绝热开关能耗的综合分析	129
参考文献	131
第 7 章 能量恢复型 CMOS 电路	134
7.1 能量的重复利用分析	135
7.2 能量恢复的电路设计	137
参考文献	143
第 8 章 MOS 电流镜工作原理	145
8.1 MOS 晶体管的特性及模型分析	146
8.2 静态电流镜的工作原理	149

8.3	动态电流镜的工作原理	155
8.4	电流传输器分析和设计	159
8.5	开关电流电路分析	164
8.6	基于差分逻辑的多值加法电路设计	168
	参考文献	173
第 9 章	多值电流模电路研究	175
9.1	指导数字电路设计的开关—信号理论	175
9.2	二类联结运算及有关性质	177
9.3	I^2L 电路的开关级设计	181
9.4	电流型 CMOS 电路的开关级设计	186
9.5	电流型多值阈控电路设计	192
9.6	MOS 电流型并联开关电路设计	199
9.7	极低功耗电路研究	207
	参考文献	216
第 10 章	电流模 D/A 转换电路研究	220
10.1	二值 D/A 转换器的工作原理	221
10.2	R-2R 梯形 D/A 转换器分析	223
10.3	梯形 CMOS D/A 转换器设计	226
10.4	电流开关 D/A 转换器设计	228
10.5	多值 D/A 转换器工作原理	229
10.6	四值 D/A 转换器电路设计	231
	参考文献	237

第 1 章 概 论

自集成电路发明以来,它以成本低、体积小、功耗低、可靠性高等一系列优点,得到了广泛的应用,特别是近三十年来,集成电路技术迅猛发展,最突出的表现是特征尺寸不断缩小,集成度遵从摩尔(G. More)提出的法则不断提高,即动态随机存储器的集成度每 18 个月翻一番,微处理器速度提高一倍^[1]。在一个芯片上集成更多的元件,一方面靠增大芯片面积,另一方面靠减小器件的特征尺寸。由于集成电路制造工艺水平的提高,器件越做越小,芯片上单位面积负荷迅速上升,工作频率越来越高,高性能芯片的功耗越来越大。功耗的迅速增加引起了一系列问题,如封装、散热、成本和可靠性等,它将是阻碍集成电路继续发展的一个关键因素^[2]。所以,数字电路的功耗问题已引起了人们广泛的关注,内容贯穿于系统级、算法(行为)级、体系结构级、逻辑(电路)级到器件(工艺)级在内的整个数字系统设计流程^[3,4]。在面向低功耗设计的紧急技术需求背景下,人们提出了一种有效的低功耗电路设计技术,来降低电路工作所需的功耗^[5,6]。

1.1 低功耗集成电路研究背景

集成电路的发展经历了小规模(SSSI)、中规模(MSI)、大规模(LSI)、超大规模(VLSI)阶段,目前已进入了甚大规模(ULSI)阶段。从第一块 IC 发明(MESA 技术:TI,1958;平面技术:Fairchild,1961)至今,近六十年来集成电路技术发生了惊人的变化^[5-9]。在集成技

术不断发展和集成度迅速提高的过程中,人们一直关注的主要问题是如何提高芯片的工作速度、节省硅片面积与成本以及提高系统工作的可靠性,而对电路功耗的考虑通常处于相对次要的位置。由于增加硅片面积就要增加芯片的硬件占用以及封装费用,影响生产成品率,从而增加产品成本。速度与面积通常是一对互为矛盾的约束条件,因此,权衡两者是以往所重点研究的课题。但是,近年来由于VLSI本身的发展及市场的需求使情况发生了一些根本性的变化。在许多应用领域,降低功耗已成为数字系统设计的一个最为重要的问题^[7-11]。

随着集成工艺的不断进步,使工艺加工的最小尺寸不断缩小,从亚微米到深亚微米,并正向着纳米器件发展;就VLSI发展本身而言,芯片面积不断增加,从而在一个芯片上可以集成更多的元器件;多媒体技术发展对高性能芯片的需求,使芯片的时钟频率不断提高,使得芯片的功耗急剧增加,从而导致封装、散热装置等费用的迅速增加,并已达到封装技术所能处理的极限^[12]。早推期出的486芯片,能耗不足5W,使用时需要给它装上散热片、风扇等;后来出现的Pentium,能耗达到了10W;而目前流行的Intel酷睿i7 980X(至尊版)的热设计功耗(TDP)已达130W。现在甚至连显示卡的芯片也必须采用散热装置。按照这一趋势继续向前发展,功耗问题将成为集成电路发展的最大障碍。美国的半导体工业协会(Semiconductor Industry Association, SIA)在半导体研究公司及半导体制造联合体(SEMAT-ECH)的协助下,从1992年开始,每隔2年对未来15年半导体的技术动向进行调查,并发表半导体技术发展规划(National Technology of Semiconductors, NTRS)。NTRS 1994年版对集成技术工艺以及电压与功耗的预测如表1-1所示。

表 1-1 15 年集成电路技术发展预测(电压及功耗—1994)

年份		1995	1998	2001	2004	2007	2010	注解
最小特征尺寸(μm)		0.35	0.25	0.18	0.13	0.10	0.07	
电源电压 (V)	桌上类	3.3	2.5	1.8	1.5	1.2	0.9	μP
	电池类	2.5	1.8~2.5	0.9~1.8	0.9	0.9	0.9	ASIC
最大 功率	散热高性能芯片(W)	80	100	120	140	160	180	μP
	无散热逻辑芯片(W/cm ²)	5	7	10	10	10	10	ASIC

特别是 20 世纪 80 年代末期刚刚诞生的纳米技术,正在迅速崛起的用原子和分子创制新物质的技术,将带给人类大量的不可思议的变化,纳米技术必将成为 21 世纪的里程碑。纳米技术是研究尺寸范围在 1~100nm 的物质的组成。这个极其微小的空间,正好是原子和分子的尺寸范围,也是它们相互作用的空间。在这样的一个尺度空间,由于量子效应、物质的局域性及巨大的表面和界面效应,使物质的很多性能发生质变。这些变化渗透到各个工业领域后,将引导一轮新的工业革命。纳米技术所追求的最终目标,正像 Feynman 当年预言的那样,就是要使人类能够按照自己的意愿任意地操纵单个原子和分子,并在对自然界物质的本质进行深入探讨和研究的基础之上,按照人们的期望,在原子和分子的水平上设计和制造全新的物质。纳米技术是一门以许多现代先进科学技术为基础的科学技术,是现代科学(量子力学、分子生物学等)和现代技术(微电子学技术、计算机技术、高分辨显微技术、核分析技术等)结合的产物。总之,纳米技术将为人类创造一个全新的世界。

在国际上,纳米技术的研究发展很快,AMD 公司正在研制一种应用于移动设备和笔记本电脑的低功率处理器。英特尔公司正在研制的原子处理器的取代者,代号为 moorestown,已于 2010 年年初推出。该平台包括名为 Lincroft 的芯片系统,它以 45 纳米 silverthorne 内核为基础,并把图形、视频和内存控制器集成于单个芯片。威盛也推出了针对移动设备和笔记本的以赛亚处理器, NVIDIA 公司宣布了应用于带集成图像处理器的手机 tegra 芯片系统。苹果也在移动

芯片市场采取了行动,用最近收购的 PA Semi 公司开发可在 iPhone 上使用的芯片系统。

在国内,由邓中翰组建的中星微是一家硅谷模式的芯片设计企业,走的是一条中国自主芯片产业的创新之路。2001年3月11日,中星微“星光一号”研发成功。这是中国首枚具有自主知识产权,百万门级超大规模的数字多媒体芯片,同时结束了“中国硅谷”中关村无硅的历史。以很低的功耗实现了 USB 供电,从而驱动摄像头来做实时的音像处理,一下子将系统的低成本、低功耗和高性能提到了一个新水平。在多媒体芯片领域突破 7 大核心技术,申请超过 500 多项专利,让中星微不仅仅是中国第一家在纳斯达克上市的芯片设计企业,更是成为中国第一家在纳斯达克上市的拥有完整自有核心技术和知识产权的企业。2005 年夏天,索尼新一代笔记本电脑上的摄像头,运行的就是中星微的“星光 5 号”。现在,罗技、创新科技、索尼等都已是中星微 PC 摄像头芯片的大客户,斯普伦特(Sprint)等是中星微移动芯片的客户,中星微在计算机图像处理芯片市场上以 60% 的市场份额绝对领先。

2006 年 9 月 13 日,中国成功研制了新一代通用中央处理器芯片——龙芯 2E,其特点是芯片包含 4700 万个晶体管、面积约两个拇指盖大小、功耗在 3~8W 范围内。作为通用 64 位处理器,龙芯 2E 成为目前世界上除美日之外性能最高的通用处理器,也是我国内地第一个采用 90 纳米设计技术的处理器,性能达到了中档奔腾 IV 处理器的水平,并具有自主的知识产权。该处理器最高主频达到 1.0GHz,峰值运算速度达到每秒 40 亿次双精度浮点运算。

我国高性能计算机形成了三大系列,即银河系列、曙光系列和神威系列。1997 年 6 月 19 日,由国防科技大学研制的“银河-III”并行巨型计算机在京通过国家鉴定。该机采用分布式共享存储结构,面向大型科学与工程计算和大规模数据处理,基本字长 64 位,峰值性能为 130 亿次。该机能有多项技术居国内领先,综合技术达到当前国际先进水平。由中国科学院计算所国家智能机研究开发中心研制成

功的曙光 2000-II 超级服务器在京通过科技部组织的专家鉴定。它在超级服务器的关键技术和产品化方面取得了重大突破,达到了 20 世纪 90 年代末期国际同类产品的先进水平,在机群操作系统等方面已进入国际领先行列。它的峰值浮点运算速度为每秒 1100 亿次,内存总容量达到 50 千兆字节,可扩展到 80 千兆字节,磁盘总容量超过 600 千兆字节,可扩展到几千千兆字节。它具有先进的机群体系结构,由 82 台结点计算机组成,处理机总数达到 164 个。曙光 2000-II 具有丰富而完善的软件系统。我国自行研制了功能强大的机群操作系统,配有多种流行的高级程序语言、主流并行编程环境和工具。为了支持网络信息服务,该机配有并行网络和电子邮件服务软件,能支持各种流行的数据库软件。此外,它还必须有自我检查和修复等功能,这将是计算机设计领域里的一次革命;2000 年 8 月,由我国自主研发的峰值运算速度达到每秒 3840 亿浮点结果的高性能计算机神威 I 投入商业运营。我国继美国、日本之后,已成为第三个具备研制高性能计算机能力的国家。该系统在当今全世界已投入商业运行的前 500 位高性能计算机中排名第 48 位。2010 年 11 月 17 日,世界超级计算机权威组织 TOP 500 发布了最新一届世界超级计算机 500 强榜单。由国防科技大学研发的千万亿次级超级计算机“天河一号”荣膺第一,曙光公司研制成功的“星云”超级计算系统,以 1271 万亿次位列第二位。目前,天河一号计算机作为国家超级计算天津中心的业务主机,已在石油勘探、高端装备研制、生物医药、动漫设计、新能源、新材料、工程设计与仿真分析、气象预报、遥感数据处理、金融风险分析等领域获得了成功应用。

此外,各种便携式电子、通信及其他消费类电子产品市场的不断壮大。例如,笔记本电脑、掌上型电脑、CD 机,无绳电话、蜂窝电话、个人数字助理(PDA)、寻呼机及其他便携式设备等正以人们意想不到的速度增长着。笔记本电脑的设计者依靠热管等先进的散热技术将 10~20W 的热量从高功率芯片转移到性能良好的散热片上,而更高速的处理器和更小的体积使得散热越来越困难。POS 终端和移动

电话等便携式通信设备除了存在着比笔记本电脑更为严重的空间问题以外,这些设备还必须经受远比其他大多数电子产品更恶劣的环境限制,而且由于与人接近,还存在噪音和工作温度的限制。对保存电池能量的需求也给设计者提出了更多的挑战。这些产品依靠电池供电,而电池技术本身的发展速度缓慢,不可能跟上遵循摩尔定律的集成电路发展速度。因此,低功耗设计对于确保合理的电池工作时间是决定性的,便携设备的市场需求也是低功耗设计的一个直接的推动因素。

特别是互联网应用的爆炸性发展,最大限度地推动了电子行业的成长。特殊功能的服务器已十分普遍。存储服务器、游戏服务器、网络服务器以及银行和电子商务所需的安全服务器的散热问题面临严峻的考验。在服务器应用中,多个处理器与可变尺度的并行系统一起构成一台完整的服务器。服务器的功耗水平很少有 200W 以下的,有些大型服务器可能高达 1000W。因此,高性能工作站、服务器等设备的低功耗设计所带来的能源节省是相当可观的。

另一个与功耗有关的问题是可靠性。功耗增加所引起的芯片温度的升高,将导致器件可靠性下降。温度每升高 10°C ,器件的故障率就要提高 2 倍。

由于集成电路的发展和应用促使 VLSI 设计者以及相关业界形成一个共识,确认低功耗设计技术是集成电路设计的一个紧急技术需要。低功耗设计正成为 VLSI 技术的一个新纪元,它将影响许多应用领域。低功耗设计技术将贯穿于从系统级到器件级的整个数字系统设计过程。其中,具有低功耗特性的系统结构和电路设计将成为实现高性能系统的关键因素之一。

1.2 集成电路的功耗组成与分析

集成电路的功耗已经与芯片面积、速度等因素一样,成为当今 VLSI 设计者的重要研究热点。特别是随着个人计算设备和无线通信系统的广泛应用与普及,人们迫切要求用低功耗集成电路来实现

高速的运算和复杂的功能操作。因为如果不采用低功耗设计技术,即使用目前最先进的可充电电池,仍然存在着不是电池寿命太短就是体积过于笨重的问题。其次,减少高性能芯片的功耗,可以节省由于芯片封装和散热所需的费用,具有明显的经济效益。功耗的降低,同时也意味着可将更多的晶体管集成在一个芯片或多个芯片的模块上,从而改善系统性能,实现系统集成。否则,由于功耗产生的大量热量,会使电路的工作不可靠,据有关文献报道,室温每增加 10°C ,器件的故障率约增加一倍。因此,如果人们在芯片设计的初期能对功耗作出合理的分析和计算,那么就能在芯片具体制造前对设计实现合理优化,从而达到集成电路的低功耗设计。

功耗分析的另一目的是为研究功耗最小化方法提供基本的理论依据。实践表明,采用面向低功耗的设计技术,能有效地解决集成电路的功耗问题。但值得指出的是,要对具体电路的功耗作出快速而准确的计算并不容易,需要借助计算机辅助设计工具,才能有效实现集成电路的低功耗设计。因此,开展集成电路的功耗研究,有助于低功耗集成电路的设计和应用。

1.2.1 静态 CMOS 电路的功耗分析

静态功耗是指漏电流功耗,即指在电路稳定时由电源到地的电流所形成的功耗。理想的 CMOS 电路静态功耗为 0,但是由于晶体管的漏极和衬底的反偏二极管存在着泄漏电流,同时电路中还存在着因亚阈值电流带来的亚阈值功耗,因这些漏电流的存在产生了静态功耗。

漏电功耗由漏电电流引起,而漏电电流主要包含亚阈值电流和反偏二极管的电流。一般来说,反偏二极管的电流是非常小的,因此常温下可以被忽略。由于反偏二极管漏电流是由热产生的载流子产生的,它的数值随温度增加而指数增长,因此在高温下结的漏电流不可忽略。造成漏电功耗明显的是晶体管的亚阈值电流。随着深亚微米工艺的尺寸变小,电源电压也随之降低,器件阈值电压的降低导致

了较大的亚阈值电流。在低功耗应用系统中,尤其是便携式产品,降低漏电流的要求是十分紧迫的。

CMOS 电路静态功耗优化研究是低功耗设计领域的研究热点之一,由于 CMOS 电路具有逻辑摆幅大、功耗低、抗干扰能力强等优点,在 20 世纪 80 年代发展成为 VLSI 的主流技术以来,一直受到生产商的重视和不断发展。目前成熟的 CMOS 技术已成为 SOC 器件的实现基础,而且随着 CMOS 技术适用的范围不断改变,深亚微米技术和硅平面工艺设计以及封装技术的革新使器件密度达到了前所未有的高度,为在一块硅片(或封装单元)内实现一个电子系统所有功能的梦想提供了新的机遇。因此,集成系统芯片设计师正普遍关注 CMOS 电路的功耗分析及低功耗设计技术。CMOS 门结构及其功耗分析如图 1.1 所示。

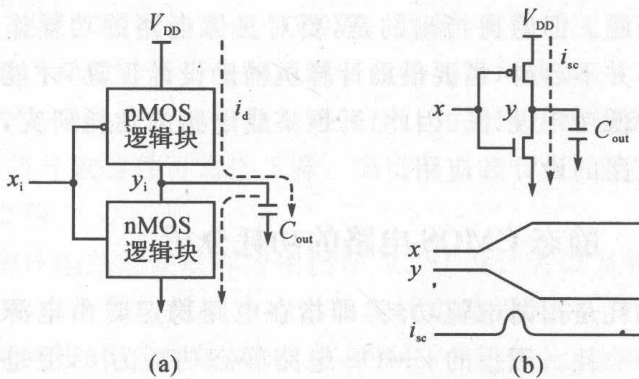


图 1.1 CMOS 门结构及其功耗分析

在静态 CMOS 电路中,某一节点总的功耗可由下式给出^[13-17]:

$$P_{\text{total}} = P_{\text{switching}} + P_{\text{short}} + P_{\text{leakage}}$$

$$= \alpha_{0 \rightarrow 1} (C_L \cdot V \cdot V_{\text{DD}} \cdot f_{\text{clk}}) + I_{\text{short}} V_{\text{DD}} + I_{\text{leakage}} V_{\text{DD}} \quad (1-1)$$

式中:第一项是开关功耗。如图 1.1(a)所示,基本的 CMOS 逻辑电路由 pMOS 管构成的逻辑块与 nMOS 管构成的逻辑块两部分组成,两个具有对偶关系的逻辑块随输入信号的变化将输出端上拉至 V_{DD} 或者下拉至 GND,使输出电平从高向低或从低向高变化时对负载电

容充、放电而产生了开关功耗 $P_{\text{switching}}$ 。式(1-1)中 C_L 为负载电容, f_{clk} 为时钟频率, $\alpha_{0 \rightarrow 1}$ 代表一个周期内节点从 $0 \rightarrow 1V_{\text{DD}}$ 的平均跃迁次数。在大多数情况下,电压 V 和电源电压 V_{DD} 的值是一致的,但在某些逻辑电路中,如由单个 MOS 开关构成的传输管逻辑电路中,由于阈值电压的损失而使 $V < V_{\text{DD}}$,式(1-1)中的第二项是由于在非理想阶跃输入时,对应输入信号在上升和下降过程中会出现 nMOS 和 pMOS 同时导通的情况,从而产生电源至地端的短路电流 I_{short} ,引起短路功耗 P_{short} ,如图 1.1(b)所示。这部分功耗不仅与输入信号的频率、上升和下降时间以及电源电压有关,还与 MOS 管的参数有关。以反相器为例,取 $\beta_n = \beta_p = \beta$ (MOS 管增益因子), $V_m = -V_{tp} = V_t$, 并假设输入信号的上升和下降时间相等 ($\tau_r = \tau_f = \tau$), 则 P_{short} 由下式给出:

$$P_{\text{short}} = \frac{\beta}{12} \cdot (V_{\text{DD}} - 2V_t)^3 \cdot \tau \cdot f_{\text{clk}} \quad (1-2)$$

$P_{\text{switching}}$ 与 P_{short} 构成 CMOS 电路的动态功耗。考虑到 CMOS 电路存在着 pn 结漏电流和 MOS 管的亚阈值电流,这两者构成了从电源至地端的泄漏电流 I_{leakage} ,从而引起了 CMOS 电路的静态功耗 P_{leakage} ,这由式(1-1)中的最后一项给出。

在上述构成 CMOS 电路功耗的三种起因中,对负载电容充放电所产生的功耗 $P_{\text{switching}}$ 是主要的。它将随着集成密度及工作频率的提高而迅速增大。如果只考虑 $P_{\text{switching}}$,那么节点每跳变一次,电源所提供的能量为

$$E_{0 \rightarrow 1} = \frac{P_{\text{total}}}{f_{\text{clk}}} C_{\text{effective}} V_{\text{DD}}^2 \quad (1-3)$$

其中, $C_{\text{effective}}$ 为有效开关电容, $C_{\text{effective}} = \alpha_{0 \rightarrow 1} \cdot C_L$ 。

由上述分析知,为降低电路的能耗可采取的措施包括降低电源电压 V_{DD} ,降低节点电容以及减少开关冗余跳变等。由于能耗为 $E \propto V_{\text{DD}}^2$,因此,降低电源电压应该是减少能耗最为有效的措施。但降低电源电压后为不影响电路的性能为前提,同时,开关的阈值也必须按