

Nanoscale Integrated Circuits — The Manufacturing Process

# 纳米集成电路 制造工艺

张汝京等 编著

国内首本关于纳米集成电路制造工艺的著作  
由半导体产业领军人物张汝京先生组织，由顶级半导体代工厂一线科研人员编写  
由清华大学微电子所王志华教授作序推荐，历时4年打造隆重推出



清华大学出版社



Nanoscale Integrated Circuits — The Manufacturing Process

# 纳米集成电路 制造工艺

张汝京等 编著

托施晓华赠得

张汝京是行家，书是凑写的

但内容真!!

清华大学出版社

北京

## 内 容 简 介

本书共分 19 章,涵盖先进集成电路工艺的发展史,集成电路制造流程、介电薄膜、金属化、光刻、刻蚀、表面清洁与湿法刻蚀、掺杂、化学机械平坦化,器件参数与工艺相关性,DFM(Design for Manufacturing),集成电路检测与分析、集成电路的可靠性,生产控制,良率提升,芯片测试与芯片封装等项目和课题。

国内从事半导体产业的科研工作者、技术工作者和研究生可使用本书作为教科书或参考资料。

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

### 图书在版编目(CIP)数据

纳米集成电路制造工艺/张汝京等编著. —北京:清华大学出版社,2014

ISBN 978-7-302-36027-8

I. ①纳… II. ①张… III. ①纳米材料—集成电路工艺 IV. ①TN405

中国版本图书馆 CIP 数据核字(2014)第 066007 号

责任编辑:文 怡

封面设计:李召霞

责任校对:李建庄

责任印制:王静怡

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社总机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, [c-service@tup.tsinghua.edu.cn](mailto:c-service@tup.tsinghua.edu.cn)

质 量 反 馈:010-62772015, [zhiliang@tup.tsinghua.edu.cn](mailto:zhiliang@tup.tsinghua.edu.cn)

课 件 下 载: <http://www.tup.com.cn>,010-62795954

印 刷 者:北京富博印刷有限公司

装 订 者:北京市密云县京文制本装订厂

经 销:全国新华书店

开 本:185mm×260mm 印 张:28.25 字 数:718 千字

版 次:2014 年 7 月第 1 版 印 次:2014 年 7 月第 1 次印刷

印 数:1~2500

定 价:69.00 元

产品编号:040267-01

# 序 言

张汝京先生，于美国南方卫理公会大学(Southern Methodist University)取得电子工程博士学位。他曾在德州仪器公司工作过 20 年，并管理过美国、日本、新加坡、意大利及中国台湾地区等多座半导体工厂的相关业务，在半导体技术以及信息产业的发展规划上，张汝京先生卓越的成就和独到的眼光得到业界公认。

更重要的，张汝京先生作为半导体技术方面的创始人，2000 年 4 月，他创办了中国当时最先进的集成电路制造厂——中芯国际集成电路制造有限公司，将国内的半导体加工水平提升到了国际水平，对国内集成电路产业的跨越式发展起到了不可替代的作用。

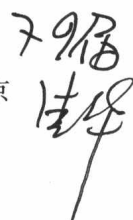
2009 年 12 月，一个冬日的下午，我专程去上海拜访张汝京先生。那时，恰逢我刚刚给清华大学信息学院的大一新生讲完“从晶体管的发明到信息时代”的课程。近几年，我深深感觉到信息产业的发展迅速，在消费市场巨大需求的牵引下，半导体技术从科学原理到加工工艺都有着日新月异的进步，十年甚至五年前的技术放到今天就已经极为过时了。怎么才能给学生们讲清基本原理的同时，舍弃过时的技术，代之以业界正在使用的成熟技术，甚至是业界尚在研究开发的次世代技术，是我们当时极为关心的话题。

我想到，张先生是随着半导体产业的发展成长起来的领军人物，见证了几个技术世代的兴起与淘汰。他本人不仅有着深厚的学术根基，有着丰富的产业经验，其带领的团队也掌握了业界当时最为尖端的 90 纳米半导体加工工艺，并且在研制下一代的 65 纳米和 40 纳米工艺节点的制造工艺。如果能邀请张先生和他的团队完成一本面向大学生、研究生的先进半导体工艺教科书，我相信是一个最恰当的选择。这个念头自此成为请张先生写作这本书的起始驱动。

所幸，尽管张先生和他的团队事务繁忙，但基于对行业的赤诚，以及对年轻后辈的关爱，他欣然答应。经过数年的笔耕，这本书终于出现在读者面前。值得一提的是，张先生的团队是多年来在顶级半导体代工厂一线工作的科研人员，他们处理实际问题的经验以及从产业出发的独特技术视角，相信会为本书带来传统半导体工艺教材所没有的特色。

感谢清华大学的杨轶博士、李铁夫博士，没有他们多次往返京沪奔波，随时协助张汝京先生整理文字、核对数据，就不可能完成这本书的创作。感谢牛崇实博士、张启华博士等为本书做出贡献的作者们。

王志华  
2014 年 3 月于北京



# 前 言

20 世纪 40 年代贝尔实验室的科学先进们发明了晶体管,20 世纪 50 年代德州仪器公司和仙童公司的科技大师们分别发明并推展了集成电器的生产技术,20 世纪 60—70 年代大规模生产半导体器件的技术在美国、欧洲及亚洲也蓬勃发展开来。20 世纪 80 年代一迄今,超大型集成电路的设计和生产工艺继续不断以惊人的速度,几乎按着“摩尔定律”不断地加大半导体器件的集成度,而超大型芯片在“线宽”(CD)上也以倍数的形式进行着细微化。自 2000 年起集成电路的线宽也从“微米级”进入了“纳米级”。2010 年起我国先进的半导体生产工艺也从 45 纳米延伸至 28 纳米以及更小的线宽。超大规模集成电路的生产工艺,从“微米级”到“纳米级”发生了许多根本上的变化。甚至,从 45 纳米缩小至 28 纳米(以及更小的线宽)也必须使用许多新的生产观念和技术。

清华大学的王志华教授于 2010 年就提议由国内熟悉这类工艺的学者、专家、工程师们共同编撰一本较为先进的半导体工艺教科书,同时也可以供半导体厂的工作人员作为参考资料之用,内容要能包含 45 纳米、32 纳米至 28 纳米(或更细微化)的工艺技术。本人非常荣幸有机会来邀请国内该领域的部分学者、专家、工程师们共同编写这本书。本书的初稿是用英文写作的,国内学校的许多老师和半导体业界的先进、朋友们希望我们能中文发行这本书,好让更多的研究所学生、工程师、科研同行更容易阅读并使用本书。我们接着邀请清华大学的教授、老师们将全书翻译成中文,同时也与各方联系取得引用外部资料的许可,清华大学出版社的编辑也帮我们进行编辑加工。几经审稿、改订等大量的工作,本书历时四年多终于完成了!

本书共分 19 章,涵盖先进集成电路工艺的发展史,集成电路制造流程、介电薄膜、金属化、光刻、刻蚀、表面清洁与湿法刻蚀、掺杂、化学机械平坦化,器件参数与工艺相关性,DFM (Design for Manufacturing), 集成电路检测与分析、集成电路的可靠性,生产控制,良率提升,芯片测试与芯片封装等项目和课题。我们在此要特别感谢每一章的作者(和作者群),他们将所知道的最新技术和他们实际工作的经验,尽力地在书中向我们科技界的朋友们一一阐述,也感谢他们为祖国的集成电路科技和协助提升同行朋友们的工艺水平做出的贡献!

我们在此特别题名感谢各位作者(按本书章节次序列名如下);卢炯平、季明华、向阳辉、何有丰、荆学珍、周鸣、杨瑞鹏、聂佳相、何伟业、伍强、时雪龙、顾一鸣、刘庆炜、张海洋、刘焕新、许开东、陈枫、刘东升、蒋莉、陈昱升、张立夫、郭志蓉、吴启熙、郭强、高强、陈寰、范良孚、林山本、严大生、牛崇实等!若不是以上各位学者、专家和朋友的撰写、审稿和改正,全心全意的投入带来宝贵的成果,这本书将无法完成!也感谢中芯国际集成电路有限公司提供的许多非常宝贵的协助!

我们也要再次感谢清华大学的各位老师(王志华教授、李铁夫、杨铁博士)和清华大学出

版社自始至终的鼓励、支持和鼎力相助,这本书才能完成并展现在广大读者的面前!希望这本书能够以实际资料来启发国内半导体产业的学者、专家、技术工作者和研究生们独有的创新和发明,让我们的半导体产业与日俱进,从制造到创造,再创华夏辉煌盛世!

张汝京 敬上

2014年3月于上海

# 目 录

<b>第 1 章 半导体器件</b> .....	1
1.1 N 型半导体和 P 型半导体 .....	1
1.2 二极管 .....	2
1.3 金属氧化物半导体场效晶体管 .....	3
1.4 电容和电感 .....	5
<b>第 2 章 集成电路制造工艺发展趋势</b> .....	6
2.1 引言 .....	6
2.2 横向微缩所推动的工艺发展趋势 .....	7
2.2.1 光刻技术.....	7
2.2.2 沟槽填充技术.....	8
2.2.3 互连层 RC 延迟的降低 .....	9
2.3 纵向微缩所推动的工艺发展趋势.....	11
2.3.1 等效栅氧厚度的微缩 .....	11
2.3.2 源漏工程 .....	12
2.3.3 自对准硅化物工艺 .....	13
2.4 弥补几何微缩的等效扩充.....	13
2.4.1 高 $k$ 金属栅 .....	14
2.4.2 载流子迁移率提高技术 .....	15
2.5 展望.....	16
参考文献 .....	16
<b>第 3 章 CMOS 逻辑电路及存储器制造流程</b> .....	18
3.1 逻辑技术及工艺流程.....	18
3.1.1 引言 .....	18
3.1.2 CMOS 工艺流程 .....	20
3.2 存储器技术和制造工艺.....	27
3.2.1 概述 .....	27
3.2.2 DRAM 和 eDRAM .....	28
3.2.3 闪存 .....	29
3.2.4 FeRAM .....	30
3.2.5 PCRAM .....	31

3.2.6	RRAM .....	32
3.2.7	MRAM .....	33
	参考文献 .....	34
<b>第4章</b>	<b>电介质薄膜沉积工艺 .....</b>	<b>37</b>
4.1	前言 .....	37
4.2	氧化膜/氮化膜工艺 .....	37
4.3	栅极电介质薄膜 .....	42
4.3.1	栅极氧化介电层-氮氧化硅( $\text{SiO}_x\text{N}_y$ ) .....	42
4.3.2	高 $k$ 栅极介质 .....	45
4.4	半导体绝缘介质的填充 .....	49
4.4.1	高密度等离子体化学气相沉积工艺 .....	49
4.4.2	$\text{O}_3$ -TEOS的亚常压化学气相沉积工艺 .....	53
4.5	超低介电常数薄膜 .....	56
4.5.1	前言 .....	56
4.5.2	RC delay对器件运算速度的影响 .....	57
4.5.3	$k$ 为2.7~3.0的低介电常数材料 .....	58
4.5.4	$k$ 为2.5的超低介电常数材料 .....	60
4.5.5	Etching stop layer and copper barrier介电常数材料 .....	61
	参考文献 .....	62
<b>第5章</b>	<b>应力工程 .....</b>	<b>64</b>
5.1	简介 .....	64
5.2	源漏区嵌入技术 .....	65
5.2.1	嵌入式锗硅工艺 .....	65
5.2.2	嵌入式碳硅工艺 .....	67
5.3	应力记忆技术 .....	69
5.3.1	SMT技术的分类 .....	69
5.3.2	SMT的工艺流程 .....	70
5.3.3	SMT氮化硅工艺介绍及其发展 .....	71
5.4	双极应力刻蚀阻挡层 .....	72
5.5	应力效应提升技术 .....	74
	参考文献 .....	76
<b>第6章</b>	<b>金属薄膜沉积工艺及金属化 .....</b>	<b>78</b>
6.1	金属栅 .....	78
6.1.1	金属栅极的使用 .....	78
6.1.2	金属栅材料性能的要求 .....	78
6.2	自对准硅化物 .....	83

6.2.1	预清洁处理 .....	83
6.2.2	镍铂合金沉积 .....	85
6.2.3	盖帽层 TiN 沉积 .....	86
6.3	接触窗薄膜工艺 .....	87
6.3.1	前言 .....	87
6.3.2	主要的问题 .....	87
6.3.3	前处理工艺 .....	88
6.3.4	PVD Ti .....	89
6.3.5	TiN 制程 .....	90
6.3.6	W plug 制程 .....	91
6.4	金属互连 .....	92
6.4.1	前言 .....	92
6.4.2	预清洁工艺 .....	93
6.4.3	阻挡层 .....	94
6.4.4	种子层 .....	97
6.4.5	铜化学电镀 .....	98
6.4.6	洗边和退火 .....	104
6.5	本章总结 .....	107
	参考文献 .....	107
<b>第 7 章</b>	<b>光刻技术</b> .....	<b>110</b>
7.1	光刻技术简介 .....	110
7.1.1	光刻技术发展历史 .....	110
7.1.2	光刻的基本方法 .....	110
7.1.3	其他图像传递方法 .....	112
7.2	光刻的系统参数 .....	113
7.2.1	波长、数值孔径、像空间介质折射率 .....	113
7.2.2	光刻分辨率的表示 .....	115
7.3	光刻工艺流程 .....	117
7.4	光刻工艺窗口以及图形完整性评价方法 .....	122
7.4.1	曝光能量宽裕度, 归一化图像对数斜率(NILS) .....	122
7.4.2	对焦深度(找平方法) .....	124
7.4.3	掩膜板误差因子 .....	127
7.4.4	线宽均匀性 .....	131
7.4.5	光刻胶形貌 .....	138
7.4.6	对准、套刻精度 .....	140
7.4.7	缺陷的检测、分类、原理以及排除方法 .....	146
7.5	相干和部分相干成像 .....	149
7.5.1	光刻成像模型, 调制传递函数 .....	149

7.5.2	点扩散函数	159
7.5.3	偏振效应	161
7.5.4	掩模板三维尺寸效应	164
7.6	光刻设备和材料	164
7.6.1	光刻机原理介绍	164
7.6.2	光学像差及其对光刻工艺窗口的影响	167
7.6.3	光刻胶配制原理	171
7.6.4	掩模板制作介绍	174
7.7	与分辨率相关工艺窗口增强方法	176
7.7.1	离轴照明	176
7.7.2	相移掩模板	178
7.7.3	亚衍射散射条	181
7.7.4	光学邻近效应及修正介绍	185
7.7.5	二重图形技术	187
7.7.6	浸没式光刻	189
7.7.7	极紫外光刻	190
	参考文献	191
<b>第8章</b>	<b>干法刻蚀</b>	<b>195</b>
8.1	引言	195
8.1.1	等离子刻蚀	195
8.1.2	干法刻蚀机的发展	195
8.1.3	干法刻蚀的度量	198
8.2	干法刻蚀建模	200
8.2.1	基本原理模拟	200
8.2.2	经验模型	202
8.3	先进的干法刻蚀反应器	206
8.3.1	泛林半导体	206
8.3.2	东京电子	207
8.3.3	应用材料	207
8.4	干法刻蚀应用	208
8.4.1	浅槽隔离(STI)刻蚀	209
8.4.2	多晶硅栅刻蚀 <sup>[18,34]</sup>	209
8.4.3	栅侧墙刻蚀 <sup>[35]</sup>	213
8.4.4	钨接触孔刻蚀 <sup>[36]</sup>	215
8.4.5	铜通孔刻蚀 <sup>[37]</sup>	218
8.4.6	电介质沟槽刻蚀 <sup>[38]</sup>	222
8.4.7	铝垫刻蚀 <sup>[39,40]</sup>	225
8.4.8	灰化	227

8.4.9 新近出现的刻蚀	228
8.5 先进的刻蚀工艺控制	232
参考文献	233
<b>第9章 集成电路制造中的污染和清洗技术</b>	<b>236</b>
9.1 IC制造过程中的污染源	236
9.2 IC污染对器件的影响	236
9.3 晶片的湿法处理概述	238
9.3.1 晶片湿法处理的要求	238
9.3.2 晶片湿法处理的机理	238
9.3.3 晶片湿法处理的范围	239
9.4 晶片表面颗粒去除方法	239
9.4.1 颗粒化学去除	239
9.4.2 颗粒物理去除	240
9.5 制程沉积膜前/后清洗	242
9.6 制程光阻清洗	243
9.7 晶片湿法刻蚀技术	245
9.7.1 晶片湿法刻蚀过程原理	246
9.7.2 硅湿法刻蚀	246
9.7.3 氧化硅湿法刻蚀	246
9.7.4 氮化硅湿法刻蚀	248
9.7.5 金属湿法刻蚀	249
9.8 晶背/边缘清洗和膜层去除	250
9.9 65nm和45nm以下湿法处理难点以及HKMG湿法应用	252
9.9.1 栅极表面预处理	252
9.9.2 叠层栅极:选择性刻蚀和清洗	253
9.9.3 临时poly-Si去除	256
9.10 湿法清洗机台及其冲洗和干燥技术	257
9.10.1 单片旋转喷淋清洗机	257
9.10.2 批旋转喷淋清洗机	258
9.10.3 批浸泡式清洗机	259
9.11 污染清洗中的测量与表征	260
9.11.1 颗粒量测	260
9.11.2 金属离子检测	261
9.11.3 四探针厚度测量	261
9.11.4 椭圆偏光厚度测量	261
9.11.5 其他度量	262
参考文献	262

<b>第 10 章 超浅结技术</b> .....	264
10.1 简介 .....	264
10.2 离子注入 .....	264
10.3 快速热处理工艺 .....	269
参考文献 .....	273
<b>第 11 章 化学机械平坦化</b> .....	277
11.1 引言 .....	277
11.2 浅槽隔离抛光 .....	278
11.2.1 STI CMP 的要求和演化 .....	278
11.2.2 氧化铈研磨液的特点 .....	279
11.2.3 固定研磨粒抛光工艺 .....	280
11.3 铜抛光 .....	283
11.3.1 Cu CMP 的过程和机理 .....	283
11.3.2 先进工艺对 Cu CMP 的挑战 .....	285
11.3.3 Cu CMP 产生的缺陷 .....	286
11.4 高 $k$ 金属栅抛光的挑战 .....	290
11.4.1 CMP 在高 $k$ 金属栅形成中的应用 .....	290
11.4.2 ILD0 CMP 的方法及使用的研磨液 .....	291
11.4.3 Al CMP 的方法及使用的研磨液 .....	292
11.5 GST 抛光(GST CMP) .....	292
11.5.1 GST CMP 的应用 .....	292
11.5.2 GST CMP 的挑战 .....	293
11.6 小结 .....	293
参考文献 .....	293
<b>第 12 章 器件参数和工艺相关性</b> .....	295
12.1 MOS 电性参数 .....	295
12.2 栅极氧化层制程对 MOS 电性参数的影响 .....	296
12.3 栅极制程对 MOS 电性参数的影响 .....	297
12.4 超浅结对 MOS 电性参数的影响 .....	297
12.5 金属硅化物对 MOS 电性参数的影响 .....	298
12.6 多重连导线 .....	299
<b>第 13 章 可制造性设计</b> .....	300
13.1 介绍 .....	300
13.2 DFM 技术和工作流程 .....	303
13.2.1 光刻 DFM .....	303

13.2.2 Metal-1 图形的例子 .....	305
13.3 CMP DFM .....	307
13.4 DFM 展望.....	309
参考文献 .....	310
<b>第 14 章 半导体器件失效分析 .....</b>	<b>312</b>
14.1 失效分析概论 .....	312
14.1.1 失效分析基本原则 .....	312
14.1.2 失效分析流程 .....	313
14.2 失效分析技术 .....	316
14.2.1 封装器件的分析技术 .....	316
14.2.2 开封技术 .....	318
14.2.3 失效定位技术 .....	319
14.2.4 样品制备技术 .....	331
14.2.5 微分析技术 .....	332
14.2.6 表面分析技术 .....	342
14.3 案例分析 .....	344
参考文献 .....	349
<b>第 15 章 集成电路可靠性介绍 .....</b>	<b>350</b>
15.1 热载流子效应(HCI) .....	351
15.1.1 HCI 的机理 .....	351
15.1.2 HCI 寿命模型 .....	351
15.2 负偏压温度不稳定性(NBTI).....	354
15.2.1 NBTI 机理 .....	354
15.2.2 NBTI 模型 .....	354
15.3 经时介电层击穿(TDDB) .....	357
15.4 电压斜坡(V-ramp)和电流斜坡(J-ramp)测量技术 .....	357
15.5 氧化层击穿寿命预测 .....	359
15.6 电迁移 .....	359
15.7 应力迁移 .....	360
15.8 集成电路可靠性面临的挑战 .....	361
结论 .....	362
<b>第 16 章 集成电路测量 .....</b>	<b>363</b>
16.1 测量系统分析 .....	363
16.1.1 准确性和精确性 .....	363
16.1.2 测量系统的分辨力 .....	363
16.1.3 稳定分析 .....	364

16.1.4	位置分析 .....	364
16.1.5	变异分析 .....	365
16.1.6	量值的溯源、校准和检定 .....	368
16.2	原子力显微镜 .....	368
16.2.1	仪器结构 .....	368
16.2.2	工作模式 .....	369
16.3	扫描电子显微镜 .....	370
16.4	椭圆偏振光谱仪 .....	372
16.5	统计过程控制 .....	376
16.5.1	统计控制图 .....	377
16.5.2	过程能力指数 .....	381
16.5.3	统计过程控制在集成电路生产中的应用 .....	382
	参考文献 .....	383
<b>第 17 章</b>	<b>良率改善 .....</b>	<b>384</b>
17.1	良率改善介绍 .....	384
17.1.1	关于良率的基础知识 .....	384
17.1.2	失效机制 .....	388
17.1.3	良率学习体系 .....	391
17.2	用于良率提高的分析方法 .....	397
17.2.1	基本图表在良率分析中的应用 .....	397
17.2.2	常用的分析方法 .....	401
17.2.3	系统化的良率分析方法 .....	403
<b>第 18 章</b>	<b>测试工程 .....</b>	<b>406</b>
18.1	测试硬件和程序 .....	406
18.1.1	测试硬件 .....	406
18.1.2	测试程序 .....	407
18.1.3	缺陷、失效和故障 .....	407
18.2	储存器测试 .....	408
18.2.1	储存器测试流程 .....	408
18.2.2	测试图形 .....	408
18.2.3	故障模型 .....	409
18.2.4	冗余设计与激光修复 .....	410
18.2.5	储存器可测性设计 .....	410
18.2.6	老化与测试 .....	411
18.3	$I_{DDQ}$ 测试 .....	411
18.3.1	$I_{DDQ}$ 测试和失效分析 .....	412
18.3.2	$I_{DDQ}$ 测试与可靠性 .....	412

---

18.4	数字逻辑测试 .....	412
18.5	可测性设计 .....	414
18.5.1	扫描测试 .....	414
18.5.2	内建自测试 .....	415
	参考文献 .....	416
<b>第 19 章</b>	<b>芯片封装 .....</b>	<b>417</b>
19.1	传统的芯片封装制造工艺 .....	417
19.1.1	减薄(Back Grind) .....	417
19.1.2	贴膜(Wafer Mount) .....	417
19.1.3	划片(Wafer Saw) .....	417
19.1.4	贴片(Die Attach) .....	419
19.1.5	银胶烘焙(Epoxy Curing) .....	420
19.1.6	打线键合(Wire Bond) .....	421
19.1.7	塑封成型(压模成型, Mold) .....	423
19.1.8	塑封后烘焙(Post Mold Curing) .....	425
19.1.9	除渣及电镀(Deflash and Plating) .....	425
19.1.10	电镀后烘焙(Post Plating Baking) .....	426
19.1.11	切筋整脚成型(Trim/From) .....	426
19.2	大电流的功率器件需用铝线键合工艺取代金线键合工艺 .....	428
19.3	QFN 的封装与传统封装的不同点 .....	429
19.4	铜线键合工艺取代金线工艺 .....	430
19.5	3D Package 立体封装形式简介 .....	430
19.5.1	覆晶式封装(Flip-Chip BGA) .....	430
19.5.2	堆叠式封装(Stack Multi-chip package) .....	431
19.5.3	芯片覆晶式级封装(WLCSP) .....	431
19.5.4	芯片级堆叠式封装(TSV package) .....	432
	参考文献 .....	433

# 第 1 章 半导体器件

本章介绍以硅为主的半导体器件,并讨论其在制程微缩下所面临的问题。

半导体是导电度介于导体和绝缘体之间的一种材料。以硅为例,它是一个原子序 14 的四价元素,以共价键结构和邻近的原子相结合。尽管其导电性不佳,但是可以借由调整导电度的特性结合其他的材料发展出各种电学及光学上的器件,并进一步整合在不同的运用,包括集成电路、太阳能电池、影像传感器、微积电等。我们将集中讨论集成电路(integrated circuit)的运用。

集成电路是指将各式电路微缩在芯片之内,包含了模拟电路、数字电路及混合信号(模拟加数字)电路等。摩尔定律预测(Gordon Moore 于 1965 年提出)集成电路上可容纳的晶体管数目每两年便会增加一倍,性能也会提升一倍。随着微缩技术和其他配套制程的发展,在近 50 年后的今天仍跟随着这个趋势。微缩技术对半导体的组件效能的提升,主要表现在单位面积上放置器件数目的增加以及更快的芯片速度,这也暗示着将带来更高的效能,更低的功耗及更低的生产成本。

集成电路所使用的器件十分多样。一般而言,数字电路主要处理二进制的数字信号(0 和 1),一般使用 CMOS 和其他器件组成的逻辑、触发器及其他配套电路。这类电路对制程的微缩十分敏感,主要代表有 CPU、DSP 和 micro controller。模拟电路主要处理模拟信号,诸如放大器、滤波器等。这类电路对器件的稳定性要求很高,对制程微缩的要求不会太积极,以避免制程对器件的稳定性造成影响。混合信号电路则是将数字和模拟电路放在同一个系统单芯片上,用上模数转换器(analog to digital converter, ADC)或数模转换器(digital to analog converter, DAC)做数字和模拟信号转换处理。

下面简单介绍基体电路中常见的半导体器件。

## 1.1 N 型半导体和 P 型半导体

N 型半导体和 P 型半导体是所有器件的基础,并可直接用于电阻器,通过在硅单晶或多晶内掺杂三价或五价的元素来改变其导电性。掺杂的元素浓度越高,导电性越好,阻值越低。

在硅晶体掺入五价元素(如磷、砷、锑)即为 N 型(负型)半导体,电子(带负电)是其导电的主要载体。这些掺入元素外围五个电子中的四个和硅晶体结合时会留下一个电子不受共价键束缚成为自由电子而增加其导电性(见图 1.1)。

在硅晶体掺入三价元素(如硼、镓)即为 P 型(正型)半导体,空穴(带正电)是其导电的主要载体。这些掺入元素外围三个电子和硅晶体形成共价键结时,因比硅原子少了一个电子而留下了一个空缺,即是空穴。当空穴被其他邻近的电子补上时,那补位的电子原先的位置便又留下了一个新的空穴,这个空穴的转移可视为正电荷的运动(见图 1.2)。

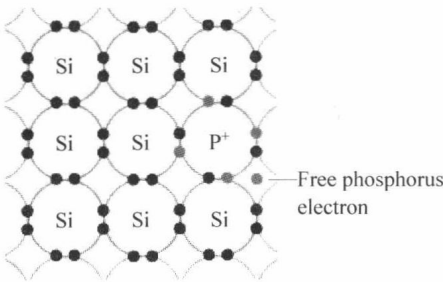


图 1.1 N 型半导体

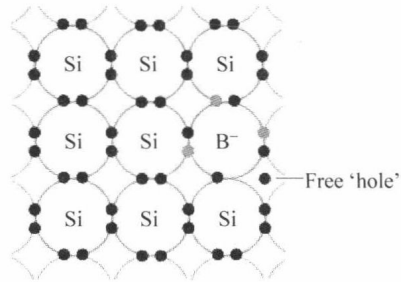


图 1.2 P 型半导体

## 1.2 二极管

P 型和 N 型半导体借由一些特殊的制程结合在一起,即是二极管 PN junction diode。二极管最重要的是其整流特性,此外,其电阻、电容和温度等特性也已得到普遍运用。

P 型和 N 型半导体结合的过程中,载流子会交互扩散直到平衡状态,此时在结合面附近只有离子没有载流子,称为空乏区(depletion region),见图 1.3。在二极管的 P 极施加正电压 N 极施加负电压时,称为正向偏压(forward bias);施加正向偏压,N 极内的电子会越过结合面到 P 极和空穴结合,而 P 极内的空穴也会越过结合面到 N 极和电子结合,空乏区的宽度将越来越小,并有电流生成。随着正向偏压不断增加,最终电流将呈指数形增加,如图 1.4 所示。

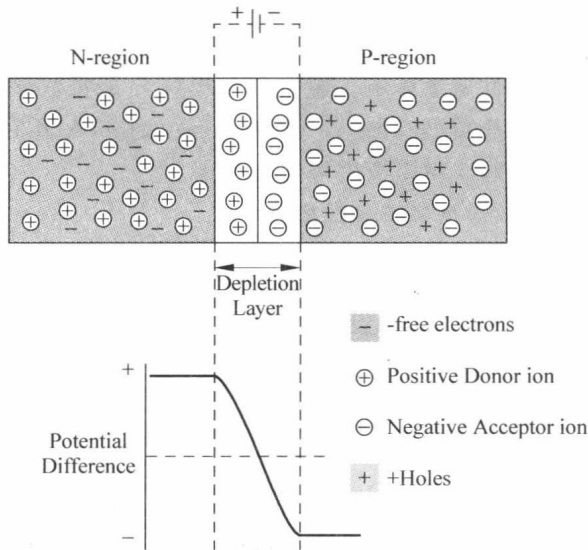


图 1.3 二极管(PN 结)

在二极管的 N 极施加正电压,P 极施加负电压时,称为反向偏压(reverse bias)。施加反向偏压,电子与空穴将远离空乏区而使空乏区变大,电子和空穴的结合也变得困难,不过仍有少数载流子可以通过结合面成为漏电流。若持续增加反向偏压到特定电流,将会发生结合面崩溃(junction breakdown)而产生大电流,见图 1.4。