

高等学校“十三五”规划教材

CMOS

射频集成电路设计

段吉海 编著



西安电子科技大学出版社
<http://www.xduph.com>

高等学校“十三五”规划教材

CMOS 射频集成电路设计

段吉海 编著

西安电子科技大学出版社



内 容 简 介

本书以无线射频收发前端为应用目标,首先介绍射频集成电路设计必需的基本知识,包括传输线基本理论、二端口网络与S参数和Smith圆图的基本知识;目前常用的集成电路的工艺技术;阻抗匹配、集成电路元件、噪声与模型、无线系统射频前端、低噪声射频放大器、射频放大器、射频混频器、射频振荡器、射频功率放大器和射频频率合成器。除上述主要内容之外,还介绍了版图匹配设计、ESD防护设计、接地设计、电磁兼容以及射频集成电路的测试等内容,同时相应地给出了设计实例(或建模实例,或测试实例)等,使得全书内容更加全面,更具有创新性。

本书内容新颖,循序渐进,概念清晰,理论性和应用性强,不仅可作为集成电路方向的研究生教材和本科高年级学生教材,还可作为业界工程技术人员的技术资料和培训教材。

图书在版编目(CIP)数据

CMOS 射频集成电路设计/段吉海编著. —西安:西安电子科技大学出版社,2019.8
(2020.7重印)

ISBN 978-7-5606-5397-6

I. ① C… II. ① 段… III. ① CMOS 电路—电路设计—高等学校—教材
IV. ① TN432

中国版本图书馆 CIP 数据核字(2019)第 160387 号

策划编辑 刘小莉

责任编辑 马晓娟

出版发行 西安电子科技大学出版社(西安市太白南路2号)

电 话 (029)88242885 88201467 邮 编 710071

网 址 www.xduph.com 电子邮箱 xdupfxb001@163.com

经 销 新华书店

印刷单位 陕西日报社

版 次 2019年8月第1版 2020年7月第2次印刷

开 本 787毫米×1092毫米 1/16 印张 20

字 数 472千字

印 数 1001~2000册

定 价 46.00元

ISBN 978-7-5606-5397-6/TN

XDUP 5699001-2

*** 如有印装问题可调换 ***

前 言

自无线电通信技术产生以来,射频电路与系统就是其不可或缺的部分。随着时代的变迁以及电子信息技术的进步,射频集成电路(RFIC)变得更加重要,而且其自身的发展也日新月异。

高性能、低成本的 CMOS 工艺技术的发展,使得采用 CMOS 工艺设计及制造 RFIC 成为典型技术。

本人已经从事无线通信系统研究、设计及教学 30 多年,从事微电子科学与工程及集成电路研究、设计及教学近 20 年,有着攻读集成电路方向博士学位、赴美做高级访问学者及在国企从事技术工作多年的经历。本人深切地感觉到有必要编写一本 CMOS 射频集成电路设计的实用科技书,经过几年的准备,终于付诸实施。

本书除涵盖国家集成电路工程领域工程硕士系列教材在射频集成电路与系统方面的主要内容要求外,还增加了版图匹配设计、ESD 防护设计、接地设计、电磁兼容以及射频集成电路的测试等内容,同时相应地增加了设计实例(或建模实例,或测试实例)等内容,使得内容更加全面,更具有创新性。

全书共 12 章,各章内容概述如下:

第 1 章:绪论。对 CMOS 技术的现状及发展趋势进行概述,涉及 CMOS 集成电路制程、摩尔定律等;介绍射频集成电路的发展历史、现状及发展趋势;介绍射频集成电路设计涉及的相关学科与知识、CMOS 模拟及射频集成电路设计的方法与步骤、CMOS 射频集成电路设计的常用软件(Cadence Virtuoso 集成电路设计平台、Agilent ADS 射频电路分析与设计软件)。

第 2 章:CMOS 射频 IC 器件模型。介绍无源元件及模型(包括电阻器件模型、电容器件模型和电感器件模型)、有源元件及模型(包括二极管模型、大信号和小信号双极型晶体管模型、MOS 器件的直流模型、MOS 器件的电容模型、MOS 器件的非准静态模型、大信号和小信号的场效应晶体管模型、有源器件

的噪声模型)等,并给出建模实例(片上电感设计与建模仿真实例)。

第3章:无线通信的射频系统。介绍无线射频收发前端系统,包括无线通信系统(无线通信系统的构成、无线通信系统的常用性能指标、天线系统及性能指标)、传统无线收发信系统、可集成无线收发信系统、典型应用,并给出建模实例(无线通信信道的数学模型、超宽带(UWB)通信系统建模实例)。

第4章:射频系统的端口参量与匹配。介绍射频系统的端口参量与匹配,包括二端口网络及S参数、Smith圆图、阻抗匹配、匹配网络设计,并给出设计实例(L形匹配网络设计实例、 π 形匹配网络设计实例、T形匹配网络设计实例、Smith圆图法匹配网络设计实例)。

第5章:CMOS低噪声射频放大器。内容涉及低噪声放大器网络的噪声分析(包括二端口网络的噪声分析、MOS晶体管噪声模型及MOS晶体管最小噪声系数的计算)、CMOS低噪声放大器的基本电路结构和技术指标(包括CMOS低噪声放大器的几种电路结构、CMOS低噪声放大器的技术指标),并给出设计实例(TH-UWB低噪声放大器设计实例)。

第6章:CMOS射频放大器。内容涉及射频放大器的稳定性(包括绝对稳定、稳定性判定的依据和方法、条件稳定)、CMOS射频放大器设计(包括基于最大增益的CMOS放大器设计、固定增益条件下的CMOS射频放大器设计)、CMOS宽带放大器设计(包括宽带放大器的带宽约束、宽带放大器设计及放大器带宽扩展技术)、射频放大器的非线性(包括非线性数学模型、非线性参量),并给出设计实例(TH-UWB射频接收机的主放大器设计实例)。

第7章:CMOS射频混频器。内容涉及混频原理(包括线性时变原理,上、下变频,镜像频率及复数混频)、混频器指标、CMOS混频器结构(包括饱和区MOSFET混频器、简单开关混频器、MOS管电压开关型混频器及电流开关型混频器)、线性化技术与噪声分析(包括MOSFET的非线性、线性化技术、混频器的噪声分析),并给出设计实例(下变频混频器设计实例)。

第8章:CMOS射频振荡器。内容涉及振荡器的主要指标(包括普通振荡器指标、压控振荡器指标)、振荡器的工作原理(包括正反馈与巴克豪森条件、负阻的概念及负阻式振荡器)、环形振荡器、LC振荡器(包括三点式LC振荡器、差分LC振荡器)、压控振荡器(包括可变电容器件、压控振荡器的结构和

相位域模型)、振荡器的干扰和相位噪声(包括振荡器的干扰、振荡器的相位噪声、相位噪声产生的机理)、相位噪声带来的问题与设计优化(包括对邻近信道造成的干扰、倒易混频、对星座图的影响、设计优化),并给出设计实例(4~6 GHz 宽频带 CMOS LC 压控振荡器设计实例)。

第 9 章: CMOS 射频功率放大器。内容涉及技术指标、负载牵引设计方法、非开关型射频功放分类、开关型射频功放分类、CMOS 工艺的射频功放面临的问题、CMOS 射频功放的设计方法(包括采用差分结构、采用 Cascode 技术、应用键合线电感、采用输出级阻抗优化技术以及采用功率合成技术)、线性化技术等。

第 10 章: CMOS 射频锁相环与频率合成器。内容涉及锁相环原理(包括锁相环的组成、锁相环的相位模型)、锁相环的主要专业术语、电荷泵锁相环(包括鉴频鉴相器与电荷泵、电荷泵锁相环的动态特性、Type I 和 Type II 型锁相环、Type II 型锁相环的非理想因素)、频率合成器(包括频率合成器的技术指标及原理、变模分频频率合成器、多环频率合成器、小数分频频率合成器、直接数字频率合成器),并给出设计实例(S 波段频率合成器设计实例)。

第 11 章: 版图匹配设计、ESD 防护设计、接地设计及电磁兼容。涉及版图匹配设计(包括造成失配的原因、设计的规则及方法、版图布局设计的关键问题)、ESD 防护设计(包括 ESD 测试模型、ESD 防护基本原理、ESD 防护元件、ESD 防护电路、ESD 版图设计)、接地设计(包括常见的接地问题、直流地与交流地、“零阻抗”电容、正确的接地设计)及电磁兼容(包括天线效应、数/模混合集成电路电磁兼容)等。

第 12 章: 射频集成电路的测试。涉及洁净间的防静电管理、常用测试设备简介(包括在芯片测试探针台、其他测试仪器、键合与封装设备)、测试步骤与方法(包括射频放大器的 S 参数测量、低噪声放大器的噪声系数测量、其他参量测量模型、测试遇到的问题、去嵌入处理、测试结果的后处理与分析方法),并给出测试实例(射频频段均衡器芯片测试实例)。

值得说明的是,本书给出设计或建模实例的目的在于更深层次讲解具体模块或系统,对于本科或研究生教学来说可能存在课时不够等情况,因此这个部分只作为研究参考资料,而不作为教学重点,但这些内容对业界工程技术人员

来说确实为有益的参考资料。

本书的大部分实例来源于本人或指导研究生时的部分研究成果，与此同时，本书还从参考文献中以及其他有关著作中汲取了许多有益的内容。在桂林电子科技大学研究生课程建设项目的大力资助以及西安电子科技大学出版社的帮助下，本书得以顺利出版，在此表示衷心的感谢！

鉴于水平有限，书中不当之处在所难免，殷切希望广大读者批评指正。

段吉海 教授/博士

2019年3月

目 录

第 1 章 绪论	1
1.1 CMOS 技术简介及发展趋势	1
1.1.1 CMOS 集成电路制程简介	1
1.1.2 CMOS 工艺特征尺寸的演变—— 摩尔定律	5
1.1.3 发展趋势	5
1.2 射频集成电路的发展历史、现状及发展 趋势	6
1.2.1 发展历史	6
1.2.2 现状	6
1.2.3 发展趋势	7
1.3 射频集成电路设计涉及的相关 学科与知识	7
1.4 CMOS 模拟及射频集成电路设计的 方法与步骤	8
1.5 CMOS 射频集成电路设计的 常用软件概述	9
1.5.1 Cadence Virtuoso	9
1.5.2 Agilent ADS	11
1.6 本章小结	11
习题	12
参考文献	12
第 2 章 CMOS 射频 IC 器件模型	13
2.1 概述	13
2.2 无源元件及模型	14
2.2.1 电阻器件模型	14
2.2.2 电容器件模型	14
2.2.3 电感器件模型	15
2.3 有源元件及模型	16
2.3.1 二极管模型	16
2.3.2 大信号和小信号双极型晶体管 模型	17
2.3.3 MOS 器件的直流模型	19
2.3.4 MOS 器件的电容模型	20
2.3.5 MOS 器件的非准静态模型	20
2.3.6 大信号场效应晶体管模型	21

2.3.7 小信号场效应晶体管模型	22
2.3.8 有源器件的噪声模型	23
2.4 片上电感设计与建模仿真实例	29
2.4.1 片上电感的电学与几何参数	29
2.4.2 芯片叠层结构	31
2.4.3 片上电感设计方法	32
2.4.4 ADS 片上建模与仿真	33
2.4.5 Sonnet 片上建模与仿真	35
2.5 本章小结	36
习题	36
参考文献	37
第 3 章 无线通信的射频系统	39
3.1 概述	39
3.2 无线通信系统	39
3.2.1 无线通信系统的构成	39
3.2.2 无线通信系统的常用性能 指标	42
3.2.3 天线系统及性能指标	42
3.3 传统无线收发信系统	45
3.3.1 无线接收机基本结构	45
3.3.2 超外差接收机结构	46
3.3.3 超外差发信机结构	48
3.3.4 其他经典接收机结构	49
3.4 可集成无线收发信系统	52
3.4.1 零中频接收机	52
3.4.2 二次变频宽中频接收机结构	53
3.4.3 二次变频低中频接收机结构	54
3.5 典型应用	54
3.5.1 WLAN 应用	54
3.5.2 WBAN 应用	55
3.5.3 GSM 和 CDMA 移动通信 应用	56
3.5.4 5G 移动通信应用	56
3.5.5 卫星导航应用	58
3.6 建模实例	60
3.6.1 无线通信信道的数学模型	60

3.6.2 超宽带(UWB)通信系统建模实例	63	5.3.2 CMOS低噪声放大器的技术指标	106
3.7 本章小结	67	5.4 TH-UWB低噪声放大器设计	
习题	67	实例	107
参考文献	68	5.4.1 近年来关于UWB LNA的	
第4章 射频系统的端口参量与匹配	70	研究现状	107
4.1 概述	70	5.4.2 UWB LNA的电路设计	107
4.2 二端口网络及S参数	70	5.4.3 宽带输入阻抗匹配与噪声匹配	107
4.2.1 二端口网络基本模型及参数	70	平衡输出的实现	108
4.2.2 S参数(散射参量)	74	5.4.5 电路仿真	108
4.3 Smith圆图	81	5.5 本章小结	109
4.3.1 Smith阻抗圆图的推导	81	习题	110
4.3.2 Smith导纳圆图的推导	83	参考文献	111
4.3.3 Smith阻抗导纳圆图	84	第6章 CMOS射频放大器	113
4.4 阻抗匹配	84	6.1 概述	113
4.4.1 阻抗匹配的意义	84	6.2 射频放大器的稳定性	113
4.4.2 功率及功率增益	85	6.2.1 绝对稳定	113
4.4.3 复数阻抗之间的最大功率		6.2.2 稳定性判定的依据和方法	114
传输	86	6.2.3 条件稳定	117
4.5 匹配网络设计	87	6.3 CMOS射频放大器设计	118
4.5.1 电抗性L形匹配网络设计	87	6.3.1 基于最大增益的CMOS	
4.5.2 并联短截线阻抗匹配网络设计	89	放大器设计	118
4.6 设计实例	91	6.3.2 固定增益条件下的CMOS射频	
4.6.1 L形匹配网络设计实例	91	放大器设计	122
4.6.2 π 形匹配网络设计实例	92	6.4 CMOS宽带放大器设计	126
4.6.3 T形匹配网络设计实例	94	6.4.1 宽带放大器的带宽约束	126
4.6.4 Smith圆图法匹配网络设计实例	95	6.4.2 宽带放大器设计	126
4.7 本章小结	97	6.4.3 放大器带宽扩展技术	129
习题	98	6.5 射频放大器的非线性	131
参考文献	99	6.5.1 非线性数学模型	131
第5章 CMOS低噪声射频放大器	100	6.5.2 非线性参量	131
5.1 概述	100	6.6 TH-UWB射频接收机的主放大器	
5.2 低噪声放大器网络的噪声分析	100	设计实例	136
5.2.1 二端口网络的噪声分析	100	6.6.1 设计概述	136
5.2.2 MOS晶体管最小噪声系数的		6.6.2 指标要求	136
计算	102	6.6.3 主放大器集成电路设计	137
5.3 CMOS低噪声放大器的基本电路		6.6.4 参数选取与设计优化	139
结构和技术指标	104	6.6.5 芯片照片	140
5.3.1 CMOS低噪声放大器的几种		6.6.6 测试	141
电路结构	105	6.7 本章小结	142
		习题	143

参考文献	144	8.7.1 振荡器的干扰	188
第7章 CMOS 射频混频器	145	8.7.2 振荡器的相位噪声	188
7.1 概述	145	8.7.3 相位噪声产生的机理	189
7.2 混频原理	145	8.8 相位噪声带来的问题与设计优化	191
7.2.1 线性时变原理	145	8.8.1 对邻近信道造成的干扰	191
7.2.2 上、下变频	146	8.8.2 倒易混频	192
7.2.3 镜像频率	149	8.8.3 对星座图的影响	193
7.2.4 复数混频	150	8.8.4 设计优化	193
7.3 混频器指标	152	8.9 4~6 GHz 宽频带 CMOS LC 压控 振荡器设计实例	195
7.4 CMOS 混频器结构	153	8.9.1 选择电路结构	196
7.4.1 饱和区 MOSFET 混频器	153	8.9.2 选取部分器件	198
7.4.2 简单开关混频器	154	8.9.3 设计低噪声 LDO 结构	202
7.4.3 MOS 管电压开关型混频器	156	8.9.4 芯片测试	203
7.4.4 电流开关型混频器	158	8.10 本章小结	206
7.5 线性化技术与噪声分析	160	习题	207
7.5.1 MOSFET 的非线性	160	参考文献	208
7.5.2 线性化技术	162	第9章 CMOS 射频功率放大器	210
7.5.3 混频器的噪声分析	163	9.1 概述	210
7.6 下变频混频器设计实例	165	9.2 技术指标	210
7.6.1 设计指标	165	9.3 负载牵引设计方法	212
7.6.2 设计	166	9.4 非开关型射频功放分类	213
7.6.3 仿真	170	9.4.1 A 类功率放大器	213
7.7 本章小结	171	9.4.2 B 类功率放大器	215
习题	171	9.4.3 C 类功率放大器	217
参考文献	172	9.4.4 AB 类功率放大器	219
第8章 CMOS 射频振荡器	173	9.5 开关型射频功放分类	219
8.1 概述	173	9.5.1 D 类功率放大器	219
8.2 振荡器的主要指标	173	9.5.2 E 类功率放大器	219
8.2.1 普通振荡器指标	173	9.5.3 F 类功率放大器	220
8.2.2 压控振荡器指标	174	9.6 CMOS 工艺的射频功放面临的 问题	220
8.3 振荡器的工作原理	175	9.7 CMOS 射频功放的设计方法	222
8.3.1 正反馈与巴克豪森条件	175	9.7.1 采用差分结构	222
8.3.2 负阻的概念及负阻式振荡器	177	9.7.2 采用 Cascode 技术	222
8.4 环形振荡器	179	9.7.3 应用键合线电感	223
8.5 LC 振荡器	179	9.7.4 采用输出级阻抗优化技术	223
8.5.1 三点式 LC 振荡器	180	9.7.5 采用功率合成技术	224
8.5.2 差分 LC 振荡器	185	9.8 线性化技术	225
8.6 压控振荡器	186	9.8.1 功率放大器的非线性分析	225
8.6.1 可变电容器件	186	9.8.2 线性化技术	226
8.6.2 压控振荡器的结构和相位域 模型	188	9.9 本章小结	228
8.7 振荡器的干扰和相位噪声	188		

习题	229	11.3.2 ESD 测试模型	269
参考文献	229	11.3.3 ESD 防护基本原理	270
第 10 章 CMOS 射频锁相环与频率合成器	231	11.3.4 ESD 防护元件	271
10.1 概述	231	11.3.5 ESD 防护电路	274
10.2 锁相环原理	231	11.3.6 ESD 版图设计	278
10.2.1 锁相环的组成	231	11.4 接地设计	278
10.2.2 锁相环的相位模型	235	11.4.1 接地概述	278
10.3 锁相环的主要专业术语	236	11.4.2 常见的接地问题	278
10.4 电荷泵锁相环	237	11.4.3 直流地与交流地	279
10.4.1 鉴频鉴相器与电荷泵	237	11.4.4 “零阻抗”电容	279
10.4.2 电荷泵锁相环的动态特性	238	11.4.5 正确的接地设计	280
10.4.3 Type I 和 Type II 型锁相环	239	11.5 电磁兼容	281
10.4.4 Type II 型锁相环的非理想因素	240	11.5.1 电磁兼容概述	281
10.5 频率合成器	242	11.5.2 天线效应	281
10.5.1 频率合成器的技术指标及原理	242	11.5.3 数/模混合集成电路电磁兼容	285
10.5.2 变模分频频率合成器	243	11.6 本章小结	286
10.5.3 多环频率合成器	244	习题	286
10.5.4 小数分频频率合成器	245	参考文献	287
10.5.5 直接数字频率合成器	246	第 12 章 射频集成电路的测试	289
10.6 S 波段频率合成器设计实例	247	12.1 概述	289
10.6.1 设计指标	247	12.2 洁净间的防静电管理	289
10.6.2 鉴频鉴相器设计	247	12.3 常用测试设备简介	290
10.6.3 电荷泵设计	248	12.3.1 在芯片测试探针台	290
10.6.4 压控振荡器设计	250	12.3.2 其他测试仪器	291
10.6.5 分频器设计	254	12.3.3 键合与封装设备	294
10.6.6 整体电路及仿真	258	12.4 测试步骤与方法	295
10.7 本章小结	259	12.4.1 测试概述	295
习题	260	12.4.2 射频放大器的 S 参数测量	295
参考文献	260	12.4.3 低噪声放大器的噪声系数测量	298
第 11 章 版图匹配设计、ESD 防护设计、接地设计及电磁兼容	262	12.4.4 其他参量测试模型	301
11.1 概述	262	12.4.5 测试遇到的问题	303
11.2 版图匹配设计	262	12.4.6 去嵌入处理	303
11.2.1 造成失配的原因	262	12.4.7 测试结果的后处理与分析方法	305
11.2.2 设计的规则及方法	263	12.5 射频频段均衡器芯片测试实例	306
11.2.3 版图布局设计的关键问题	268	12.5.1 测试内容	306
11.3 ESD 防护设计	269	12.5.2 芯片测试	306
11.3.1 ESD 概述	269	12.6 本章小结	309
		习题	309
		参考文献	310

第1章 绪论

1.1 CMOS技术简介及发展趋势

互补金属氧化物半导体 (complementary metal-oxide-semiconductor transistor, CMOS) 技术发明于 20 世纪 60 年代。早在 1963 年, 仙童半导体 (Fairchild Semiconductor) 公司的 Frank Wanlass 就发明了 CMOS 电路。CMOS 的互补性具有两方面的意思: 一是电路包含 N、P 两种类型的 MOSFET (metal oxide semiconductor field effect transistor), 材料类型有互补性; 二是 NMOS、PMOS 对应的串联、并联互补, 即在结构上互补。CMOS 的互补结构具有很好的数字特性, 因此率先用于数字电路。

1968 年, 美国无线电公司的一个由亚伯·梅德温 (Albert Medwin) 负责的研究团队成功研发出第一个 CMOS 集成电路 (integrated circuit)。在当时, 虽然 CMOS 元件功耗比晶体管-晶体管逻辑电路 (transistor-to-transistor logic, TTL) 低, 但因其工作速度较慢, 因而主要应用于低功耗、延长电池寿命等的场合, 如电子手表等。如今的 CMOS 元件无论在面积、操作速度、功耗, 还是在制造成本上都比另外一种主流的半导体制程双极型晶体管 (bipolar junction transistor, BJT) 有优势, 使得很多利用 BJT 无法实现或是实现成本太高的设计, 都可以利用 CMOS 来实现。

以前的 CMOS 器件实际上是用来设计逻辑电路的, 原因是它的集成度高。在大多数高频应用中, 双极型技术占了主导地位, 早期的大多数模拟电路都是用双极型技术实现的。微波电路多采用砷化镓 (gallium arsenide, GaAs) 工艺和磷化铟 (indium phosphide, InP) 工艺制造, 这两种工艺虽然昂贵, 但工作频率很高。随着 CMOS 晶体管沟道长度的不断减小, 到 2004 年, $0.13\ \mu\text{m}$ 已经成为标准工艺, 随后出现了 90 nm 的工艺。不断减小的沟道长度使得器件的工作速度不断提高, 使 CMOS 器件能够在更高的频率上获得应用, 于是出现以 CMOS 射频集成电路 (RFIC) 为主要应用的行业。如今, 12 nm 和 7 nm 的 CMOS 工艺已经走向应用, 更先进的工艺正在开发之中。

1.1.1 CMOS 集成电路制程简介

在一块集成电路芯片中, 多个元件只有通过相互连接构成电路, 才能实现一个完整的系统。在数字系统中, 最基本的电路是反相器, 它的作用是将数字信号 1 变为 0, 或者将 0 变为 1。

20 世纪 80 年代, 出现了一种成熟的集成电路工艺技术——CMOS 技术。图 1-1 所示的互补型 MOS 工艺技术 (CMOS 技术) 是当时主流的工艺技术。

在 CMOS 电路中, P 沟道 MOS 管作为负载器件, N 沟道 MOS 管作为驱动器件, 这就要求在同一衬底上制造 PMOS 管和 NMOS 管, 因此必须把一种 MOS 管做在衬底上, 而另

一种 MOS 管做在高于衬底浓度的阱中。按照导电类型来分, CMOS 电路分为 P 阱 CMOS、N 阱 CMOS 和双阱 CMOS 电路。本书仅以 P 阱硅栅 CMOS 工艺以及双阱硅栅 CMOS 工艺为例做简单介绍^[8]。

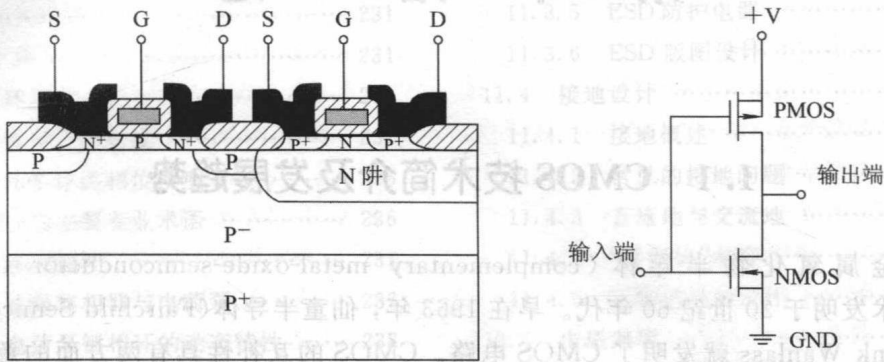


图 1-1 20 世纪 80 年代的典型工艺(CMOS 技术)

1. P 阱硅栅 CMOS 工艺和元件形成过程

典型的 P 阱硅栅 CMOS 工艺从衬底清洗到中间测试, 总共有 50 多道工序, 需要 5 次离子注入和 10 次光刻过程。图 1-2 给出了 P 阱硅栅 CMOS 反相器的工艺制程及芯片剖面示意图。

主要工艺步骤如下:

- (1) 光刻 1——阱区光刻, 刻出阱区注入孔(见图 1-2(a))。
- (2) 阱区注入及推进, 形成阱区(见图 1-2(b))。
- (3) 去除 SiO_2 , 长薄氧, 长 Si_3N_4 (见图 1-2(c))。
- (4) 光刻 2——有源区光刻, 刻出 P 管、N 管的源、漏和栅区(见图 1-2(d))。
- (5) 光刻 3——N 管区光刻, 刻出 N 管区注入孔。N 管区注入, 以提高场开启电压, 减小门锁效应及改善阱的接触(见图 1-2(e))。
- (6) 长场氧, 去除 SiO_2 和 Si_3N_4 (见图 1-2(f)), 然后长栅氧。
- (7) 光刻 4——P 管区光刻(用光刻 1 的负版)。P 管区注入, 调节 PMOS 管的开启电压(见图 1-2(g)), 然后长多晶硅。
- (8) 光刻 5——多晶硅光刻, 形成多晶硅硅栅及多晶硅电阻(见图 1-2(h))。
- (9) 光刻 6—— P^+ 区光刻, 刻去 P^+ 区上的胶。 P^+ 区注入, 形成 PMOS 管的源、漏区及 P^+ 保护环(见图 1-2(i))。
- (10) 光刻 7—— N^+ 区光刻, 刻去 N^+ 区上的胶(用光刻 6 的负版)。 N^+ 区注入, 形成 NMOS 管的源、漏区及 N^+ 保护环(见图 1-2(j))。
- (11) 长 PSG(phosphosilicate glass, 磷硅酸玻璃)(见图 1-2(k))。
- (12) 光刻 8——引线孔光刻。可先在长磷硅酸玻璃后开第一次孔, 然后在磷硅酸玻璃回流及结注入推进后开第二次孔(见图 1-2(l))。
- (13) 光刻 9——铝引线光刻。
- (14) 光刻 10——压焊块光刻(见图 1-2(m))。

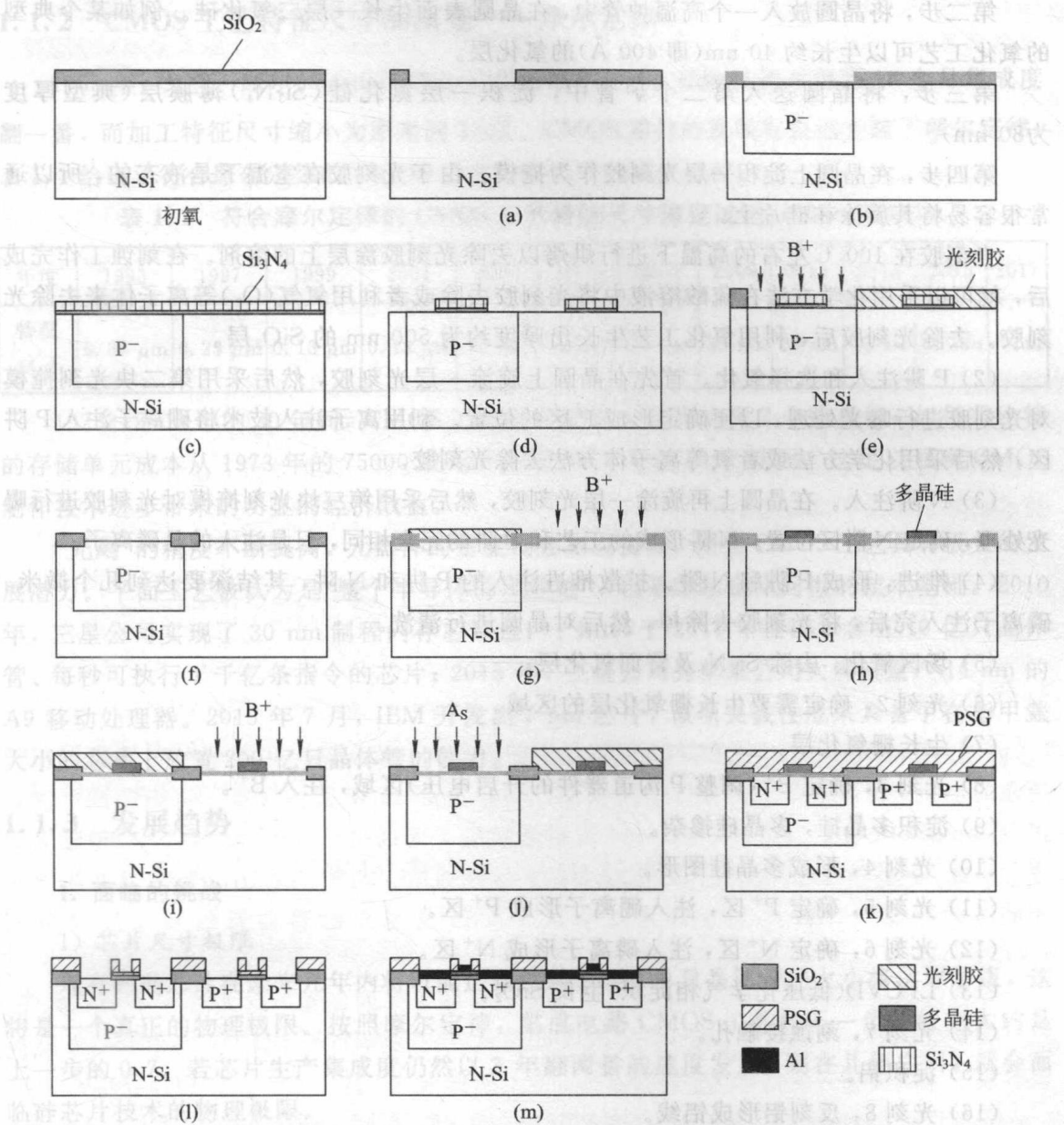


图 1-2 P 阱硅栅 CMOS 反相器的工艺制程及芯片剖面示意图

2. 双阱硅栅 CMOS 工艺

双阱 CMOS 工艺是为 P 沟道 MOS 管和 N 沟道 MOS 管提供各自独立的阱区的工艺。双阱 CMOS 工艺与传统的 P 阱 CMOS 工艺相比，能做出性能更好的 N 沟道 MOS 管，原因是它具有较低的电容和较小的衬底偏置效应。双阱 CMOS 的工艺制程除了阱的形成之外，其余与 P 阱 CMOS 的工艺类似，主要工艺步骤如下：

(1) 光刻 1：确定阱区，即有源区的形成。

典型的阱区表面掺杂浓度为 $10^{16} \sim 10^{17} \text{ cm}^{-3}$ ，通常还要求衬底掺杂浓度必须远低于阱区浓度，一般在 10^{15} cm^{-3} 数量级。具体步骤如下：

第一步，对硅晶圆表面进行化学清洗，目的是清除晶圆表面的各种污染物。

第二步,将晶圆放入一个高温炉管中,在晶圆表面生长一层二氧化硅。例如某个典型的氧化工艺可以生长约 40 nm(即 400 Å)的氧化层。

第三步,将晶圆送入第二个炉管中,淀积一层氮化硅(Si_3N_4)薄膜层(典型厚度为 80 nm)。

第四步,在晶圆上淀积一层光刻胶作为掩模。由于光刻胶在室温下是液态的,所以通常很容易将其旋涂在硅片上。

光刻胶在 100 °C 左右的高温下进行烘烤以去除光刻胶涂层上的溶剂。在刻蚀工作完成后,就可以采用化学方法在硫酸溶液中将光刻胶去除或者利用氧气(O_2)等离子体来去除光刻胶。去除光刻胶后,利用氧化工艺生长出厚度约为 500 nm 的 SiO_2 层。

(2) P 阱注入和选择氧化。首先在晶圆上旋涂一层光刻胶,然后采用第二块光刻掩模对光刻胶进行曝光处理,以便确定形成 P 区的位置。利用离子注入技术将硼离子注入 P 阱区,然后采用化学方法或者氧等离子体方法去除光刻胶。

(3) N 阱注入。在晶圆上再旋涂一层光刻胶,然后采用第三块光刻掩模对光刻胶进行曝光处理,确定 N 阱区位置。N 阱形成的工艺和 P 阱的完全相同,只是注入的是磷离子。

(4) 推进,形成 P 阱和 N 阱。扩散推进注入的 P 阱和 N 阱,其结深要达到几个微米。磷离子注入完后,将光刻胶去除掉,然后对晶圆进行清洗。

(5) 场区氧化,去除 Si_3N_4 及背面氧化层。

(6) 光刻 2,确定需要生长栅氧化层的区域。

(7) 生长栅氧化层。

(8) 光刻 3,确定 B^+ (调整 P 沟道器件的开启电压)区域,注入 B^+ 。

(9) 淀积多晶硅,多晶硅掺杂。

(10) 光刻 4,形成多晶硅图形。

(11) 光刻 5,确定 P^+ 区,注入硼离子形成 P^+ 区。

(12) 光刻 6,确定 N^+ 区,注入磷离子形成 N^+ 区。

(13) LPCVD(低压化学气相淀积)生长 SiO_2 。

(14) 光刻 7,刻蚀接触孔。

(15) 淀积铝。

(16) 光刻 8,反刻铝形成铝线。

图 1-3 为双阱硅栅 CMOS 反相器的版图和芯片剖面示意图。

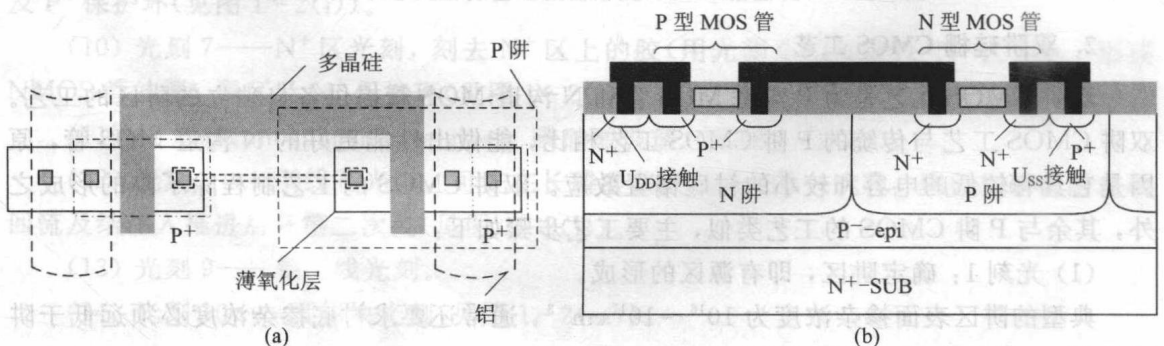


图 1-3 双阱硅栅 CMOS 反相器的版图和芯片剖面示意图

1.1.2 CMOS 工艺特征尺寸的演变——摩尔定律

1965年,戈登·摩尔(Gordon Moore)提出摩尔定律,预测硅芯片每隔18个月集成度翻一番,而加工特征尺寸缩小为原来的 $1/\sqrt{2}$ 。CMOS器件的发展有效地实践了摩尔定律。表1.1给出了符合摩尔定律的CMOS工艺特征尺寸的演变过程。

表 1.1 符合摩尔定律的 CMOS 工艺特征尺寸演变过程(1995—2017)

年度	1995	1997	1999	2001	2003	2005	2007	2009	2011	2013	2015	2017
特征尺寸	0.35 μm	0.25 μm	0.18 μm	0.13 μm	90 nm	65 nm	45 nm	32 nm	22 nm	16 nm	12 nm	7 nm

1973~2003年的30年间,CMOS工艺的制造成本下降达到7个数量级,如每兆比特的存储单元成本从1973年的75000欧元下降到2003年的0.01欧元。这足以显现CMOS制作技术进步带来的明显的经济效益。

“光刻”的精度不断提高,元器件的密度也会相应提高,因此CMOS工艺具有极大的发展潜力。平面工艺被认为是“整个半导体的工业键”,也是摩尔定律问世的技术基础。2010年,三星公司实现了30 nm制程内存芯片量产;Intel于2011年推出了含有10亿只晶体管、每秒可执行1千亿条指令的芯片;2015年,三星公司为苹果公司大规模量产14 nm的A9移动处理器。2015年7月,IBM开发出7 nm芯片,该项突破性成果具备了在指甲盖大小的芯片上放置200亿只晶体管的能力。

1.1.3 发展趋势

1. 面临的挑战^[1]

1) 芯片尺寸极限

现有的硅芯片在未来几年内将可能达到物理极限,单只晶体管的大小将达原子级,这将是一个真正的物理极限。按照摩尔定律,集成电路CMOS工艺每下一步的线宽大约是上一步的0.7。若芯片生产集成度仍然以3年翻两番的速度发展,则在几年之后,就会面临硅芯片技术的物理极限。

2) 漏电流

根据相关理论,当“栅极”的长度小于5 nm时,将会产生隧道效应。这是因为源极和栅极很近,电子会自行穿越通道,造成“0”、“1”逻辑错误。Intel的研究结果证明,隧道效应不管晶体管材质的化学特性怎样都会发生,当缩小晶体管尺寸到了一定程度时,必会产生隧道效应。

3) 功耗和散热

众所周知,处理器的功耗密度不可能无限地提高。虽然可以通过各种方式来降低功耗,但难以从根本上解决这个问题,因此功耗和散热问题成为一大挑战。

4) 成本

芯片制造设备成本的上升也给摩尔定律的延续带来了压力。IBM研究人员 Carl

Anderson 提出“摩尔定律即将没电”的观点,认为 IT 行业的指数增长现象走到了尽头。因为越来越多的设计人员发现,日常应用并不需要时下最新的架构设计以及最高端的芯片,而高额的研发费用以及生产线的更新也仅有少数公司可以承受。

2. 未来发展

集成电路正在逐渐逼近尺寸和计算能力的极限,意味着严格定义上的摩尔定律可能结束,但是随后会有大量新技术接踵而来。大量的新课题不断涌现,人们正在研究超越 CMOS 的新型器件,包括很多可以实现非硅内存器件和逻辑开关的技术,如自旋电子器件、纳米管、纳米线和分子电子器件等。例如,隧道场效应晶体管(TFET)应用量子力学的隧穿原理,直接穿越源(source)和漏(drain)间的屏障而不是扩散过去,能够实现低电源电压、低功耗以及更好的次临界摆幅,可以与 CMOS 工艺兼容。单电子晶体管(SET)的栅端电压控制稳定状态间的调谐,实现“岛”上单一电子的增或减,具有高速、高器件密度、高效等优势,从而带来新应用,同时与 CMOS 工艺兼容。除此之外,还有其他先进器件技术正处于研发和试验之中。

1.2 射频集成电路的发展历史、现状及发展趋势

1.2.1 发展历史

1864 年,Maxwell 在伦敦英国皇家学会发表论文,首次提出了电场和磁场通过在其所在的空间中交连耦合会使波传播的设想。1887 年,Hertz 实验证实了电磁能量可以通过空间发射和接收。1901 年,Marconi 成功地实现了无线信号(radio signals)横越大西洋。从此,无线技术正式诞生,从 1920 年的无线电通信、1930 年的 TV 传输,发展到 1980 年的移动电话、1990 年的全球定位系统(GPS)及当今的移动通信和无线局域网(WLAN)等。

在无线通信系统中,射频前端包含了从接收天线下来的低噪声放大器、下变频器、发信机的上变频器、功率放大器及用于调制解调的频率合成器等五大模块,它和其他功能模块构成了无线通信系统的主体。

半导体技术对无线通信起到至关重要的推动作用。高速有源器件的发明,如锗硅、砷化镓和高速 CMOS 器件等使得射频和微波系统迅速走向集成化,因此产生了射频集成电路。在射频 CMOS 工艺中,由于电阻、电容及电感等无源器件能与晶体管同时制作在一片衬底上,从而实现了射频电路与系统的全集成化,大大地降低了射频系统的尺寸。

1.2.2 现状

现代通信系统变得越来越复杂多样,以智能手机为例,它几乎成为人们不可或缺的日常必备工具。移动支付的出现及盛行,更加体现智能手机的价值。这些复杂的通信设备的核心就是集成电路,包括模拟集成电路和数字集成电路,而其中的射频集成电路又充当着举足轻重的角色。

随着集成电路设计与制造技术的进步,集成电路朝着系统集成(system on a chip,