

■ 英特尔FPGA中国创新中心系列丛书

电子信息 · **Ei** 精品

教育部“产学合作-协同育人”项目系列丛书

Intel大学计划力荐用书 / 北京海云捷迅科技有限公司力荐用书

# Intel FPGA 权威设计指南

## 基于 Quartus Prime Pro 19 集成开发环境


◎ 何 宾 编著

—— 系统介绍Intel Quartus Prime Pro 19集成开发环境的经典著作

—— 系统介绍Intel高级综合工具HLS的经典著作

—— 系统介绍Intel新一代Cyclone 10 GX FPGA架构和原理的经典著作

—— 系统介绍Intel可重配置技术的经典著作

 中国工信出版集团

 电子工业出版社  
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY  
<http://www.phei.com.cn>

英特尔 FPGA 中国创新中心系列丛书

教育部“产学合作-协同育人”项目系列丛书

# Intel FPGA 权威设计指南

## 基于 Quartus Prime Pro 19 集成开发环境

何 宾 编著



电子工业出版社

Publishing House of Electronics Industry

北京·BEIJING

## 内 容 提 要

本书以 Intel 公司的 Quartus Prime Pro 19 集成开发环境与 Intel 新一代的可编程逻辑器件 Cyclone 10 GX 为软件和硬件平台, 系统地介绍了可编程逻辑器件的原理和 Quartus Prime Pro 集成开发环境的关键特性。

全书共 11 章, 内容主要包括 Intel Cyclone 10 GX FPGA 结构详解、Quartus Prime Pro HDL 设计流程、Quartus Prime Pro 块设计流程、Quartus Prime Pro 定制 IP 核设计流程、Quartus Prime Pro 命令行脚本设计流程、Design Space Explorer II 设计流程、Quartus Prime Pro 系统调试原理及实现、Quartus Prime Pro 时序和物理约束原理及实现、Quartus Prime Pro 中 HDL 高级设计方法、Quartus Prime Pro 部分可重配置原理及实现, 以及 Intel 高级综合工具原理及实现方法。

本书可作为使用 Intel 集成开发环境 Quartus Prime Pro 进行 FPGA 设计的工程技术人员的参考用书, 也可作为电子信息类专业高年级本科生和研究生的教学与科研用书, 还可以作为 Intel 公司 Quartus Prime Pro 相关培训的培训教材。

未经许可, 不得以任何方式复制或抄袭本书之部分或全部内容。  
版权所有, 侵权必究。

### 图书在版编目 (CIP) 数据

Intel FPGA 权威设计指南: 基于 Quartus Prime Pro 19 集成开发环境 / 何宾编著. —北京: 电子工业出版社, 2020.2

(英特尔 FPGA 中国创新中心系列丛书)

ISBN 978-7-121-38244-4

I. ①I… II. ①何… III. ①可编程序逻辑器件-系统设计 IV. ①TP332.1

中国版本图书馆 CIP 数据核字 (2020) 第 020135 号

责任编辑: 张 迪 (zhangdi@phei.com.cn)

印 刷: 三河市良远印务有限公司

装 订: 三河市良远印务有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1092 1/16 印张: 51.25 字数: 1312 千字

版 次: 2020 年 2 月第 1 版

印 次: 2020 年 2 月第 1 次印刷

定 价: 199.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888, 88258888。

质量投诉请发邮件至 zlts@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

本书咨询联系方式: (010) 88254469; zhangdi@phei.com.cn。

# 英特尔 FPGA 中国创新中心

## 系列丛书组委会

- 张 瑞 中国创新中心总经理
- 袁亚东 大学计划经理
- 李 华 北京海云捷迅科技有限公司董事长
- 张征宇 北京海云捷迅科技有限公司总经理
- 田 亮 北京海云捷迅科技有限公司副总裁
- 黄 琦 英特尔软件产品市场经理

## 推荐序（一）

---

众所周知，我们正在进入一个全面科技创新的时代。科技创新驱动并引领着人类社会的发展，从人工智能、自动驾驶、5G，到精准医疗、机器人等，所有这些领域的突破都离不开科技的创新，也离不开计算的创新。从 CPU、GPU，到 FPGA、ASIC，再到未来的神经拟态计算、量子计算等，英特尔正在全面布局未来端到端的计算创新，以充分释放数据的价值。中国拥有巨大的市场和引领全球创新的需求，其产业生态的全面性，以及企业创新的实力、活力和速度都令人瞩目。英特尔始终放眼长远，以丰富的生态经验和广阔的全球视野，持续推动与中国产业生态的合作共赢。以此为前提，英特尔在 2018 年建立了中国创新中心，与 Dell、海云捷迅等合作伙伴携手共建 AI 和 FPGA 生态，并通过组织智能大赛、产学研对接及培训认证等方式，发掘优秀团队，培养专业人才，孵化应用创新，加速智能产业在中国的发展。

英特尔 FPGA 中国创新中心系列丛书是中国创新中心专为 AI 和 FPGA 领域的人才培养和认证而设计编撰的系列丛书，非常高兴作为中国创新中心的总经理为丛书写序。同时也希望该系列丛书能为中国 AI 与 FPGA 相关产业的生态建设与人才培养添砖加瓦！

张 瑞

英特尔®FPGA 中国创新中心 总经理  
2019 年秋

# 张 瑞

## 英特尔® FPGA 中国创新中心 总经理



张瑞先生现任中国创新中心总经理，总体负责中国区芯片对外合作，以及自动驾驶和 FPGA 等领域的生态建设。同时也兼任（中国）汽车电子产业联盟副理事长和副秘书长的职务，致力于推动包括 5G、机器视觉、传感器融合和自主决策等多项关键自动驾驶相关技术在中国的落地与合作。

张瑞先生拥有多年世界领先半导体公司的从业经历。在加入英特尔之前，曾在瑞萨电子和飞思卡尔半导体担任多个关键技术和管理工作。

张瑞先生曾于 2008 年编写并出版过科学技术类图书《Coldfire 处理器深入浅出》一书。

## 推荐序 (二)

自 2003 年 Altera 在中国高校开展大学计划以来,通过兴建联合实验室,组织教师培训,举行学生创新竞赛等方式,将 FPGA 技术及设计方法带到了许多高校之中,一批又一批掌握了 FPGA 技术的毕业生,从学校走向工作岗位,发挥着他们的核心骨干作用。而由 Altera 大学计划所带领的这种校企合作方式,也被越来越多的企业所采用,共同为我们的教育事业,贡献着自己的一份力量。

Altera 于 2015 年合并进入英特尔,Altera 的 FPGA 产品,也全面与英特尔的优势资源相结合,广泛地应用于人工智能、算法加速、5G 等新技术之中。而全新的 Intel FPGA 大学计划,不仅继承了之前 Altera 大学计划的所有优势,又充分地利用了英特尔的技术和资源,借助教育部产学研合作这个平台,与高校在联合课程开发、师资培训、学生系统能力培养等方面,继续展开广泛且更加深入的合作。

英特尔 FPGA 中国创新中心系列丛书的计划,就是在这样一个背景下酝酿而生的,我们希望借助英特尔的技术资源,联合 Intel FPGA 中国创新中心,再借助高校优秀教师多年的教学经验,共同为广大师生和对 FPGA 感兴趣的读者,打造一套全面的、专业的技术书籍,从而让大家可以尽快掌握和使用 FPGA 这项前沿技术。

这套英特尔 FPGA 中国创新中心系列丛书基于最新的 Intel 开发工具 Quartus Prime 软件,内容专业且全面,除了详尽的基础知识,也覆盖了与 FPGA 设计相关的时序分析、嵌入式系统、数字信号处理等高阶内容,读者可以根据自身情况选择阅读,既可以作为从入门到精通的学习教材,也可以作为学习某些关键技术点的参考手册。

最后要感谢何宾老师为本书做出的辛勤努力,也感谢每一位读者的支持!

袁亚东

大学计划经理

2019 年 11 月 7 日于上海

# 前 言

2015年6月,英特尔(Intel)公司宣布以167亿美元的价格收购全球第二大可编程逻辑器件厂商阿尔特拉(Altera)公司。阿尔特拉公司被英特尔收购后,就成为了英特尔可编程方案事业部(Intel FPGA)。投入英特尔怀抱后,原先基于阿尔特拉公司的可编程解决方案水平显著提高,主要体现在两个方面:在将原来阿尔特拉公司的Quartus II软件集成开发环境进化成Quartus Prime集成开发环境后,Quartus Prime集成开发环境的功能和性能有了显著提高;现场可编程门阵列产品更加丰富,新系列产品的功能和性能也显著增强。可以预测,借助英特尔公司强大而丰富的生态系统资源,英特尔新的可编程解决方案将在大数据、人工智能,以及云计算等新兴热点领域发挥越来越重要的作用。

2018年年底,通过英特尔大学合作部经理颜历女士的介绍,有幸结识英特尔FPGA大学计划经理袁亚东先生,他希望我能基于英特尔可编程解决方案编写一套技术丛书。作为一名教育工作者,我有责任根据自己多年从事FPGA教学和科研工作的经历并结合英特尔最新的技术资料,将英特尔最新的可编程解决方案系统呈现给广大从事相关工作的学生、教师和广大工程技术人员。从2019年年初开始,计划用大约一年半的时间,我将陆续编写并出版4本能够反映英特尔最新可编程技术的图书。这样,所编写和出版的相关图书就能够满足国内大多数从事可编程逻辑器件解决方案读者的需求,这将进一步满足可编程逻辑技术在新信息技术领域的应用需求,从而助力中国创新和中国智造。

作为该系列丛书的第一本图书,全书共11章内容,以Intel新一代Cyclone 10 GX器件和Quartus Prime Pro 19集成开发环境为主线,全面系统地介绍了Cyclone 10 GX FPGA内部架构、Quartus Prime Pro HDL设计流程、Quartus Prime Pro 块设计流程、Quartus Prime Pro 定制IP核设计流程、Quartus Prime Pro 命令行脚本设计流程、Design Space Explorer II设计流程、Quartus Prime Pro 系统调试原理及实现、Quartus Prime Pro 时序和物理约束原理及实现、Quartus Prime Pro 中HDL高级设计方法、Quartus Prime Pro 部分可重配置原理及实现,以及Intel高级综合工具原理及实现方法。应该说,书中很多内容均是首次以中文图书的形式对系统进行详细解读的。

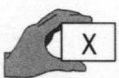
在本书编写的过程中,得到Intel FPGA大学计划经理袁亚东先生的全力支持与指导,Intel FPGA大学计划李晓嫣女士为本书的编写也提供了很大帮助,Intel PSG SoC技术专家黄琦先生为本书的编写提供了技术支持。作为英特尔中国创新中心创始单位之一的北京海云捷迅科技有限公司组织并策划了该系列丛书的编写,该公司田亮先生、任德智先生和王晓星女

士也对本书的编写提供了大量的支持和帮助，在此一并表示感谢。电子工业出版社的张迪编辑与作者合作多年，为本套丛书的整体策划和高质量出版倾注了大量的心血，在此也要向她表示我最衷心的感谢。

由于作者能力和水平有限，书中会有不足之处，恳请广大读者予以批评指正。

作者

2020年1月于北京



# 学习说明

## Study Shows

### 1. 本书所提供配套资源的下载地址

<http://www.gpnewtech.com>

注意：所有教学课件及工程文件仅限购买本书读者学习使用，不得以任何方式传播！

### 2. 作者联络方式

电子邮件：[hb@gpnewtech.com](mailto:hb@gpnewtech.com)

### 3. 更多资源请关注作者微信公众平台



# 目 录

<b>第1章</b>	<b>Intel Cyclone 10 GX FPGA 结构详解</b>	1
1.1	逻辑阵列块和自适应逻辑块	1
1.1.1	ALM 结构和功能	1
1.1.2	LUT 的工作模式	2
1.1.3	寄存器和锁存器	12
1.1.4	LAB 的互联架构	21
1.1.5	分布式存储器	22
1.2	存储器块	32
1.2.1	嵌入式存储器块设计指导	32
1.2.2	存储器块打包模式	34
1.2.3	地址时钟使能	35
1.2.4	存储器块异步清除	35
1.2.5	存储器块纠错码	35
1.2.6	使用 M20K 实现 RAM	36
1.3	时钟网络和相位锁相环	40
1.3.1	时钟网络类型	40
1.3.2	时钟资源功能	43
1.3.3	层次化时钟结构	45
1.3.4	时钟控制块	47
1.3.5	时钟功耗控制	50
1.3.6	相位锁相环	52
1.4	I/O 块	58
1.4.1	I/O 组的排列	59
1.4.2	I/O 电气标准	60
1.4.3	I/O 架构和特性	62
1.4.4	可编程的 IOE 特性	65
1.4.5	片上端接	67
1.4.6	SERDES 和 DPA	67
1.5	DSP 块	70
1.5.1	DSP 块特性	71
1.5.2	DSP 块资源	71

1.5.3	DSP 块架构	72
1.5.4	DSP 块应用	72
1.6	外部存储器接口	78
1.6.1	外部存储器接口特性	79
1.6.2	外部存储器接口 I/O 引脚	80
1.6.3	器件封装支持的存储器接口	80
1.6.4	外部存储器接口架构	82
1.7	配置技术	87
1.7.1	AS 配置	89
1.7.2	PS 配置	94
1.7.3	FPP 配置	97
1.7.4	JTAG 配置	106
1.7.5	配置流程	108
1.8	电源管理	110
1.8.1	功耗	110
1.8.2	可编程电源技术	110
1.8.3	电源传感线	111
1.8.4	片上电压传感器	111
1.8.5	温度传感二极管	112
1.8.6	上电/断电顺序要求	112
<b>第2章</b>	<b>Quartus Prime Pro HDL 设计流程</b>	<b>113</b>
2.1	Quartus Prime Pro 及组件的下载、安装和授权	113
2.1.1	下载 Quartus Prime Pro 及组件	113
2.1.2	安装 Quartus Prime Pro 及组件	117
2.1.3	授权 Quartus Prime Pro 及组件	118
2.2	Quartus Prime Pro 功能和特性	121
2.3	Quartus Prime Pro 设计流程	122
2.3.1	处理流程框架	122
2.3.2	增量优化的概念	125
2.3.3	超感知设计流程	125
2.4	建立新的设计工程	128
2.5	添加新的设计文件	134
2.6	设计的分析和综合处理	137
2.6.1	分析和综合的概念	137
2.6.2	分析和综合的属性选项	140
2.6.3	分析和综合的实现	147
2.6.4	查看分析和综合的结果	149

2.7 设计的行为级仿真	155
2.7.1 使用 Verilog HDL 生成测试向量的仿真	155
2.7.2 使用波形文件生成测试向量的仿真	161
2.8 设计的约束	165
2.8.1 通过 GUI 指定约束的方法	165
2.8.2 使用 Tcl 脚本约束设计的方法	166
2.8.3 在 Assignment Editor 中添加约束条件	172
2.8.4 在 Pin Planner 中添加约束条件	174
2.8.5 I/O 分配分析	178
2.8.6 添加简单的时序约束条件	180
2.9 设计的适配	184
2.9.1 适配器设置选项	184
2.9.2 适配的实现	189
2.9.3 查看适配后的结果	190
2.10 查看时序分析结果	196
2.10.1 时序分析的基本概念	196
2.10.2 时序路径和时钟分析	197
2.10.3 时钟建立分析	200
2.10.4 时钟保持分析	201
2.10.5 恢复和去除分析	202
2.10.6 多周期路径分析	203
2.10.7 亚稳态分析	206
2.10.8 时序悲观	207
2.10.9 时钟作为数据分析	208
2.10.10 多角时序分析	209
2.10.11 时序分析的实现	210
2.11 功耗分析原理和实现	217
2.11.1 功耗分析器输入	218
2.11.2 功耗分析器设置	220
2.11.3 节点和实体分配	222
2.11.4 执行功耗分析	223
2.12 生成编程文件	226
2.12.1 装配器选项属性设置	226
2.12.2 可编程文件类型	232
2.12.3 运行装配器工具	232
2.12.4 生成 PROM 文件	233
2.13 下载设计	239
2.13.1 下载设计到 FPGA	239



2.13.2	编程串行 Flash 存储器	241
<b>第 3 章</b>	<b>Quartus Prime Pro 块设计流程</b>	<b>243</b>
3.1	基于块的设计介绍	243
3.1.1	与块设计有关的术语	243
3.1.2	设计块重用介绍	244
3.1.3	基于块的增量编译介绍	246
3.2	设计方法学介绍	247
3.2.1	自顶向下设计方法学介绍	247
3.2.2	自底向上设计方法学介绍	247
3.2.3	基于团队的设计方法学介绍	248
3.3	设计分区	249
3.3.1	为外围 IP、时钟和 PLL 规划分区	250
3.3.2	设计分区指导	251
3.3.3	保留和重用分区快照	251
3.3.4	创建设计分区	252
3.4	设计分区重用流程	255
3.4.1	重用核心分区	256
3.4.2	重用根分区	263
3.4.3	保留核心实体重新绑定	269
3.5	增量块设计流程	270
3.5.1	增量的时序收敛	270
3.5.2	设计抽象及实现	272
3.5.3	空分区时钟源保留	273
3.6	设计块重用和基于块增量编译的组合	273
3.7	建立基于团队的设计	274
3.7.1	为基于团队的设计创建一个顶层工程	274
3.7.2	为工程集成准备一个设计分区	277
3.8	自底向上的设计考虑	278
<b>第 4 章</b>	<b>Quartus Prime Pro 定制 IP 核设计流程</b>	<b>279</b>
4.1	Platform Designer 工具功能介绍	279
4.1.1	Platform Designer 支持的接口	279
4.1.2	元件结构	280
4.1.3	元件文件组织	281
4.1.4	元件版本	281
4.1.5	IP 元件的设计周期	281
4.2	调用 Platform Designer 工具	282

4.3	创建定制元件 IP 核	285
4.3.1	指定 IP 元件类型	285
4.3.2	创建/指定用于综合和仿真的 HDL 文件	286
4.4	创建通用元件 IP 核	298
4.5	对定制元件 IP 核进行验证	309
4.6	对通用元件 IP 核进行验证	310
4.6.1	添加顶层原理图文件	310
4.6.2	修改 user_define.v 文件	312
4.6.3	添加 generic_component_0.v 文件	314
4.7	IP 核生成输出 (Quartus Prime Pro 版本)	315
<b>5</b>	<b>第 5 章 Quartus Prime Pro 命令行脚本设计流程</b>	<b>317</b>
5.1	工具命令语言	317
5.2	Quartus Prime Tcl 包	317
5.3	Quartus Prime Tcl API Help	319
5.3.1	命令行选项	321
5.3.2	Quartus Prime Tcl 控制台窗口	323
5.4	端到端的设计流程	323
5.4.1	建立新的设计工程	325
5.4.2	添加新的设计文件	325
5.4.3	添加设计约束条件	326
5.4.4	设计综合	329
5.4.5	设计适配	330
5.4.6	设计装配 (生成编程文件)	331
5.4.7	报告	331
5.4.8	时序分析	333
5.5	自动脚本执行	335
5.5.1	执行例子	336
5.5.2	控制处理	336
5.5.3	显示消息	337
5.6	其他脚本	337
5.6.1	自然总线命名	337
5.6.2	短选项名字	337
5.6.3	集合命令	337
5.6.4	Node Finder 命令	339
5.6.5	get_names 命令	354
5.6.6	post_message 命令	356
5.6.7	访问命令行参数	356

5.6.8	quartus() Array	358
5.7	tcsh shell	359
5.8	Tcl 脚本基础知识	359
5.8.1	Intel FPGA COOL 的例子	359
5.8.2	变量	359
5.8.3	替换	360
5.8.4	算术	360
5.8.5	列表	361
5.8.6	数组	361
5.8.7	控制结构	362
5.8.8	过程(子程序或函数)	363
5.8.9	文件 I/O	363
<b>6</b>	<b>Design Space Explorer II 设计流程</b>	<b>365</b>
6.1	启动 DSE II 工具	365
6.2	DSE II 工具介绍	366
6.2.1	Project 页面	366
6.2.2	Setup 页面	367
6.2.3	Exploration 页面	369
6.2.4	Status 页面	373
6.3	在本地计算机上探索不同的实现策略	373
6.4	在远程计算机上探索不同的实现策略	377
6.4.1	创建一个 Azure 账户	378
6.4.2	下载 PuTTY 相关工具	378
6.4.3	选择 Intel FPGA 工具	379
6.4.4	创建和配置虚拟机	380
6.4.5	配置和启动 PuTTY 工具	388
6.4.6	捕获虚拟机上的 GUI 界面	391
6.4.7	打开 Quartus Prime 软件	393
6.4.8	终止虚拟机	395
6.4.9	持久存储和数据传输	396
6.4.10	搭建和配置许可证服务器	397
6.4.11	连接到许可证服务器	406
6.4.12	在虚拟机上运行 DSE II	407
<b>7</b>	<b>Quartus Prime Pro 系统调试原理及实现</b>	<b>411</b>
7.1	系统调试工具概述	411
7.1.1	系统调试工具组合	411

7.1.2	用于监视 RTL 节点的工具	414
7.1.3	具有激励功能的工具	416
7.1.4	Virtual JTAG Interface Intel FPGA IP 核	417
7.1.5	系统级调试结构	417
7.1.6	SLD JTAG 桥	418
7.1.7	部分重配置设计调试	422
7.2	使用 Signal Tap 逻辑分析仪的设计调试	422
7.2.1	软件和硬件要求	423
7.2.2	Signal Tap 逻辑分析仪的特性和优点	423
7.2.3	Signal Tap 逻辑分析仪任务流程概述	424
7.2.4	创建新的调试工程	426
7.2.5	添加 FIFO IP 核	427
7.2.6	添加顶层设计文件	430
7.2.7	配置 Signal Tap 逻辑分析仪	432
7.2.8	编译设计	463
7.2.9	编程目标器件或器件	467
7.2.10	运行逻辑分析仪	468
7.2.11	查看、分析和使用捕获的数据	472
7.3	使用 Signal Probe 的快速设计验证	474
7.4	使用外部逻辑分析仪的系统内调试	477
7.4.1	选择逻辑分析仪	477
7.4.2	为逻辑分析仪接口定义参数	479
7.4.3	将 LAI 文件引脚映射到可用的 I/O 引脚	480
7.4.4	将内部信号映射到 LAI 组	480
7.4.5	编译 Quartus Prime 工程	481
7.4.6	使用 LAI 编程 Intel 支持的器件	482
7.4.7	运行时控制活动的组	482
7.5	系统内修改存储器和常量	482
7.5.1	用系统内存储器内容编辑器调试设计	483
7.5.2	使能运行时修改设计中的实例	483
7.5.3	用系统内存储器内容编辑器编程器件	484
7.5.4	将存储器实例加载到 ISMCE	485
7.5.5	监视存储器中的位置	485
7.5.6	使用“Hex Editor”窗口编辑存储器内容	486
7.5.7	导入和导出存储器文件	487
7.6	使用系统内源和探针的设计调试	488
7.6.1	系统内源和探针的设计流程概述	489
7.6.2	例化 In-System Sources & Probes IP 核	490