



普通高等教育“十三五”电子信息类规划教材

现代数字系统设计

第②版

于海雁 主编

Design of Modern Digital System

 机械工业出版社
CHINA MACHINE PRESS

普通高等教育“十三五”电子信息类规划教材

现代数字系统设计

第2版

主 编 于海雁
副主编 汤永华 庞 杰 金 香
参 编 李晓游 姜 翌 孙洪林



机械工业出版社

本书简要介绍了现代数字系统设计的设计思想和硬件基础知识,包括现代数字系统的各类典型应用,以及在实际数字系统设计时如何进行选型等问题。书中重点介绍了 Verilog HDL 的基础知识、基本内容和基本结构,特别是在书中汇集了作者多年工程实践的体会和经验,为读者提出了若干在实际使用中需要着重注意的问题,并提供了大量经过工程实践验证过的实例供读者参考和练习。

本书是基于 Verilog HDL 的现代数字系统设计的初级读本,适合电子、电气、自动化和计算机等相关专业作为教材使用,也可供相关专业技术人员参考。

图书在版编目 (CIP) 数据

现代数字系统设计/于海雁主编.—2版.—北京:机械工业出版社,2019.4

普通高等教育“十三五”电子信息类规划教材

ISBN 978-7-111-62138-6

I. ①现… II. ①于… III. ①可编程序逻辑器件-系统设计-高等学校-教材 IV. ①TP332.1

中国版本图书馆 CIP 数据核字 (2019) 第 037459 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

策划编辑:王玉鑫 责任编辑:王玉鑫 王小东

责任校对:郑婕 封面设计:张静

责任印制:张博

三河市宏达印刷有限公司印刷

2019年4月第2版第1次印刷

184mm×260mm·13.5印张·334千字

标准书号:ISBN 978-7-111-62138-6

定价:34.80元

凡购本书,如有缺页、倒页、脱页,由本社发行部调换

电话服务

服务咨询热线:010-88379833

读者购书热线:010-68326294

封面防伪标均为盗版

网络服务

机工官网:www.cmpbook.com

机工官博:weibo.com/cmp1952

教育服务网:www.cmpedu.com

金书网:www.golden-book.com

前 言

随着 EDA 技术和半导体工艺的发展，现代数字系统设计的规模和功能不断增大、增强，系统的设计思想、设计过程和实现方式都发生了巨大的变化，可编程片上系统（SOPC）的设计应用越来越广泛。本书融入了作者多年工程实践和教学经验，将硬件描述语言的学习与应用实例相结合，突出对语言运用能力的应用和把握，使初学者快速加深对现代数字系统设计的理解和运用。

本书在章节安排上按照认知的一般规律，由浅入深、由易到难，首先使初学者对现代数字系统有一个总体的、概念性的认知，初步了解现代数字系统设计的一般思路和步骤。通过对现代数字设计的核心单元，即可编程逻辑器件（PLD）的结构表示方式的介绍，为后续流行的可编程逻辑器件的应用做铺垫，并从描述方式上明晰现代数字系统与传统数字系统在设计方法上的区别。在了解必要的结构描述方式后，向读者全面展示当前主流的两类可编程逻辑器件（CPLD 和 FPGA）的结构特点、主要的内部结构和功能特性。由此对可编程逻辑器件所能实现的功能有了比较深入的了解。硬件描述语言的准确运用是现代数字设计的关键，本书全面细致地讲解了 Verilog HDL（Verilog 硬件描述语言）的基础知识，对每个关键知识点强调应用技巧和注意事项，尤其是对同一功能的不同实现方法的阐述，引导读者发散思维、不拘一格、灵活运用。将大量的数字系统设计实例贯穿于程序输入、工程建立、逻辑综合、查错优化、仿真验证直到下载调试等整个系统设计流程。

本书章节安排如下：

第 1 章介绍现代数字设计的概念、基本特征、可编程逻辑器件的发展历史和当前主要应用领域。

第 2 章介绍可编程逻辑器件的硬件基础，包括器件的分类及其特点，特别是主流器件的基本结构、原理和特性等。

第 3 章介绍 Verilog HDL 的基本语言构件，包括语言的发展历史、基本结构、语言要素和数据类型等。

第 4 章进一步介绍 Verilog HDL 的编程方法和实现方式。该章包含了 Verilog HDL 的核心内容。

第 5 章详细介绍 ALTERA 公司的 Quartus II 集成开发环境的开发流程。

第 6 章介绍了基本数字电路的设计实例，包括同一功能电路的不同实现方式；介绍了录码点钞机等的实际工程实例。

第 7 章给出了十个实验项目，包括组合电路实验、时序电路实验及数字系统设计实验。实验的目的是帮助读者尽快掌握模块设计和系统设计的基本概念及方法。

本书第 1、2、7 章及附录由庞杰编写，第 3 章由金香编写，第 4 章由于海雁编写，第 5 章由李晓游编写，第 6 章由汤永华编写，姜翌和孙洪林参与书中实例的选定和程序的调试，全书由于海雁统稿。

本书中的逻辑符号均采用了国外流行符号，附录 D 给出了与国标符号的对照表，供参考。

在本书的编写过程中参考了不少专家、学者的文献，特别是主流器件生产厂家的英文原版文献。在内容组织、文字表述、章节安排等方面都从不同的文献资料中汲取了宝贵的经验，受益匪浅，在此向所有参考过的文献的作者一并表示衷心感谢！

由于作者教学、实践经验与水平有限，书中必定存在疏漏之处，敬请读者批评指正。联系方式 yuhaiyan@sut.edu.cn。

编者

目 录

前 言

第 1 章 绪论 1

1.1 现代数字系统设计简介 1

1.1.1 现代数字系统设计流程 1

1.1.2 自顶向下设计方法 2

1.1.3 设计准则 2

1.2 现代数字系统设计的硬件基础 3

1.2.1 PLD 发展历程 4

1.2.2 CPLD 与 FPGA 5

1.2.3 PLD 发展趋势 6

1.2.4 PLD 主要应用领域和应用前景 7

1.3 现代数字系统设计的开发环境 9

1.3.1 开发环境 9

1.3.2 硬件描述语言 10

思考题 11

第 2 章 硬件基础 12

2.1 可编程逻辑器件分类 12

2.2 Altera PLD 系列及特性 13

2.3 典型复杂可编程逻辑器件结构 14

2.3.1 可编程逻辑器件的基本结构 14

2.3.2 复杂可编程逻辑器件 16

2.4 典型现场可编程门阵列结构 20

2.4.1 Cyclone IV 系列内部主要结构 20

2.4.2 FPGA 器件选用规则 24

2.5 PLD 的一般设计流程 26

思考题 28

第 3 章 Verilog HDL 基本构件 29

3.1 Verilog HDL 简介 29

3.2 Verilog HDL 程序的基本结构 29

3.3 Verilog HDL 的基本要素 31

3.3.1 识别符 31

3.3.2 注释 32

3.3.3 系统任务和函数 33

3.3.4 编译指令 33

3.3.5 数值表示 36

3.3.6 数据类型 38

3.3.7 参数 44

3.3.8 操作数 44

3.4 操作符 46

3.4.1 算术操作符 47

3.4.2 关系操作符 48

3.4.3 逻辑操作符 48

3.4.4 按位操作符 49

3.4.5 缩位操作符 49

3.4.6 移位操作符 50

3.4.7 条件操作符 50

3.4.8 连接和复制操作符 51

思考题 51

第 4 章 Verilog HDL 进阶 52

4.1 内置门 52

4.1.1 多输入门 52

4.1.2 多输出门 54

4.1.3 三态门 54

4.1.4 上拉、下拉电阻 55

4.1.5 MOS 开关 55

4.1.6 双向开关 56

4.1.7 门传输延时 56

4.1.8 实例数组 58

4.1.9 内置门应用的简单实例 58

4.2 用户原语 61

4.2.1 组合电路 UDP 62

4.2.2 时序电路 UDP 63

4.3 数据流建模 66

4.3.1 连续赋值语句 66

4.3.2 线网说明赋值 67

4.3.3 延时 68

4.4 行为建模 69

4.4.1 initial 语句 70

4.4.2 always 语句 71

4.4.3 事件控制 72

4.4.4 语句块 73

4.4.5 过程性赋值	76	6.2 时序电路语言描述	145
4.4.6 常用过程语句	80	6.2.1 脉冲触发的 D 触发器	145
4.5 结构建模	84	6.2.2 十进制计数器	148
4.5.1 结构建模的基本单元	85	6.2.3 彩灯控制器	152
4.5.2 模块调用的结构建模方式	85	6.3 综合设计实例	159
4.5.3 简单结构建模举例	92	6.3.1 可校时的 24 制数字钟	159
4.6 任务及函数	92	6.3.2 基于 FPGA 的点钞机纸币图像 双向录入系统	172
4.6.1 任务	92	思考题	188
4.6.2 函数	93	第 7 章 数字电路和数字系统实验	191
4.6.3 系统任务和系统函数	95	实验一 四选一数据选择器	191
4.6.4 禁止语句	99	实验二 七段译码器	192
思考题	100	实验三 BCD 码全加器	193
第 5 章 软件使用流程	101	实验四 十进制计数器	194
5.1 主界面介绍	101	实验五 彩灯控制器	196
5.2 设计流程	102	实验六 扫描数码显示	197
5.2.1 新建源文件	102	实验七 数显频率计	197
5.2.2 新建工程	108	实验八 数字抢答器	199
5.2.3 逻辑综合	115	实验九 多功能数字钟	200
5.2.4 仿真流程	116	实验十 直接数字频率合成器	202
5.2.5 锁定引脚与下载	121	附录	205
思考题	125	附录 A Verilog HDL 关键词	205
第 6 章 设计实例	126	附录 B Verilog HDL 文法	206
6.1 组合电路语言描述	126	附录 C 可编程逻辑器件芯片常用封装	207
6.1.1 二选一数据选择器	126	附录 D 逻辑符号对照表	209
6.1.2 四选一数据选择器	130	参考文献	210
6.1.3 七段显示译码器	136		
6.1.4 普通译码器设计	138		

第 1 章 绪 论

1.1 现代数字系统设计简介

现在的电子设备，单纯用模拟电路实现的已经很少见了。通常情况是，只在微弱信号放大、高速数据采集和大功率输出等局部采用模拟电路，其余部分（如信号处理等）均采用数字电路。也就是说，对大多数电子设备而言，其主体部分是数字系统。由于数字技术在处理和传输信息方面的各种优点，使数字技术的使用已渗透到人类生活的各个领域。从概念上讲，凡是利用数字技术处理和传输信息的系统都可以称为数字系统。本书中所指的数字系统，均指由数字电路构成的纯硬件数字系统。

1.1.1 现代数字系统设计流程

随着技术的发展，数字系统设计依靠手工来进行已经无法满足设计要求，现代数字系统设计通常都是在计算机上采用电子设计自动化（Electronics Design Automation, EDA）技术完成的。EDA 技术以计算机硬件和系统软件为基础，采用 EDA 集成开发环境，在计算机上完成电路的功能设计、逻辑设计、性能分析、时序测试直至 PCB（印制电路板）的自动设计等。基于芯片的设计、TOP-DOWN（自顶向下）设计方法和设计仿真成为系统设计的主要手段。

一个完整的数字系统设计可以分为 4 个层次，即系统级设计、电路级设计、芯片级设计和电路板级设计。相应地，从提出设计要求到完成系统成品，可以分为以下几个步骤：系统设计、芯片设计、电路设计、PCB 设计、结构设计及电路调试和系统调试，如图 1-1 所示。

1. 系统设计

系统设计将设计任务转换成确定的、可实现的功能和技术指标要求，确定可行的技术方案，在系统一级描述系统的功能和技术指标要求。确定各功能模块之间的接口关系。系统设计实质上是原理性设计，是数字系统设计的关键步骤，也是最困难的。

2. 电路设计

电路设计确定实现系统要求的算法和电路形式，在电路级描述系统功能。

3. 芯片设计

芯片设计按照电路设计确定的算法和电路形式，通过设计芯片内部的逻辑功能来实现这些算法和电路，即设计专用的集成电路芯片。用 EDA 技术设计数字系统的实质是一种

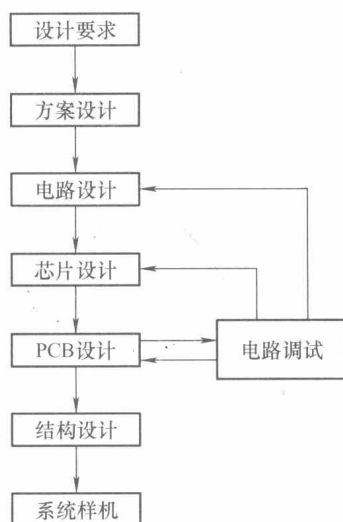


图 1-1 数字系统设计流程框图

“自顶向下”的分层设计方法。在每一层次上，都有描述、划分、综合和验证4个步骤。特别是大规模可编程器件性能日趋完善和成本降低、在系统可编程（In System Programmable）技术的广泛应用、功能强大的EDA软件，使得设计工作变得十分简单。

4. PCB设计

PCB设计是芯片设计工作的继续，实现系统整体的功能，同时进行初步的工艺和机械结构的设计，其中包括确定电路板的尺寸以及元器件的布局和布线。

5. 调试

调试的目的是检查设计中存在的问题，其中包括电路调试和系统调试。电路调试是测试单块电路板的功能和性能指标是否能够满足设计要求。系统调试是对电路板进行联调，检查电路板之间的接口、系统整体功能和性能指标是否满足设计要求。

6. 结构设计

结构设计包括机箱设计和面板设计。

1.1.2 自顶向下设计方法

自顶向下设计是目前常用的数字系统设计方法，也是基于芯片设计的主要方法。这种方法的主要目的在于将系统划分为控制器件和受控电路两部分，确定受控电路是由哪些模块实现的。将设计由上到下进行层次化和模块化的功能分割，分模块地进行设计和仿真，如图1-2所示。高层次设计进行功能和接口描述，说明模块的功能和接口，模块功能的更详细描述将在下一设计层次说明，最底层的设计才涉及具体寄存器和逻辑门电路等实现方式的描述。这里所说的“模块”可能是芯片或电路板。

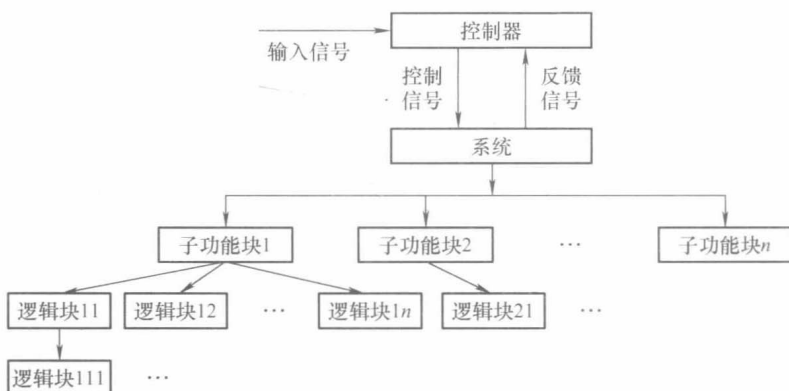


图 1-2 自顶向下设计方法框图

这里所说的“模块”可能是芯片或电路板。

1.1.3 设计准则

进行数字系统设计时，通常需要考虑多方面的条件和要求。如设计的功能和性能要求；器件的资源分配和设计工具的可实现性；系统的开发费用和成本等。虽然具体设计的条件和要求千差万别，实现方法也各不相同，但数字系统设计具备一些共同的方法和准则。

1. 分割准则

自顶向下设计方法或其他层次化设计方法，需要对系统功能进行分割，然后进行逻辑描述。分割过程中，若分割过粗，则不易用逻辑语言表达；分割过细，则带来不必要的重复和烦琐。因此分割的粗细需要根据具体的设计和设计工具情况而定。掌握分割程度，可以遵循以下原则：

(1) 分割后最底层的逻辑块应适合用逻辑语言进行表达

如果利用逻辑图作最底层模块,需要分解到门、触发器和宏模块一级;用 VHDL (Very - High - Speed Integrated Circuit Hardware Description Language, VHSIC 硬件描述语言) 或 Verilog HDL (Verilog 硬件描述语言) 则可以分解到算法一级。

(2) 共享模块

在设计中,往往出现一些功能相似的逻辑模块,相似的功能应该设计成共享的基本模块,像子程序一样由高层逻辑块调用。这样可以减少需要设计的模块数目,改善设计的结构化特性。

(3) 接口信号线最少

复杂的接口信号容易引起设计错误,并且给布线带来困难。以交互信号的最少地方为边界划分模块,用最少的信号线进行信号和数据的交换为最佳的方法。

(4) 结构匀称

同层次的模块之间,在资源和 I/O 分配上,不出现悬殊的差异,没有明显的结构和性能上的瓶颈。

(5) 通用性好,易于移植

一个好的设计模块应该可以在其他设计中使用,并且容易升级和移植;另外,在设计中应尽可能避免使用与器件有关的特性,保证设计可以在不同的器件上实现,即设计的可移植性。

2. 系统的可观测性

在系统设计中,应该同时考虑功能检查和性能的测试,即系统观测性的问题。

一个系统除了引脚上的信号外,系统内部的状态也是需要测试的内容。如果输出能够反映系统内部的状态,即可以通过输出观测到系统内部的工作状态,那么这个系统是可观测的。建立观测器,应遵循以下原则:

- 1) 具有系统的关键点信号,如时钟信号、同步信号和状态机的状态信号。
- 2) 具有代表性的节点和线路上的信号。
- 3) 具备简单的“系统工作是否正常”的判断能力。

3. 同步电路和异步电路

异步电路会造成较大的系统延时和逻辑竞争,容易引起系统的不稳定;同步电路按照统一的时钟工作,稳定性好。在设计时,应尽可能采用同步电路进行设计,避免使用异步电路;在必须使用异步电路的场合,应采取措施来消除竞争和增加稳定性。

4. 最优化设计

由于可编程器件的逻辑资源、连线资源和 I/O 资源是有限的,器件的速度和性能也是有限的,用器件设计系统的过程相当于求最优解的过程。这个求最优解的过程需要给定两个约束条件:边界条件和最优化目标。边界条件即器件的资源及性能限制。最优化目标有多种,设计中常见的最优化目标有器件资源利用率最高、速度最快、布线最容易。这些目标可以通过控制软件参数选项来实现。

1.2 现代数字系统设计的硬件基础

现代数字系统设计主要是以可编程逻辑器件 (Programmable Logic Device, PLD) 为基

础，集软硬件系统开发于一体的数字电路系统设计方式。

1.2.1 PLD 发展历程

历史上，可编程逻辑器件经历了从 PROM、PLA、PAL、GAL、EPLD 到 CPLD 和 FPGA 的发展过程，在结构、工艺、集成度、功能、速度和灵活性方面都有了很大的改进和提高。集成密度是可编程逻辑器件一项很重要的指标，如果从集成密度上分类，可分为低密度可编程逻辑器件（LDPLD）和高密度可编程逻辑器件（HDPLD）。历史上，GAL22V10 是简单 PLD 和复杂 PLD 的分水岭，一般也按照 GAL22V10 芯片的容量区分为 LDPLD 和 HDPLD。GAL22V10 的集成密度根据制造商的不同，大致为 500 ~ 750 门。如果按照这个标准，PROM、PLA、PAL 和 GAL 器件均属于 LDPLD，而 EPLD、CPLD 和 FPGA 则属于 HDPLD，如图 1-3 所示。

1. LDPLD

LDPLD 包括 PROM、PLA、PAL 和 GAL 四种器件。

PROM 器件，即可编程只读存储器。它的基本结构是：与阵列固定和或阵列可编程的与或阵列。PROM 采用熔丝工艺编程，只能写一次，不可以擦除或重写。随着技术的发展和应用要求，又出现了 EPROM（紫外线擦除的可编程只读存储器）和 E²PROM（电擦写可编程只读存储器）。由于 PROM 具有价格低，易于编程的特点，适合于存储函数和数据表格，在某些场合尚有一定的用途。

PLA（Programmable Logic Array）器件，即可编程逻辑阵列，也是基于与或阵列的器件。它的与阵列和或阵列都是可编程的。PLA 曾经被认为是极有发展前途的可编程逻辑器件，但是由于器件的资源利用率低，现在已经不常使用，只在一些传统的场合还有应用。

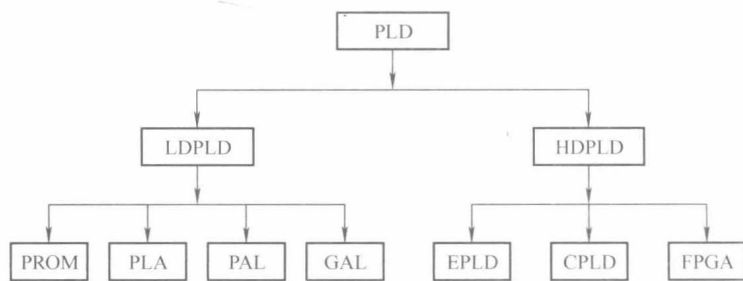


图 1-3 可编程逻辑器件的密度分类

PAL（Programmable Array Logic）器件，即可编程阵列逻辑，由 AMD 公司发明，也是与或阵列结构的器件。在结构上，这类器件包括一个可编程的“与”阵列和一个固定的“或”阵列，其中“与”阵列的编程特性使输入项可以增多，而或阵列固定使器件简化。PAL 具有多种结构的输出形式，因而其型号较多。

GAL（Generic Array Logic）器件，即通用阵列逻辑，是 Lattice 公司于 20 世纪 80 年代发明的电可擦写、可重复编程、可设置加密位的 PLD 器件。GAL 器件与 PAL 器件相比，增加了一个可编程的逻辑宏单元（OLMC）输出，通过对 OLMC 配置可以得到多种形式的输出和反馈。具有代表性的 GAL 芯片有 GAL16V8 和 GAL20V8。这两种 GAL 几乎能够仿真所有类型的 PAL 器件。在实际应用中，由于 GAL 器件对 PAL 器件仿真具有 100% 的兼容性，所以 GAL 几乎完全代替了 PAL 器件。

LDPLD 易于编程，对开发软件的要求低，在 20 世纪 80 年代得到了广泛的应用，但随着技术的发展，LDPLD 在集成密度和性能方面的局限性也暴露出来。低 LDPLD 的寄存器、

I/O 引脚、时钟等资源的数目有限，没有内部互连，使设计的灵活性受到明显的限制。

2. HDPLD

HDPLD 包括 EPLD、CPLD 和 FPGA 三种器件。

EPLD (Erasable Programmable Logic Device) 是 20 世纪 80 年代中期由 Altera 公司推出的一种新型、可擦除的可编程逻辑器件。它是一种基于 EPROM 和 CMOS 技术的可编程逻辑器件。

EPLD 器件的基本逻辑单位是宏单元。宏单元由可编程的与或阵列、可编程寄存器和可编程 I/O 三部分组成。宏单元和整个器件的逻辑功能，均由 EPROM 来定义和规划。从某种意义上讲，EPLD 是改进的 GAL。EPLD 的特点是大量增加输出宏单元的数目，提供更大的与阵列。由于特有的宏单元结构，使设计的灵活性比 GAL 有较大的改善；集成密度提高，在一片芯片内能够实现较多的逻辑功能；EPLD 由于保留了逻辑块的结构，内部连线相对固定，即使是大规模集成容量的器件，其内部延时也很小，有利于器件在高频率下工作。

EPLD 内部互连能力十分弱，在 80 年代末受到另一种新兴的可编程逻辑器件 FPGA 的冲击，直到 90 年代 EPLD 的改进器件——复杂的可编程逻辑器件 (Complex PLD, CPLD) 和现场可编程门阵列 (Field Programmable Gate Array, FPGA) 器件出现后，这种情况才有所改变。

1.2.2 CPLD 与 FPGA

CPLD 是基于乘积项技术、Flash 工艺的 PLD。FPGA 是基于查找表技术和 SRAM 工艺，要外挂配置 E²PROM 的 PLD。与其他可编程逻辑器件相比，FPGA 和 CPLD 在结构工艺、集成度、功能速度和灵活性方面都有很大的改进和提高，以 FPGA 和 CPLD 为代表的可编程逻辑器件，逐渐成为微电子技术代表产品的主要发展方向之一，两种器件各有特点，应用领域也有所不同。

1. FPGA

FPGA 即现场可编程门阵列，它是作为专用集成电路 (Application Specific Integrated Circuit, ASIC) 领域中的一种半定制电路而出现的，既解决了定制电路的不足，又克服了原有可编程器件门电路数量有限的缺点。FPGA 提供了最高的逻辑密度、最丰富的特性和最高的性能。器件还具备内建的硬连线处理器、大容量存储器、时钟管理系统等特性，并支持多种最新的超快速器件至器件的信号技术。

2. CPLD

CPLD 即复杂可编程逻辑器件。CPLD 是一种根据用户需要而自行构造逻辑功能的数字集成电路。与 FPGA 相比，CPLD 提供的逻辑资源少得多，但是 CPLD 提供了非常好的可预测性，因此对于关键的控制领域应用非常理想。CPLD 器件需要的功耗极低，并且价格低廉，从而使其对于成本敏感、电池供电的便携式应用非常理想。

3. FPGA 与 CPLD 相比较

尽管 FPGA 和 CPLD 都是 HDPLD，有很多共同点，包括主要的开发手段和开发流程，以及开发工具等。但由于 CPLD 和 FPGA 结构上的差异，具有各自的特点。

(1) 延时不同

FPGA 是细粒结构，这意味着每个单元间存在细粒延迟。如果将少量逻辑紧密排列在一

起, FPGA 的速度相当快。然而, 随着设计密度的增加, 信号不得不通过许多开关, 导致的路由延迟也快速增加, 从而削弱了整体性能。FPGA 是“寄存器丰富”型, 即寄存器与逻辑门的比例高。而 CPLD 正好相反, 它是粗粒结构, 是“逻辑丰富”型, 这意味着进出器件的路径经过较少的开关, 相应的延迟也小。因此, 与等效的 FPGA 相比, CPLD 可工作在更高的频率, 具有更快速的性能。CPLD 的连续式布线结构决定了它的时序延迟是均匀和可预测的, 而 FPGA 的分段式布线结构决定了其延迟的不可预测性。

(2) CPLD 比 FPGA 使用起来更方便

CPLD 的编程采用 E²PROM 或 FAST Flash 技术, 无须外部存储器芯片, 使用简单。而 FPGA 的编程信息需存放在外部存储器上, 使用方法复杂。

FPGA 的集成度比 CPLD 高, 具有更复杂的布线结构和逻辑实现, 可以实现更为复杂的数字系统, 例如可编程片上系统 (System on Programmable Chip, SOPC)。FPGA 在编程上比 CPLD 具有更大的灵活性。CPLD 通过修改具有固定内连电路的逻辑功能来编程, FPGA 主要通过改变内部连线的布线来编程; FPGA 可在逻辑门下编程, 而 CPLD 是在逻辑块下编程。

在编程方式上, CPLD 主要是基于 E²PROM 或 Flash 存储器编程, 编程次数可达 1 万次, 优点是系统断电时编程信息也不丢失。适合于一些对速度、数据处理量要求不高的逻辑控制领域, 如逻辑转换等。CPLD 保密性高, 可用于对数字系统电路的加密工作。FPGA 大部分是基于 SRAM 编程, 编程信息在系统断电时丢失, 每次上电时, 需从器件外部将编程数据重新写入 SRAM 中。其优点是可以编程任意次, 可在工作中快速编程, 从而实现板级和系统级的动态配置。

总之, CPLD 与 FPGA 由于各自的特点与优势, 可根据不同的技术要求和设计环境做出合理选择。

1.2.3 PLD 发展趋势

随着半导体制造工艺的不断提高, PLD 的集成度将不断提高, 制造成本也将不断降低, 其作为替代 ASIC 来实现电子系统的前景将日趋光明。先进的 ASIC 生产工艺已经被用于 PLD 器件的生产, 越来越丰富的处理器内核被嵌入到高端的 PLD 芯片中, 基于 PLD 的开发成为一项系统级设计工程。功能上从最初的单纯 PLD 发展到内嵌 CPU、DLL 等的 SOPC。PLD 器件的发展趋势具有以下特点。

1. 大容量、低电压、低功耗、低成本

随着人们对消费类电子产品性能要求的不断提高, 大容量 PLD 是市场发展的主要方向。采用深亚微米 (DSM) 的半导体工艺后, 器件在性能提高的同时, 价格也在逐步降低。由于便携式消费类产品的发展, 对 PLD 的低电压、低功耗、低成本的要求也成为市场发展的重要方向。

2. 高集成度、高密度、高速度

工艺的改进以及市场的需要是集成度不断提高的基础和动力。许多公司在新技术的推动下, 产品集成度迅速提高, 尤其是最近几年的迅速发展, 其集成度已经达到了 1000 万门。

PLD 的应用已经不是过去仅仅适用于系统接口部件的现场集成, 而是将它灵活地应用于系统级 (包括其核心功能芯片) 设计之中。在这样的背景下, 国际主要 PLD 厂家在高密度、高集成度、高速度 PLD 的技术发展上, 主要强调两个方面: 基于 FPGA 的 IP 硬核和 IP 软

核。典型的 IP 核库有 Xilinx 公司提供的 LogiCORE 和 AllianceCORE。一方面是 PLD 厂商将 IP 硬核嵌入到 FPGA 器件中, 另一方面是大力扩充优化的 IP 软核。这些 IP 核库都是预定义的, 经过测试和优化, 可保证正确的功能。设计人员可以利用这些现成的 IP 库资源, 高效、准确地完成复杂的片上系统设计。

3. PLD 和 ASIC 相互融合

虽然标准逻辑 ASIC 芯片尺寸小、功能强、功耗低, 但其所带来的系统级设计的复杂化不易于优化升级。PLD 价格较低廉, 能在现场进行编程, 但它们体积大、能力有限, 而且功耗比 ASIC 大。正因如此, PLD 和 ASIC 正在互相融合, 取长补短。例如 Altera 公司的 Hard-Copy 技术, 在 PLD 和 ASIC 之间建立起了转换融合的桥梁。系统级芯片不仅集成 RAM 和微处理器, 也集成 FPGA。随着 ASIC 制造商向下发展和 FPGA 的向上发展, 在 CPLD 与 FPGA 之间正在诞生一种“杂交”产品, 以满足降低成本和尽快上市的要求。

4. FPGA 动态可重构

动态可重构 FPGA 是指在一定条件下, 芯片可以在系统重新配置电路的功能特性和逻辑能力。动态可重构 FPGA, 在器件编程结构上具有专门的特征, 可以通过读取不同 SRAM 中的数据来直接实现这样的逻辑重构, 这种重构往往在纳秒级完成。

5. 向高速可预测延时方向发展

在一些高速处理系统中, 数据处理量的激增要求数字系统有大的数据吞吐速率。另外, 为了保证高速系统的稳定性, 延时也是十分重要的。用户在进行系统重构的同时, 担心延时特性是否会因为重新布线而改变。如果改变, 将会导致系统性能的不稳定, 这对庞大而高速的系统而言将是不可想象的。因此, 为了适应未来复杂高速电子系统的要求, PLD 器件的高速可预测延时也是一个发展趋势。

6. 向数模混合可编程方向发展

迄今为止, PLD 的开发与应用的大部分工作都集中在数字逻辑电路上, 在未来几年里, 这一局面将会有所改变, 模拟电路和数模混合电路的可编程技术将得到发展。目前的在系统可编程模拟电路 (In System Programmable Analog Circuit, ISPAC) 技术可实现信号调整、信号处理和信号转换 3 种功能。电可编程模拟电路 (Electrically Programmable Analog Circuit, EPAC) 芯片集中了各种模拟功能电路, 如可编程增益放大器、可编程比较器、多路复用器、可编程模数转换器、滤波器和跟踪保持放大器等。

7. 深亚微米技术的发展正在推动片上系统的发展

目前, FPGA 产品正以不同的方式进入系统级芯片 (System on Chip, SOC) 市场, 尝试将标准产品的可靠性和低成本性与 FPGA 的灵活性结合起来。随着深亚微米技术的发展, 使系统级可编程芯片 (System on Programmable Chip, SOPC) 的实现成为可能。目前, Altera 公司、Xilinx 公司都在为此努力, 开发出适于系统集成的新器件和开发工具, 这又进一步促进了 SOPC 的发展。

1.2.4 PLD 主要应用领域和应用前景

随着电子技术的高速发展, 今天的 CPLD 和 FPGA 器件在集成度、功能与性能、速度与可靠性方面已经能够满足大多数场合的使用要求。采用 CPLD/FPGA 取代传统的标准集成电

路、接口电路和专用集成电路已成为技术发展的必然趋势。目前, PLD 应用主要体现在以下方面。

1. 在电子技术领域的应用

在微型计算机(简称微机)系统中,应用 FPGA/CPLD 可以取代现有的全部微机接口芯片,实现微机系统中的地址译码、总线控制、中断及 DMA 控制、内存管理和 I/O 接口电路等功能。利用 CPLD/FPGA 可以把多个微机系统的功能集成在同一块芯片中,即进行所谓的“功能集成”。

现代通信系统的发展方向是功能更强、体积更小、速度更快、功耗更低。FPGA/CPLD 在集成度、功能和速度上的优势正好满足通信系统的这些要求。所以,现在无论是民用的移动电话、程控交换机、集群电台、广播发射机和调制解调器,还是军用的雷达设备、图像处理、遥控遥测设备以及加密通信机都已广泛地使用 FPGA/CPLD。

2. 在 ASIC 设计中的应用

PLD 器件是在 ASIC 设计的基础上发展起来的。在 ASIC 设计方法中,通常采用全定制和半定制电路设计方法,设计完成后,如果不能满足要求,就得重新设计再进行验证。这样就使得设计开发周期变长,费用增加。与 ASIC 相比,可编程逻辑器件研制周期较短,先期开发费用低,也没有最少订购数量的限制。目前, FPGA/CPLD 的一个重要用途就是用于 ASIC 前道工序的开发及产品调试。

3. 在数字电路实验中的应用

在数字电路实验中,大量使用基本门电路、触发器、中规模集成电路等,如 74 系列。整个数字电路实验课需要准备十几种甚至几十种数字逻辑集成芯片,给器件的选购、管理带来了较大的工作量,也增加了经费开支。如果使用 PLD,在相关实验中可以把 PLD 编程写为各种组合式门电路结构,也可以构成几乎所有的中规模集成电路。

4. 在电气传动中的应用

现代电气传动控制是建立在电力电子变流技术的基础上,复杂的控制算法要依靠 CPU 控制芯片来完成,同时还应保证算法的实时性,因此对 CPU 的负担是极重的。目前,在电气传动中利用 FPGA 实现复杂控制算法的应用也越来越广泛,其优良特性不仅可以解决 CPU 的抗干扰、复位、程序跑飞、程序执行速度慢等缺点,而且还可以将复杂的控制算法装载于一个芯片中,实现片上系统,从而大大缩小了体积。另外,其标准化的设计语言也使得已开发成功的控制算法或系统很容易利用和移植。

5. FPGA 技术在数字信号处理中的应用

随着高速实时数字信号处理技术的应用领域不断扩展,DSP 器件受到运算速度的限制已越发明显。为了弥补高速实时运行的缺陷,更多地借助于 FPGA 的并行处理能力,将其作为协处理器与 DSP 芯片共同构成实时信号处理系统。随着 FPGA 性能的不不断提升,用 FPGA 直接构造数字信号实时处理系统,已成为当今和未来数字信号处理技术发展的一个热点,并逐渐显现出其在信号处理应用中的重要地位。

6. FPGA 在数据采集中的应用

在高速数据采集方面,FPGA 具有单片机和 DSP 无法比拟的优势。FPGA 时钟频率高,内部时延小,全部控制逻辑由硬件完成,速度快,组成形式灵活。可以集成外围控制、译码

和接口电路,最主要的是FPGA可以采用IP内核技术,通过继承、共享或购买所需的知识产权内核提高开发进度。利用EDA工具进行设计、综合和验证,加速了设计过程,降低了开发风险,缩短了开发周期,更能适应市场。

7. FPGA在医疗领域的应用

FPGA的高速、强大的数据处理能力可以应用在医疗器械几乎所有的领域,如医学影像(MRI、CT、螺旋CT、B超、彩超、X光机)、治疗设备(电子加速器、超声聚焦、医用激光、麻醉设备)、临床检验生化分析、心电监护仪器、灭菌设备等。

8. FPGA技术在汽车电子中的应用

基于FPGA技术的汽车电子应用主要包括两方面:车载数据采集和对电子控制单元硬件的在环仿真。车载数据采集系统,主要用于记录和分析汽车内的多种传感器信号。应用FPGA技术,可以对任何传感器信号进行高级信号处理和分析,创建自定义的I/O,来满足仿真条件下对各种信号的需求。这些信号可能来自于用于爆震、火花、发动机位置传感器,燃油喷射器以及歧管压力的同步信号,开关、温度、脚踏板、油门、汽车行驶速度的异步信号等。

9. FPGA在逻辑接口领域的应用

传统的设计中往往需要专用的接口芯片,比如PCI接口芯片。如果需要的接口比较多,就需要较多的外围芯片,体积、功耗都比较大。采用FPGA后,接口逻辑都可以在FPGA内部来实现了,大大简化了外围电路的设计。

10. FPGA在航天遥感器中的应用

FPGA也是现阶段航天专用集成电路的最佳实现途径。使用商用现成的FPGA设计微小卫星等航天器的星载电子系统,可以降低成本。利用FPGA内丰富的逻辑资源,进行片内冗余容错设计,是满足星载电子系统可靠性要求的一个好办法。在航天遥感器的设计中,FPGA被广泛应用于主控系统CPU的功能扩展,CCD图像传感器驱动时序的产生,以及高速数据采集。

1.3 现代数字系统设计的开发环境

随着EDA技术的迅猛发展,各种集成开发环境也如雨后春笋般呈现在用户面前,所使用的开发语言也是种类繁多。

1.3.1 开发环境

PLD的开发环境一般分为两种,一种是PLD芯片制造商为推广自己的芯片而开发的专业EDA软件,例如Altera公司推出的Quartus II就属于此类;另一种是EDA软件商提供的第三方软件,例如Synplify、Synopsys、Viewlogic、Cadence等,这些软件可以支持大部分芯片公司的PLD器件。下面介绍几种广泛应用的集成开发环境。

1. Synplify

该软件是由Synplicity公司专为FPGA和CPLD开发设计的逻辑综合工具。它在综合优化方面的优点非常突出,得到了广大用户的好评。它支持用Verilog HDL和VHDL硬件描述语

言的系统级设计，具有强大的行为综合能力。综合后，能生成 Verilog 或 VHDL 网表，以进行功能级仿真。Synplify 的综合过程分为三步：

- 1) 进行语言综合，将硬件描述语言的设计编译成结构单元。
- 2) 采用优化算法对设计进行优化，除去冗余项，提高可靠性与速度。
- 3) 工艺映射，将设计映射为相应的网表文件。

2. Synopsys

该软件是另一种系统综合软件，它因综合功能强大而被广泛使用。Synopsys 综合器的综合效果比较理想，系统速度快，消耗资源少。对系统的优化过程大致分为两步：

- 1) 提出必须满足的设计要求，例如最大延时、最大功耗、最大扇出数目、驱动强度等。
- 2) 提出各种设计约束，一般有反应时间约束、芯片面积约束等。综合器根据设计要求，采用相应算法，力争使综合效果达到最佳。

Synopsys 支持完整的 VHDL 和 Verilog 语言子集。另外，它的元件库包含了许多现成的实现方案，调用非常方便。正是因为这些突出的优点，Synopsys 逐渐成为设计人员普遍接受的标准工具。

3. ispDesignEXPERT

该软件是 Lattice 公司专为本公司的 PLD 芯片开发设计的软件，它的前身是该公司的 Synario、ispEXPERT。ispDesignEXPERT 是完备的 EDA 软件，支持系统开发的全过程，包括设计输入、设计实现、仿真与时序分析、编程下载等。

ispDesignEXPERT 包括 3 个版本：Starter 版适合初学者学习，可以免费下载；Base 版为试用版。Advanced 版是专业设计版，支持该公司的各种系列器件，功能全面。其中，前两种版本的设计规模都低于 600 个宏单元。

4. MAX + plus II

该软件是 Altera 公司专为本公司的 PLD 芯片开发设计的软件。该软件功能齐全，使用方便，易懂好学，曾经是最广为接受的 EDA 工具之一。但随着 PLD 资源的不断丰富，特别是 SOPC (System on Programmable Chip) 的发展需要，目前基本已被 Quartus II 完全取代。

5. Quartus II

该软件也是 Altera 公司为本公司的 PLD 芯片开发设计的软件。它比 MAX + plus II 支持的器件更全面，特别包括 Altera 公司的超高密度的芯片系列——APEX 系列器件。Quartus II 可开发的单器件门数达到了 260 万门，特别适合高集成的大型系统的开发设计。

1.3.2 硬件描述语言

硬件描述语言 (Hardware Description Language, HDL) 是电子系统硬件行为描述、结构描述、数据流描述的语言。利用这种语言，数字电路系统的设计可以从顶层到底层，从抽象到具体，逐层描述自己的设计思想，用一系列分层次的模块来表示极其复杂的数字系统。然后，利用 EDA 工具，逐层进行仿真验证，再把其中需要变为实际电路的模块组合，经过自动综合工具转换到门级电路网表，进而转换为下载所需的数据文件。据统计，目前在美国硅谷有 90% 以上的 ASIC 和 FPGA 采用硬件描述语言进行设计。