应用型本科信息大类专业“十三五”规划教材

计算机组成原理实验指导教程

◎主编　田夏利　熊莹

華中科技大學出版社
http://www.hustp.com

应用型本科信息大类专业“十三五”规划教材

计算机组成原理
实验指导教程

◎主　编　田夏利　熊　莹
◎副主编　李　涛　汪　汝　刘琳琳
王文娟　姜　尚

华中科技大学出版社
http://www.hustp.com
中国·武汉

内容简介

本书以“知识、能力、素质”的协调发展为目标，是为了配合《计算机组成原理》而编写的实验教程，以TD-CMA教学实验系统为实验平台，系统、全面地介绍了该课程涉及的计算机各部件及整机的各类实验及其内容。全书共分为两大部分9个章节，第一部分（第1～6章）阐述了组成计算机的各个部件的结构以及由这些部件组成的一个完整的计算机系统，第二部分（第7～9章）从精简指令系统计算机、重叠处理机、流水线处理机等方面讨论了计算机系统结构，通过探索型和综合型的实验，锻炼学生独立分析、解决问题的能力，激发他们的创新思维。

本书可作为实验教材供高等院校计算机及相关专业的学生使用，也可作为计算机系统结构研究人员的参考书。

图书在版编目(CIP)数据

计算机组成原理实验指导教程/田夏利，熊莹主编. —武汉：华中科技大学出版社，2017.9
应用型本科信息大类专业“十三五”规划教材
ISBN 978-7-5680-3353-4

Ⅰ.① 计… Ⅱ.① 田… ② 熊… Ⅲ.① 计算机组成原理-高等学校-教材 Ⅳ.①TP301

中国版本图书馆CIP数据核字(2017)第215569号

计算机组成原理实验指导教程
Jisuanji Zucheng Yuanli Shiyan Zhidao Jiaocheng

田夏利 熊莹 主编

策划编辑：康 序
责任编辑：舒 慧
责任监印：朱 玢
出版发行：华中科技大学出版社(中国·武汉) 电话：(027)81321913
武汉市东湖新技术开发区华工科技园 邮编：430223
录 排：武汉正风天下文化发展有限公司
印 刷：武汉华工鑫宏印务有限公司
开 本：787mm×1092mm 1/16
印 张：10.5
字 数：275千字
版 次：2017年9月第1版第1次印刷
定 价：28.00元

本书若有印装质量问题，请向出版社营销中心调换
全国免费服务热线：400-6679-118 竭诚为您服务
版权所有 侵权必究

此为试读，需要完整PDF请访问：www.ertongbook.com

只有无知，没有不满。

Only ignorant, no resentment.

.....迈克尔·法拉第(Michael Faraday)

迈克尔·法拉第（1791—1867）：英国著名物理学家、化学家，在电磁学、化学、电化学等领域都作出过杰出贡献。

应用型本科信息大类专业“十三五”规划教材

编审委员会名单

（按姓氏笔画排列）

卜繁岭	于惠力	王书达	王伯平	王宏远	王俊岭
王艳秋	王爱平	王海文	云彩霞	方连众	厉树忠
卢益民	尼亚孜别克	朱秋萍	刘　锐	刘仁芬	刘黎明
李见为	李长俊	杨玉蓓	杨有安	杨旭方	张义方
张怀宁	张绪红	陈传德	陈朝大	周永恒	周洪玉
孟德普	赵振华	姜　峰	骆耀祖	莫德举	顾利民
郭学俊	容太平	谈新权	傅妍芳	富　刚	雷升印
路兆梅	熊年禄	霍泰山	鞠剑平	魏学业	

前言 PREFACE

本书是与“计算机组成原理”和“计算机系统结构”课程的实验教学相配套的实验教程，采用的实验系统是西安唐都科教仪器公司研发、生产的 TD-CMA 实验教学系统。

全书分为 9 章，其中第 1 章到第 6 章为“计算机组成原理”实验：

第 1 章到第 3 章为部件实验，研究组成计算机的每个部件的工作原理及设计方法；第 4 章为计算机系统总线设计实验，提供了具有基本输入输出功能的总线接口实验和具有中断、DMA 功能的总线接口设计实验；第 5 章为模型计算机设计实验，通过对几种复杂程度不同的模型计算机的设计，来研究计算机各部件是如何配合工作的，并掌握设计一个计算机系统的方法；第 6 章为输入输出系统扩展实验，通过对模型机的扩展设计，使之拥有中断、DMA 等功能，并通过对定时计数器 8253 的扩展及编程，使学生熟悉并掌握典型接口芯片的扩展应用。

第 7 章到第 9 章为“计算机系统结构”实验，可作为“计算机组成原理”探索型实验或课程设计内容：

第 7 章为精简指令系统计算机设计实验，通过 CISC 和 RISC 的比较，说明当今主流的计算机指令系统及其设计方法；第 8 章为重叠处理机设计实验，通过在 CISC 模型机的基础上增加指令预取功能来构建模型机，说明重叠的思想；第 9 章为流水线处理机设计实验，通过具体的流水线处理机设计来体现当今主流机器的设计方法。

附录部分为该系统的用户手册，主要介绍软硬件的安装配置以及微程序流程图编程方法。

书中所含实验项目丰富，内容完善，各学校可以根据自己的教学计划和教学特点选取教学内容。例如：对于书中应用大规模可编程逻辑器件 CPLD 的章节，需要读者具有 CPLD 器件及其设计方法等方面的基础知识，可以作为 EDA 在模型机设计应用中的参考教程；对于没有学习过“计算机接口技术”课程内容的学生，可以通过第 4 章和第 6 章对系统总线的介绍和外围接口芯片的扩展应用部

分来学习。

本书由武汉华夏理工学院田夏利、熊莹担任主编，由哈尔滨远东理工学院李涛、武汉华夏理工学院汪汝和刘琳琳、大连工业大学艺术与信息工程学院王文娟、大连科技学院姜尚担任副主编。最后由田夏利审核并统稿。

由于编者水平有限，加上计算机技术飞速发展，新的理念和技术层出不穷，在本书中会存在一些问题和错误，恳请广大读者批评指正(E-mail:hustpeiit@163.com)。

编　者

2017年4月

目录

CONTENTS

第 1 章　运算器 …… 1

1.1　基本运算器实验 …… 1

1.2　超前进位加法器设计实验 …… 6

1.3　阵列乘法器设计实验 …… 12

第 2 章　存储系统 …… 14

2.1　静态随机存储器实验 …… 14

2.2　Cache 控制器设计实验 …… 18

第 3 章　控制器 …… 24

3.1　时序发生器设计实验 …… 24

3.2　微程序控制器实验 …… 26

第 4 章　系统总线与总线接口 …… 37

4.1　系统总线和具有基本输入输出功能的总线接口实验 …… 37

4.2　具有中断控制功能的总线接口实验 …… 41

4.3　具有 DMA 控制功能的总线接口实验 …… 43

第 5 章　模型计算机 …… 46

5.1　CPU 与简单模型机设计实验 …… 46

5.2　硬布线控制器模型机设计实验 …… 53

5.3　复杂模型机设计实验 …… 56

第 6 章　输入输出系统 …… 71

6.1　带中断处理能力的模型机设计实验 …… 71

6.2　带 DMA 控制功能的模型机设计实验 …… 85

6.3　典型 I/O 接口 8253 扩展设计实验 …… 92

第 7 章　精简指令系统计算机 …… 97

7.1　计算机的指令系统 …… 97

7.2　基于 RISC 技术的模型计算机设计实验 …… 99

第 8 章　重叠处理机 …… 105
8.1　重叠的基本原理和思想 …… 105
8.2　基于重叠技术的模型计算机设计实验 …… 106
第 9 章　流水线处理机 …… 117
9.1　流水线的原理及基本思想 …… 117
9.2　基于流水技术的模型计算机设计实验 …… 119
附录 …… 125
附录 A　TD-CMA 系统概述 …… 125
A.1　系统功能及特点 …… 125
A.2　系统构成 …… 128
附录 B　TD-CMA 系统的配置与安装 …… 128
B.1　系统的配置 …… 128
B.2　系统的安装 …… 129
附录 C　TD-CMA 系统硬件环境 …… 130
C.1　系统硬件布局图 …… 130
C.2　系统电源 …… 131
C.3　系统实验单元电路 …… 132
C.4　注意事项 …… 146
附录 D　TD-CMA 系统集成操作软件 …… 146
D.1　与 PC 联机说明 …… 146
D.2　软件操作说明 …… 147
附录 E　TD-CMA 系统常见故障的分析及处理 …… 154
附录 F　微程序流程图编程方法 …… 154

第1章 运算器

计算机的一个最主要的功能就是处理各种算术和逻辑运算，这个功能要由 CPU 中的运算器来完成，运算器也称作算术逻辑部件 ALU。本章首先安排一个基本的运算器实验，了解运算器的基本结构，然后再设计一个加法器和一个乘法器。

1.1 基本运算器实验

1.1.1 实验目的

(1) 了解运算器的组成结构。

(2) 掌握运算器的工作原理。

1.1.2 实验设备

PC 机一台，TD-CMA 实验系统一套。

1.1.3 实验原理

本实验的原理如图 1-1-1 所示。

运算器内部含有三个独立运算部件，分别为算术、逻辑和移位运算部件，要处理的数据存于暂存器 A 和暂存器 B 中，三个部件同时接收来自 A 和 B 的数据(有些处理器体系结构把移位运算部件放于算术和逻辑运算部件之前，如 ARM)，各部件对操作数进行何种运算由控制信号 S3，…，S0 和 CN 来决定。任何时候，多路选择开关只选择三个部件中的一个部件的结果作为 ALU 的输出。如果是影响进位的运算，还将置进位标志 FC，在运算结果输出前，置 ALU 零标志。ALU 中所有模块集成在一片 CPLD 中。

逻辑运算部件由逻辑门构成，较为简单，而后面又有专门的算术运算部件设计实验，在此对这两个部件不再赘述。移位运算采用的是桶形移位器，一般采用交叉开关矩阵来实现。交叉开关的原理如图 1-1-2 所示。图中显示的是一个 4×4 的矩阵(系统中是一个 8×8 的矩阵)。每一个输入都通过开关与一个输出相连，把沿对角线的开关导通，就可实现移位功能，即：

(1) 对于逻辑左移或逻辑右移功能，将一条对角线的开关导通，并将所有的输入位与所使用的输出分别相连，而没有同任何输入相连的则输出连接 0。

(2) 对于循环右移功能，右移对角线同互补的左移对角线一起激活。例如，在 4 位矩阵中使用“右 1”和“左 3”对角线来实现右循环 1 位。

(3) 对于未连接的输出位，移位时使用符号扩展或是 0 填充，具体由相应的指令控制。使用另外的逻辑进行移位总量译码和符号判别。

运算器部件由一片 CPLD 实现。ALU 的输入和输出通过三态门 74LS245 连到 CPU 内总线上，另外还有指示灯标明进位标志 FC 和零标志 FZ。请注意：实验箱上凡丝印标注有马蹄形标记“⌊⌋”的，表示这两根排针之间是连通的。图中除 T4 和 CLR 外，其余信号均来自于 ALU 单元的排线座，实验箱中所有单元的 T1、T2、T3、T4 都连接至控制总线单元的 T1、T2、T3、T4，CLR 都连接至 CON 单元的 CLR 按钮。T4 由时序与操作台单元(时序与操作台单元的介绍见附录 B)的 TS4 提供，其余控制信号均由 CON 单元的二进制数据开关模拟给出。控制信号中除 T4 为脉冲信号外，其余均为电平信号，其中 ALU_B 为低有效，其余为高有效。

此为试读，需要完整PDF请访问：www.ertongbook.com

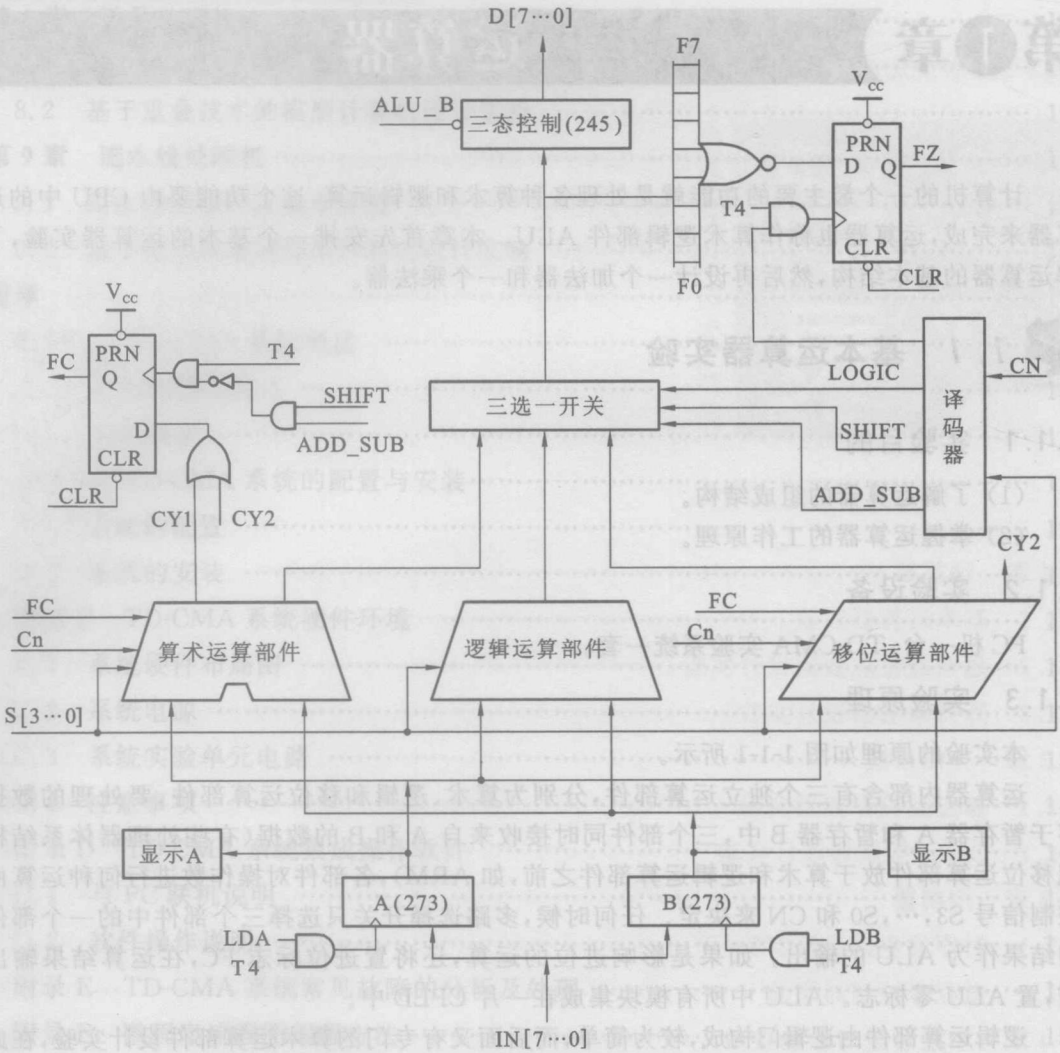

图 1-1-1 运算器原理图

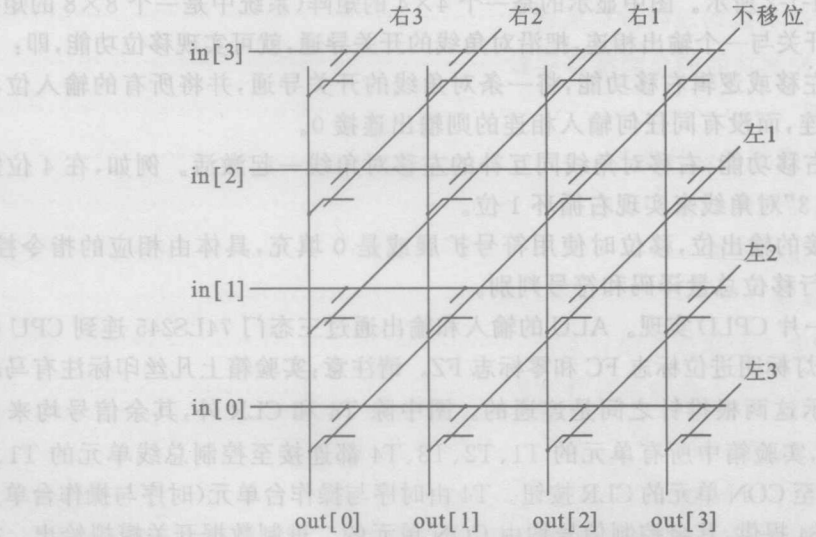

图 1-1-2 交叉开关桶形移位器原理图

暂存器 A 和暂存器 B 的数据能在 LED 灯上实时显示，其原理如图 1-1-3 所示(以 A0 为例，其他相同)。进位标志 FC、零标志 FZ 和数据总线 D7，…，D0 的显示原理也是如此。

图 1-1-3 A0 显示原理图

ALU 和外围电路的连接如图 1-1-4 所示，图中的小方框代表排针座。

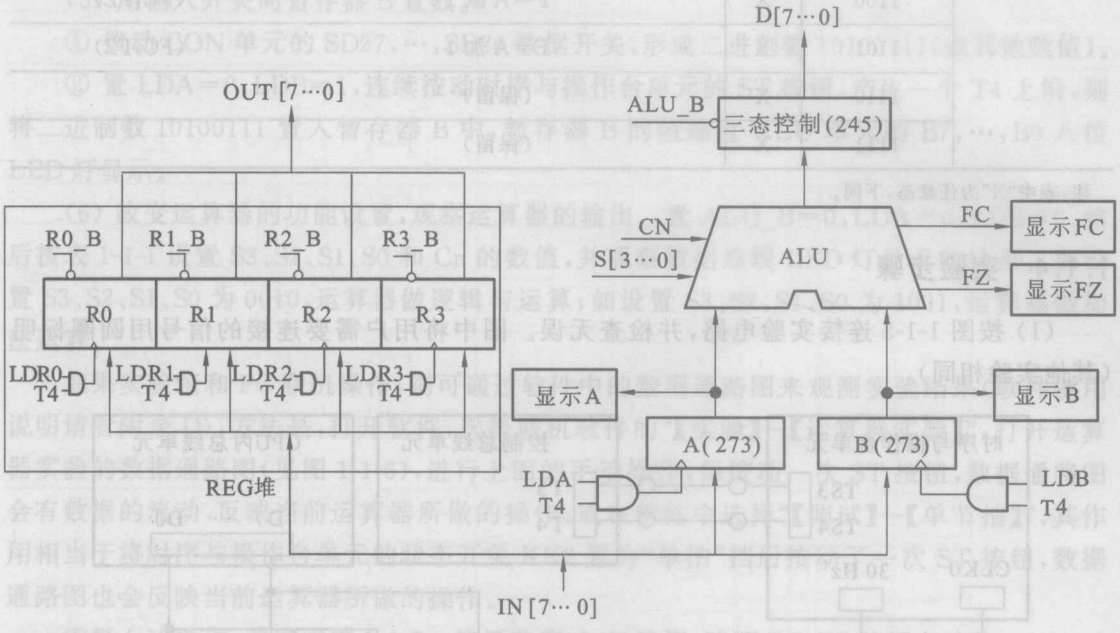

图 1-1-4 ALU 和外围电路连接原理图

运算器的逻辑功能如表 1-1-1 所示，其中 S3、S2、S1、S0、CN 为控制信号，FC 为进位标志，FZ 为运算器零标志，表中功能栏内的 FC、FZ 表示当前运算会影响到该标志。

表 1-1-1 运算器的逻辑功能表

运算类型	S3 S2 S1 S0	CN	功能
逻辑运算	0000	X	F=A(直通)
	0001	X	F=B(直通)
	0010	X	F=AB (FZ)
	0011	X	F=A+B (FZ)
	0100	X	F=/A (FZ)
移位运算	0101	X	F=A 不带进位循环右移 B(取低 3 位)位 (FZ)
	0110	0	F=A 逻辑右移一位 (FZ)
		1	F=A 带进位循环右移一位 (FC,FZ)
	0111	0	F=A 逻辑左移一位 (FZ)
		1	F=A 带进位循环左移一位 (FC,FZ)

续表

运算类型	S3 S2 S1 S0	CN	功能	
算术运算	1000	X	置 FC=CN	(FC)
	1001	X	F=A 加 B	(FC,FZ)
	1010	X	F=A 加 B 加 FC	(FC,FZ)
	1011	X	F=A 减 B	(FC,FZ)
	1100	X	F=A 减 1	(FC,FZ)
	1101	X	F=A 加 1	(FC,FZ)
	1110	X	(保留)	
	1111	X	(保留)	

注:表中"X"为任意态,下同。

1.1.4 实验步骤

(1) 按图 1-1-5 连接实验电路,并检查无误。图中将用户需要连接的信号用圆圈标明(其他实验相同)。

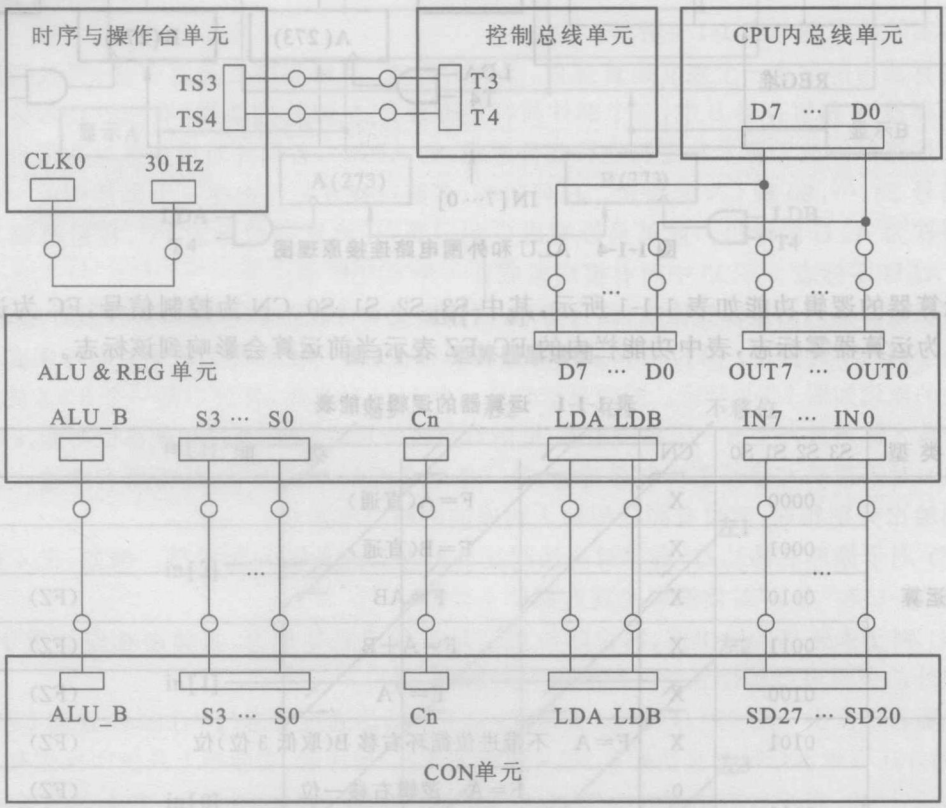

图 1-1-5 实验接线图

(2) 将时序与操作台单元的开关 KK2 置为"单拍"挡,开关 KK1、KK3 置为"运行"挡。

(3) 打开电源开关,如果听到有"嘀"的报警声,说明有总线竞争现象,应立即关闭电源,重新检查接线,直到错误排除;然后按动 CON 单元的 CLR 按钮,将运算器的 A、B 和 FC、FZ

清零。

(4) 用输入开关向暂存器 A 置数。

① 拨动 CON 单元的 SD27,…,SD20 数据开关,形成二进制数 01100101(或其他数值),数据显示亮为"1",灭为"0"。

② 置 LDA=1,LDB=0,连续按动时序与操作台单元的 ST 按钮,产生一个 T4 上沿,则将二进制数 01100101 置入暂存器 A 中,暂存器 A 的值通过 ALU 单元的 A7,…,A0 八位 LED 灯显示。

(5) 用输入开关向暂存器 B 置数。

① 拨动 CON 单元的 SD27,…,SD20 数据开关,形成二进制数 10100111(或其他数值)。

② 置 LDA=0,LDB=1,连续按动时序与操作台单元的 ST 按钮,产生一个 T4 上沿,则将二进制数 10100111 置入暂存器 B 中,暂存器 B 的值通过 ALU 单元的 B7,…,B0 八位 LED 灯显示。

(6) 改变运算器的功能设置,观察运算器的输出。置 ALU_B=0,LDA=0,LDB=0,然后按表 1-1-1 设置 S3、S2、S1、S0 和 Cn 的数值,并观察数据总线 LED 灯显示的结果。如设置 S3、S2、S1、S0 为 0010,运算器做逻辑与运算;如设置 S3、S2、S1、S0 为 1001,运算器做加法运算。

如果实验箱和 PC 联机操作,则可通过软件中的数据通路图来观测实验结果(软件使用说明请看附录 D),方法是:打开软件,选择联机软件的"【实验】—【运算器实验】",打开运算器实验的数据通路图(见图 1-1-6),进行上面的手动操作,每按动一次 ST 按钮,数据通路图会有数据的流动,反映当前运算器所做的操作;或在软件中选择"【调试】—【单节拍】",其作用相当于将时序与操作台单元的状态开关 KK2 置为"单拍"挡后按动了一次 ST 按钮,数据通路图也会反映当前运算器所做的操作。

重复上述操作,并完成表 1-1-2。然后改变 A、B 的值,验证 FC、FZ 的锁存功能。

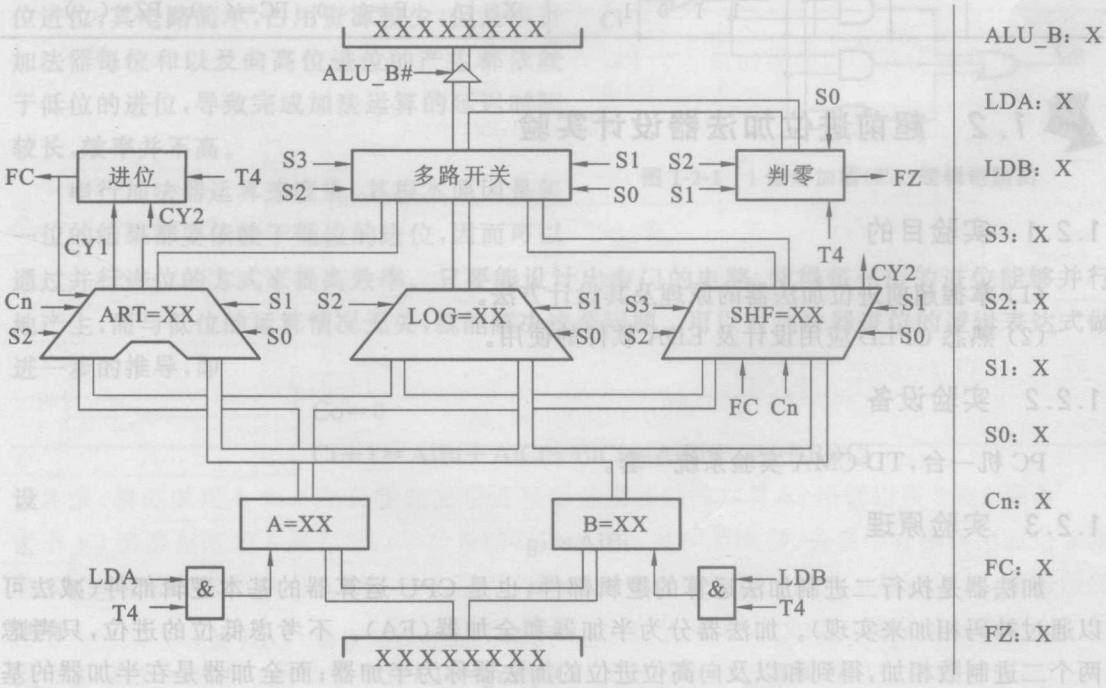

图 1-1-6 数据通路图

表 1-1-2 运算结果表

运算类型	A	B	S3 S2 S1 S0	CN	结果
逻辑运算	65	A7	0 0 0 0	X	F=(65) FC=( ) FZ=( )
	65	A7	0 0 0 1	X	F=(A7) FC=( ) FZ=( )
	—	—	0 0 1 0	X	F=( ) FC=( ) FZ=( )
	—	—	0 0 1 1	X	F=( ) FC=( ) FZ=( )
	—	—	0 1 0 0	X	F=( ) FC=( ) FZ=( )
移位运算	—	—	0 1 0 1	X	F=( ) FC=( ) FZ=( )
	—	—	0 1 1 0	0	F=( ) FC=( ) FZ=( )
				1	F=( ) FC=( ) FZ=( )
	—	—	0 1 1 1	0	F=( ) FC=( ) FZ=( )
				1	F=( ) FC=( ) FZ=( )
算术运算	—	—	1 0 0 0	X	F=( ) FC=( ) FZ=( )
	—	—	1 0 0 1	X	F=( ) FC=( ) FZ=( )
	—	—	1 0 1 0(FC=0)	X	F=( ) FC=( ) FZ=( )
			1 0 1 0(FC=1)	X	F=( ) FC=( ) FZ=( )
	—	—	1 0 1 1	X	F=( ) FC=( ) FZ=( )
	—	—	1 1 0 0	X	F=( ) FC=( ) FZ=( )
	—	—	1 1 0 1	X	F=( ) FC=( ) FZ=( )

1.2 超前进位加法器设计实验

1.2.1 实验目的

(1) 掌握超前进位加法器的原理及其设计方法。

(2) 熟悉 CPLD 应用设计及 EDA 软件的使用。

1.2.2 实验设备

PC 机一台，TD-CMA 实验系统一套。

1.2.3 实验原理

加法器是执行二进制加法运算的逻辑部件，也是 CPU 运算器的基本逻辑部件(减法可以通过补码相加来实现)。加法器分为半加器和全加器(FA)。不考虑低位的进位，只考虑两个二进制数相加，得到和以及向高位进位的加法器称为半加器；而全加器是在半加器的基础上又考虑了低位过来的进位信号。表 1-2-1 为 1 位全加器真值表。

表 1-2-1　1 位全加器真值表

输　入			输　出	
A	B	Ci	S	Co
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

A、B 为 2 个 1 位的加数，Ci 为来自低位的进位，S 为和，Co 为向高位的进位，根据表 1-2-1，可得到全加器的逻辑表达式为

$$S=\bar{A}B\bar{Ci}+\bar{A}\bar{B}Ci+A\bar{B}\bar{Ci}+ABCi$$

$$Co=AB+ACi+BCi$$

根据上述逻辑表达式，可得到图 1-2-1 所示的逻辑电路图。

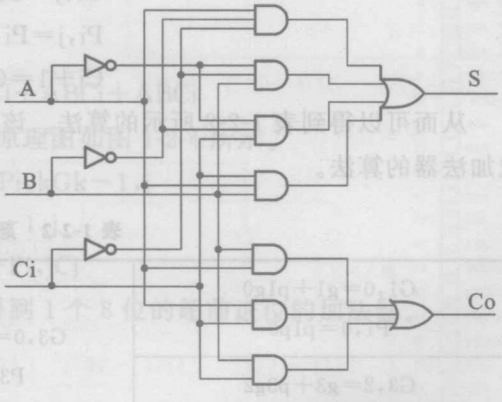

图 1-2-1　1 位全加器(FA)逻辑电路图

有了 1 位全加器，就可以用它来构造多位加法器。加法器根据电路结构的不同，可以分为串行加法器和并行加法器两种。串行加法器低位全加器产生的进位要依次串行地向高位进位，其电路简单，占用资源较少，但是串行加法器每位和以及向高位进位的产生都依赖于低位的进位，导致完成加法运算的延迟时间较长，效率并不高。

串行加法器运算速度慢，其根本原因是每一位的结果都要依赖于低位的进位，因而可以通过并行进位的方式来提高效率。只要能设计出专门的电路，使得每一位的进位能够并行地产生，而与低位的运算情况无关，就能解决这个问题。可以对加法器进位的逻辑表达式做进一步的推导，即

$$Co=0$$

$$Ci+1=AiBi+AiCi+BiCi=AiBi+(Ai+Bi)Ci$$

设

$$gi=AiBi$$

$$pi=Ai+Bi$$

则有

$$Ci+1=gi+piCi$$

$$=gi+pi(gi-1+pi-1Ci-1)$$

$$=gi+pi(gi-1+pi-1(gi-2+pi-2Ci-2))$$
$$\vdots$$
$$=gi+pi\ (gi-1+pi-1(gi-2+pi-2(\cdots(g0+p0C0)\cdots)))$$
$$=gi+pigi-1+pipi-1gi-2+\cdots+pipi-1\cdots p1g0+pipi-1\cdots p1p0C0$$

由于 gi、pi 只和 Ai、Bi 有关，这样 Ci+1 就只和 Ai，Ai−1，…，A0；Bi，Bi−1，…，B0 及 C0 有关。所以各位的进位 Ci，Ci−1，…，C1 就可以并行地产生，这种进位就叫作超前进位。

根据上面的推导，随着加法器位数的增加，越是高位的进位，逻辑电路就会越复杂，使用的逻辑器件也就越多。事实上，我们可以继续推导进位的逻辑表达式，使得某些基本逻辑单元能够复用，且能照顾到进位位的并行产生。

定义

$$Gi,j=gi+pigi-1+pipi-1gi-2+\cdots+pipi-1\cdots pj+1gj$$
$$Pi,j=pipi-1\cdots pj+1pj$$

则有

$$Gi,i=gi$$
$$Pi,i=pi$$
$$Gi,j=Gi,k+Pi,kGk-1,j$$
$$Pi,j=Pi,kPk-1,j$$
$$Ci+1=Gi,j+Pi,jCj$$

从而可以得到表 1-2-2 所示的算法。该算法为超前进位扩展算法，这里实现的是 1 个 8 位加法器的算法。

表 1-2-2　超前进位扩展算法

<table>
<tr><td>G1,0=g1+p1g0
P1,0=p1p0</td><td rowspan="2">G3,0=G3,2+P3,2G1,0
P3,0=P3,2P1,0</td><td rowspan="4">G7,0=G7,4+P7,4G3,0
P7,0=P7,4P3,0</td></tr>
<tr><td>G3,2=g3+p3g2
P3,2=p3p2</td></tr>
<tr><td>G5,4=g5+p5g4
P5,4=p5p4</td><td rowspan="2">G7,4=G7,6+P7,6G5,4
P7,4=P7,6P5,4</td></tr>
<tr><td>G7,6=g7+p7g6
P7,6=p7p6</td></tr>
<tr><td colspan="3">C8=G7,0+P7,0C0</td></tr>
</table>

由表 1-2-2 可以看出，本算法的核心思想是把 8 位加法器分成 2 个 4 位加法器，先求出低 4 位加法器的各个进位，特别是向高 4 位加法器的进位 C4；然后高 4 位加法器把 C4 作为初始进位，使用与低 4 位加法器相同的方法来完成计算。每 1 个 4 位加法器在计算时，又分成了 2 个 2 位加法器。如此递归，如图 1-2-2 所示。

这样，在超前进位扩展算法的逻辑电路实现中，需要设计两种电路。模块 A 逻辑电路需要完成如下逻辑计算，其原理图如图 1-2-3 所示。

此为试读，需要完整PDF请访问：www.ertongbook.com