



“十三五”普通高等教育规划教材

数字系统设计实验 指导教程

SHUZI XITONG SHEJI SHIYAN
ZHIDAO JIAOCHENG

杨建华 主 编

王 鹏 赵建华 副主编



中国电力出版社
CHINA ELECTRIC POWER PRESS



“十三五”普通高等教育规划教材

数字系统设计实验 指导教程

SHUZI XITONG SHEJI SHIYAN
ZHIDAO JIAOCHENG

主 编 杨建华
副主编 王 鹏 赵建华
编 写 马 超 于小宁 冯 蓉
主 审 刘盼芝

常州大学图书馆
藏书章



中国电力出版社
CHINA ELECTRIC POWER PRESS

内 容 提 要

本书为“十三五”普通高等教育规划教材。

本书是与数字系统设计课程配套的实验课教材。主要内容包括：概述、Quartus II 9.0 开发软件简介、Quartus II 9.0 工程设计入门、数字系统设计基础实验、数字系统设计提高实验、数字系统设计综合设计实验、数字系统设计课程设计实验、GW48 EDA/SOPC 实验开发系统概要说明。附录包含实验常见问题及解答和部分实验参考程序。

本书可以作为本科、高职高专类高等院校的电子工程、通信工程等相关专业的 EDA 实验指导教材，也可作为从事电子产品开发等领域的工程技术人员的参考书。

图书在版编目 (CIP) 数据

数字系统设计实验指导教程/杨建华主编. —北京: 中国电力出版社, 2017.8

“十三五”普通高等教育规划教材

ISBN 978-7-5198-1097-9

I. ①数… II. ①杨… III. ①数字系统—系统设计—实验—高等学校—教材 IV. ①TP271-33

中国版本图书馆 CIP 数据核字 (2017) 第 218273 号

出版发行: 中国电力出版社

地 址: 北京市东城区北京站西街 19 号 (邮政编码 100005)

网 址: <http://www.cepp.sgcc.com.cn>

责任编辑: 张 旻 (010-63412536)

责任校对: 郝军燕

装帧设计: 赵姗姗

责任印制: 吴 迪

印 刷: 三河市百盛印装有限公司

版 次: 2017 年 8 月第一版

印 次: 2017 年 8 月北京第一次印刷

开 本: 787 毫米×1092 毫米 16 开本

印 张: 15.5

字 数: 373 千字

定 价: 35.00 元

版 权 专 有 侵 权 必 究

本书如有印装质量问题, 我社发行部负责退换

前 言

“数字系统设计”为一门电类专业基础课，与许多后续专业课有紧密的联系，通过该课程的学习将为后续课程学习打下良好的基础。随着大规模可编程逻辑器件 FPGA/CPLD 和 EDA 技术的快速发展以及广泛应用，对“数字系统设计”课程的教学也提出了更高的要求。同时，“数字系统设计”又是一门实践性很强的课程，实验环节有着重要和不可替代的作用，全国很多高等院校都设置了基于 FPGA 或者 CPLD 的数字系统设计实验课程。学生通过“数字系统设计实验”可以达到下列目标：进一步熟悉数字系统设计的基本理论，培养其利用软件开发硬件的基本技能，提高其分析问题和解决问题的能力以及工程实践能力；熟练掌握 Quartus II 软件的设计应用方法、测试方法和综合优化技术；掌握常用的 FPGA 和 CPLD 器件的设计方法。

针对电子信息类培养模式的新需求和教学改革发展的要求，为了方便老师的实验教学，也便于同学们高质量完成实验课程，帮助同学们进一步巩固理论书本知识，提高分析问题和解决实际问题的能力，结合理论教材和实验仪器设备，编写了本书。

本书共 8 章：

第 1 章 概述。介绍了 EDA 技术，硬件描述语言，FPGA 和 CPLD 以及其主要厂商和开发工具；简要介绍了 ModelSim 仿真软件以及通过例子展示了其使用方法，数字系统设计的主要流程等。

第 2 章 Quartus II 9.0 开发软件简介。介绍了 Quartus II 9.0 的优点、设计流程、支持工具、安装步骤以及详细的开发平台介绍。

第 3 章 Quartus II 9.0 工程设计入门。通过具体实验案例介绍了基于原理图、VHDL、状态机、LPM、混合模式等几种常见的设计输入方式。

第 4 章 数字系统设计基础实验。设计了 11 个基础实验案例。

第 5 章 数字系统设计提高实验。在基础实验的基础上，设计了 9 个提高型实验。

第 6 章 数字系统设计综合设计实验。综合前面的基础实验和提高型实验，设计了 17 个具有一定工程背景的综合设计型实验。对部分有一定设计难度的实验提供了实验源代码及波形仿真图。

第 7 章 数字系统设计课程设计实验。设计了 9 个具有较强工程背景的较复杂数字系统实验题目。要求学生能够根据要求分析题目，做出设计方案，进行系统设计和调试。培养学生独立思考问题的能力，充分调动学生的创造性思维。对部分有一定设计难度的实验提供了实验源代码及波形仿真图。

第 8 章 GW48 EDA/SOPC 实验开发系统概要说明。详细介绍了 GW48 EDA/SOPC 实验开发系统。

附录 A 为实验常见问题及解答，总结了学生实验中经常遇到的软件和硬件相关问题及其解决办法；附录 B 给出了部分实验参考程序。

目 录

79	8.5	80C13 基配器使用说明	193
89	8.6	74X147B 电子译码器	194
100	8.7	GW48CX PK2/PK3 系列	197
101		实验常见故障及解答	200
前言		部分实验参考程序	203
第 1 章	概述		1
1.1	EDA 技术概述		1
1.2	硬件描述语言简介		1
1.3	FPGA/CPLD 概述		2
1.4	ModelSim 概述		4
1.5	数字系统概述		14
1.6	数字系统设计实验说明		15
第 2 章	Quartus II 9.0 开发软件简介		17
2.1	Quartus II 9.0 简介		17
2.2	Quartus II 9.0 安装步骤		19
2.3	Quartus II 9.0 开发环境介绍		25
第 3 章	Quartus II 9.0 工程设计入门		31
3.1	基于原理图的工程设计		31
3.2	基于 VHDL 语言的文本工程设计		50
3.3	基于状态机的工程设计		52
3.4	基于 LPM 的工程设计		57
3.5	基于混合模式的工程设计		62
第 4 章	数字系统设计基础实验		65
实验 1	3-8 译码器设计		65
实验 2	两位全加器设计		67
实验 3	基于 VHDL 的多路数据选择器设计		70
实验 4	编码器设计		73
实验 5	键盘、LED 发光实验		74
实验 6	4 位数值比较器设计		76
实验 7	应用 Quartus II 完成基本时序电路的设计		78
实验 8	移位寄存器设计		80
实验 9	按键去抖动电路设计		84
实验 10	8×8 点阵汉字显示实验		88
实验 11	简单状态机设计		89
第 5 章	数字系统设计提高实验		91
实验 1	静态数码管显示译码电路设计		91
实验 2	8 位数码扫描显示电路设计		94

实验 3	基于 VHDL 的流水灯电路设计	97
实验 4	偶数分频器设计	98
实验 5	含异步清零和同步时钟使能的十进制加法计数器设计	100
实验 6	数控分频器设计	102
实验 7	基于状态机的序列检测器设计	104
实验 8	4×4 键盘扫描电路设计	105
实验 9	存储器 ROM 和 RAM 设计	108
第 6 章	数字系统设计综合设计实验	112
实验 1	A/D 采样控制电路设计	112
实验 2	数据采集电路和简易存储示波器设计	115
实验 3	比较器和 D/A 器件实现 A/D 转换功能的电路设计	117
实验 4	8 位 16 进制频率计设计	118
实验 5	交通灯控制器设计	122
实验 6	汽车尾灯控制器设计	125
实验 7	正弦信号发生器设计	127
实验 8	循环冗余校验 (CRC) 模块设计	130
实验 9	FPGA 步进电机细分驱动控制设计	132
实验 10	FPGA 直流电机 PWM 控制实验	133
实验 11	高速公路电动栏杆机测速系统设计	135
实验 12	乐曲硬件演奏电路设计	136
实验 13	VGA 彩条信号显示控制器设计	141
实验 14	VGA 图像显示控制器设计	145
实验 15	移位相加硬件乘法器设计	147
实验 16	脉冲信号数字滤波器设计	152
实验 17	数字锁相环 PLL 应用实验	154
第 7 章	数字系统设计课程设计实验	159
实验 1	数字钟的仿真与设计	159
实验 2	自动售货机的仿真与设计	160
实验 3	出租车计费器的仿真与设计	162
实验 4	电梯控制器的仿真与设计	164
实验 5	LCD 字符显示的仿真与设计	165
实验 6	FPGA 串行通用异步收发器设计	169
实验 7	简易计算器设计	172
实验 8	基于 FPGA 的四路抢答器电路设计	173
实验 9	基于 FPGA 的数字电压表设计	174
第 8 章	GW48 EDA/SOPC 实验开发系统概要说明	177
8.1	GW48 教学实验系统原理与使用介绍	177
8.2	实验电路结构图	182
8.3	超高速 A/D、D/A 板 GW_ADDA 说明	192

8.4 步进电机和直流电机使用说明.....	193
8.5 SOPC 适配板使用说明.....	193
8.6 GWDVPB 电子设计竞赛应用板使用说明.....	194
8.7 GW48CK/PK2/PK3/PK4 系统万能接口与结构图信号/与芯片引脚对照表.....	197
附录 A 实验常见问题及解答.....	200
附录 B 部分实验参考程序.....	203
参考文献.....	237

电子设计自动化 (Electronic Design Automation, EDA) 是以计算机为工作平台, 以 EDA 技术, EDA 技术使得电子电路设计者的工作仅限于利用硬件描述语言和 EDA 软件平台来完成对系统硬件功能的实现, 可极大地提高设计效率, 减少设计周期, 降低设计成本。EDA 是在 20 世纪 90 年代初从计算机辅助设计 (CAD)、计算机辅助制造 (CAM)、计算机辅助测试 (CAT) 和计算机辅助工程 (CAE) 的概念发展而来的。一般把 EDA 技术的发展分为 CAD、CAE 和 EDA 三个阶段, 世界各 EDA 公司致力于推出兼容各种硬件实现方案和各种标准硬件描述语言的 EDA 工具软件, 有效地将 EDA 技术推向成熟。今天, EDA 技术已经成为电子设计的重要工具, 无论是设计芯片还是设计系统, 如果没有 EDA 工具的支持都将是难以完成的。EDA 工具已经成为现代电路设计师的重要武器, 正在起着越来越重要的作用。

利用 EDA 技术进行数字系统设计具有以下几个特点:

- (1) 全自动化。用软件方式设计的系统到硬件系统的转换, 是由开发软件自动完成的。
- (2) 开发效率更高。设计中的错误和内容更新只需要修改相关代码, 重新进行综合逻辑下载编程操作即可完成, 不需要改动硬件电路。
- (3) 开放性和标准化。现代 EDA 工具普遍采用标准化和开放性框架结构, 任何一个 EDA 系统只要建立了一个符合标准的开放式框架结构, 就可以容纳其他厂商的 EDA 工具一起进行设计工作。这样可以实现各种 EDA 工具间的优化组合, 并集成在一个易于管理的统一环境之下, 实现资源共享, 有效提高设计效率, 有利于大规模、有组织的设计开发工作。
- (4) 操作智能化。可以使设计人员不必深入学习许多的专业知识, 还可以免除许多推导运算即可获得优化的设计结果。
- (5) 成果虚拟化。采用硬件描述语言可以支持从数字系统到门级的多层次的对象描述。
- (6) 更完善的库。EDA 要具有强大的设计能力和更高的设计效率, 必须配有丰富的库, 比如元器件图形符号库、元器件模型库、工艺参数库、标准单元库、可复用的电路模块库、IP 库等。在电路设计的各个阶段, EDA 系统需要不同层次、不同种类的元器件模型库的支持。

1.2 硬件描述语言简介

硬件描述语言 (HDL) 是 EDA 技术中的重要组成部分。常用的硬件描述语言有 AHDL、VHDL 和 Verilog HDL, 而 VHDL 和 Verilog HDL 是当前最流行的硬件描述语言。VHDL 是超高速集成电路硬件描述语言 (Very-High Speed Integrated Circuit Hardware Description Language) 的英文缩写。VHDL 作为 IEEE 标准的硬件描述语言和 EDA 的重要组成基础, 经过十几年的发展、应用和完善, 以其强大的系统描述能力、规范的程序设计结构、灵活的语

第 1 章 概 述

1.1 EDA 技术概述

电子设计自动化 (Electronic Design Automation, EDA) 是以计算机为工作平台, 以 EDA 软件为开发环境, 以大规模可编程逻辑器件为设计载体实现既定的电子电路设计功能的一种技术。EDA 技术使得电子电路设计者的工作仅限于利用硬件描述语言和 EDA 软件平台来完成对系统硬件功能的实现, 可极大地提高设计效率, 减少设计周期, 节省设计成本。EDA 是在 20 世纪 90 年代初从计算机辅助设计 (CAD)、计算机辅助制造 (CAM)、计算机辅助测试 (CAT) 和计算机辅助工程 (CAE) 的概念发展而来的。一般把 EDA 技术的发展分为 CAD、CAE 和 EDA 三个阶段。世界各 EDA 公司致力于推出兼容各种硬件实现方案和支持标准硬件描述语言的 EDA 工具软件, 有效地将 EDA 技术推向成熟。今天, EDA 技术已经成为电子设计的重要工具, 无论是设计芯片还是设计系统, 如果没有 EDA 工具的支持都将是难以完成的。EDA 工具已经成为现代电路设计师的重要武器, 正在起着越来越重要的作用。

利用 EDA 技术进行数字系统设计具有以下几个特点:

- (1) 全自动化。用软件方式设计的系统到硬件系统的转换, 是由开发软件自动完成的。
- (2) 开发效率更高。设计中的错误和内容更新只需要修改相关代码, 重新进行综合适配下载等操作即可完成。不需要改动硬件电路。
- (3) 开放性和标准化。现代 EDA 工具普遍采用标准化和开放性框架结构, 任何一个 EDA 系统只要建立了一个符合标准的开放式框架结构, 就可以接纳其他厂商的 EDA 工具一起进行设计工作。这样可以实现各种 EDA 工具间的优化组合, 并集成在一个易于管理的统一环境之下, 实现资源共享, 有效提高设计效率, 有利于大规模、有组织的设计开发工作。
- (4) 操作智能化。可以使设计人员不必深入学习许多的专业知识, 还可以免除许多推导运算即可获得优化的设计结果。
- (5) 成果规范化。采用硬件描述语言可以支持从数字系统到门级的多层次的硬件描述。
- (6) 更完备的库。EDA 要具有强大的设计能力和更高的设计效率, 必须配有丰富的库, 比如元器件图形符号库、元器件模型库、工艺参数库、标准单元库、可复用的电路模块库、IP 库等。在电路设计的各个阶段, EDA 系统需要不同层次、不同种类的元器件模型库的支持。

1.2 硬件描述语言简介

硬件描述语言 HDL 是 EDA 技术中的重要组成部分, 常用的硬件描述语言有 AHDL、VHDL 和 Verilog HDL, 而 VHDL 和 Verilog HDL 是当前最流行的硬件描述语言。VHDL 是超高速集成电路硬件描述语言 (Very-High-Speed Integrated Circuit Hardware Description Language) 的英文缩写。VHDL 作为 IEEE 标准的硬件描述语言和 EDA 的重要组成部分, 经过十几年的发展、应用和完善, 以其强大的系统描述能力、规范的程序设计结构、灵活的语

言表达风格和多层次的仿真测试手段,在电子设计领域得到了普遍的认同和广泛的接受,成为现代 EDA 领域的首选硬件设计语言。专家认为,在 21 世纪中,VHDL 与 Verilog 语言将承担起几乎全部的数字系统设计任务。VHDL 的特点如下:

- (1) VHDL 具有强大的功能,覆盖面广,描述能力强。
- (2) VHDL 具有良好的可读性。
- (3) VHDL 具有良好的可移植性。
- (4) 使用 VHDL 可以延长设计的生命周期。
- (5) VHDL 支持对大规模设计的分解和已有设计的再利用。
- (6) VHDL 有利于保护知识产权。

Verilog HDL 也是目前应用最为广泛的硬件描述语言,并被 IEEE 采纳为 IEEE 1064 1995 (即 Verilog 1995) 标准,并于 2001 年和 2005 年分别升级为 Verilog 2001 和 SystemVerilog 2005 标准。Verilog HDL 可以用来进行各种层次的逻辑设计,也可以进行数字系统的逻辑综合、仿真验证和时序分析。Verilog HDL 适合算法级 (Algorithm)、寄存器传输级 (RTL)、逻辑级 (Logic)、门级 (Gate) 和版图级 (Layout) 等各个层次的电路设计和描述。采用 Verilog HDL 进行电路设计的最大优点是其与工艺无关性,这使得设计者在进行电路设计时可以不必过多考虑工艺实现的具体细节,只需要根据系统设计的要求施加不同的约束条件,即可设计出实际电路。实际上,利用计算机的强大功能,在 EDA 工具的支持下,把逻辑验证与具体工艺库相匹配,将布线及延迟计算分成不同的阶段来实现,从而减少了设计者的繁重劳动。

Verilog HDL 和 VHDL 都是用于电路设计的硬件描述语言,并且都已成为 IEEE 标准。Verilog HDL 具有与 VHDL 类似的特点,稍有不同的是 Verilog HDL 早在 1983 年就已经推出,至今已有 30 多年的应用历史,因而 Verilog HDL 拥有广泛的设计群体,其设计资源比 VHDL 丰富。另外 Verilog HDL 是在 C 语言的基础上演化而来的,因此只要具有 C 语言的编程基础,就很容易学会并掌握这种语言。

1.3 FPGA/CPLD 概述

1.3.1 FPGA/CPLD 简介

PLD 的全称是 Programmable Logic Device (可编程逻辑器件),它是一种数字集成电路的半成品,在其芯片上按照一定的排列方式集成了大量的门和触发器等基本逻辑单元,用户可以利用某种开发工具对其进行加工即按照实际要求将这些片内的元件连接起来(此过程称为编程),使之完成一定的逻辑功能,从而成为一个可在实际电子系统中使用的专用集成电路。目前应用最广泛的 PLD 主要是 FPGA 和 CPLD。1985 年 Xilinx 公司首家推出了现场可编程逻辑器件 (FPGA),它是一种新型的高密度 PLD,采用 CMOS-SRAM 工艺制作。其结构和阵列型 PLD 不同,它的内部由许多独立的可编程逻辑模块组成,逻辑模块之间可以灵活地相互连接,具有密度高、编程速度快、设计灵活和可再配置设计能力等许多优点。FPGA 出现以后立即受到世界范围内广大电子工程师的普遍欢迎,并得到迅速发展。20 世纪 80 年代末,在 Lattice 公司提出在系统可编程技术后,相继出现一系列具备在系统可编程能力的复杂可编程逻辑器件 (CPLD)。CPLD 是在 EPLD 的基础上发展起来的,它采用 EECMOS 工艺制作,增加了内部连线,改进了内部体系结构,因其性能更好,设计更加灵活,其发展也非常迅速。

同以往的 PAL、GAL 等相比较, FPGA 和 CPLD 的规模较大, 可以代替几十甚至几千块通用 IC 芯片。在外围电路不动的情况下用不同程序就可以实现不同的电路功能。CPLD 和 FPGA 在结构和应用上具有以下特点:

(1) 结构。FPGA 由逻辑功能块排列为阵列, 并由可编程的内部连线连接这些功能块来实现一定的逻辑功能。CPLD 由可编程与或门阵列以及宏单元构成。

(2) 集成度。FPGA 比 CPLD 的集成度更高, 同时也具有更复杂的布线结构和逻辑实现。

(3) 适合结构。CPLD 组合逻辑功能很强, FPGA 更适合设计复杂的时序逻辑。

(4) 功耗。CPLD 比 FPGA 的功耗大, 集成密度越高越明显。

(5) 速度。由于 FPGA 是门级编程, 且逻辑块之间采用分布式互连; 而 CPLD 是逻辑级编程, 且逻辑块互连是集总式的。因此 CPLD 比 FPGA 有较高的速度和较大的时间可预测性。

(6) 编程方式。目前, CPLD 主要是基于 EEPROM 或者 FLASH 存储器编程, 编程次数达 1 万次, 其优点是系统断电后编程信息不丢失。CPLD 又分为在编程器编程和在系统编程两种, 在系统编程器件的优点是: 不需要编程器, 可先将器件装焊于印制板, 再经过编程电缆进行编程, 编程、调试和维护很方便。FPGA 大部分是基于 SRAM 编程, 其缺点是编程数据信息在系统断电后丢失, 每次上电时, 需从器件的外部存储器或者计算机中将编程信息数据写到 SRAM 中; 其优点是可进行任意次数的编程, 并在工作中快速编程, 实现板级和系统级的动态配置, 因此可称为在线重配置器件。

(7) 使用方便性。在使用方便性上, CPLD 比 FPGA 好, CPLD 的编程工艺采用 EEPROM 或者 FLASH 技术, 无需外部存储器芯片, 使用简单, 保密性好。基于 SRAM 编程的 FPGA, 其编程信息需存放在外部存储器上, 需外部存储芯片, 使用方法相对复杂, 保密性差。

1.3.2 FPGA/CPLD 主要厂商及开发工具

目前世界上有十几家生产 FPGA/CPLD 的公司, 最大的三家是 Altera 公司、Xilinx 公司、Lattice 公司。

常用的 FPGA/CPLD 开发工具一般有集成开发工具和专业开发工具两种类型。

1. 集成开发工具

此类型的开发工具是芯片制造商为配合自己的 FPGA/CPLD 芯片而推出的一种集成开发环境, 基本上能完成其 FPGA/CPLD 开发的所有工作, 包括设计输入、仿真、综合、布线、下载等。此类开发工具应用在其公司的 FPGA/CPLD 芯片上, 能提高设计效率, 优化设计结果, 充分利用芯片资源。其缺点是综合能力较差, 不支持其他器件厂商出品的器件。由 Altera 公司、Xilinx 公司、Lattice 公司开发的集成开发工具有:

(1) Altera 公司: MAX+plus II、Quartus II。

(2) Xilinx 公司: Foundation、ISE。

(3) Lattice 公司: ispLEVER。

2. 专业开发工具

此类型的开发工具能进行更为复杂和更高效率的设计, 一般有专业的设计输入工具、专业的逻辑综合器、专业的仿真器等。

(1) 专业的设计输入工具: Mentor 公司的 HDL Designer Series, 通用编辑器 UltraEdit, Innovada 公司的 Visual HDL。

(2) 专业的逻辑综合器: Synplicity 公司的 Synplify 和 Synplify Pro, Synopsys 公司的

FPGA Express、FPGA Compiler 等。

(3) 专业的仿真器：Mentor 子公司的 Modelsim，Cadance 公司的 NC-Verilog/NC-VHDL 等。

1.4 ModelSim 概述

1.4.1 ModelSim 简介

ModelSim 仿真工具是 ModelTech 公司开发的，是业界最优秀的 HDL 语言仿真器。它支持 Verilog、VHDL 以及它们的混合仿真，是进行 FPGA/CPLD 设计的 RTL 级和门级电路仿真的首选。它可以将整个程序分步执行，使设计者直接看到它的程序下一步要执行的语句，而且在程序执行的任何步骤、任何时刻都可以查看任意变量的当前值，可以在 Dataflow 窗口查看某一单元或模块的输入输出的连续变化等，比 Quartus II 自带的仿真器功能强大得多，是目前业界最通用的仿真器之一。

ModelSim 分几种不同的版本：SE、PE 和 OEM，其中集成在 Actel、Atmel、Altera、Xilinx 以及 Lattice 等 FPGA 厂商设计工具中的均是其 OEM 版本。比如为 Altera 提供的 OEM 版本是 ModelSim-Altera，为 Xilinx 提供的版本是 ModelSim XE.SE。SE 版本为最高级别的版本，在功能和性能方面比 OEM 版本强很多。ModelSim 专业版具有快速的仿真性能和最先进的调试能力，全面支持 Unix、Linux 和 Windows 平台。

ModelSim 的主要特点是：

- (1) RTL 级和门级优化，本地编译结构，编译仿真速度快。
- (2) 单内核 VHDL 和 Verilog 混合仿真。
- (3) 集成了性能分析、波形比较、代码覆盖等功能。
- (4) C 和 Tcl/tk 接口，C 调试。

ModelSim 的功能更偏重于编译、仿真，不能指定编译的器件，不具有编程下载能力。在时序仿真时无法编辑输入波形，不像 MAX+Plus II 和 Quartus II 那样可以自行设置输入波形、仿真后自行产生输出波形，而需要在源文件中就确定输入，如编写测试程序来完成初始化、模块输入的工作，或者通过外部宏文件提供激励，这样才能看到仿真模块的时序波形图。

1.4.2 ModelSim 仿真的目的与分类

1. 仿真的目的

仿真的目的是在软件环境下，验证电路的行为和设想中的是否一致。

2. 仿真的分类

(1) 功能仿真：是对源代码进行编译，检验在语法上是否正确，发现错误，并且提供出错的原因，设计者可以根据提示进行修改。编译通过后，仿真器再根据输入信号产生输出，根据输出可以判断功能是否正确。如果不正确，则需要反复修改代码，直到语法和功能都达到要求。功能仿真只验证在功能上是否正确（称为前仿真），在时序上不做验证。在做功能仿真时还需要注意，信号通过某个网络时是存在延迟的，而在功能仿真时不会体现出来，输入信号的改变会立即在输出端反映出来。所以必须牢记功能仿真和时序仿真是有区别的，这一点十分重要。

(2) 时序仿真：又称为后仿真，是在电路已经映射到特定的工艺环境后，将电路的路径延迟和门延迟考虑进对电路行为的影响后，来比较电路行为是否还能够一定条件下满足设

计构想。

1.4.3 VHDL 仿真流程

设计描述的 VHDL 程序输入后,可以对其进行仿真验证。仿真时需要为该 VHDL 设计实体输入激励程序,即测试平台文件(Test Bench),图 1.1 描述了 VHDL 的一般仿真过程。

首先仿真器读入 VHDL 文件和相应的测试平台文件,进行编译处理。由于 VHDL 项目文件还需要调用相应的库文件,因此仿真器还需要访问 VHDL 库资源。然后仿真器就可以通过测试平台的激励信号产生驱动信号源,并根据项目设计的综合或布局布线的输出,实现功能或时序仿真,输出仿真波形或者数据。功能仿真是在布局布线前的仿真操作,主要验证 VHDL 设计的功能是否满足设计要求;时序仿真是在布局布线后的仿真操作,主要是对信号的时序进行分析验证。

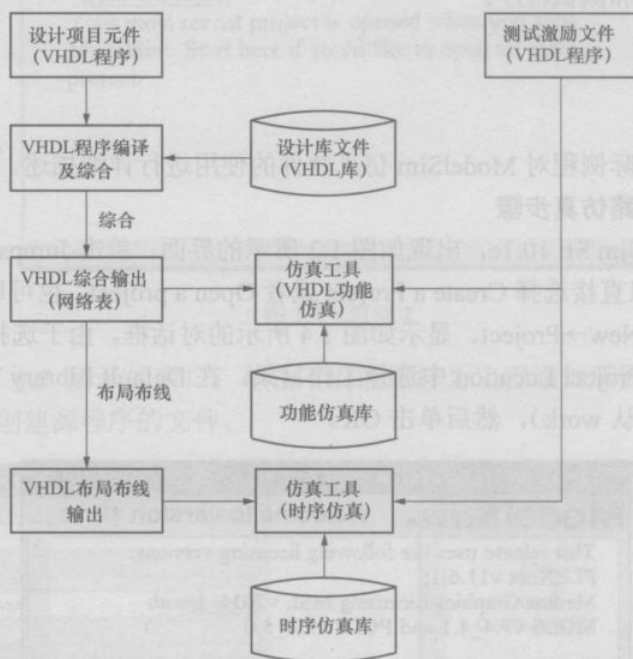


图 1.1 VHDL 的一般仿真过程

1.4.4 使用 ModelSim 的 VHDL 仿真

ModelSim 可以对 VHDL 描述的设计实体进行功能功能仿真和时序仿真,但是时序仿真需要 FPGA 厂商专业设计工具,如 Quartus II 综合之后的网表文件.vo 才能进行。ModelSim 仿真操作过程有两种方法:一是通过 Quartus II 调用 ModelSim,Quartus II 在编译之后自动把仿真需要的.vo 文件及仿真库加到 ModelSim 中,操作简单;二是在 ModelSim 中建立仿真项目,手动加入 Quartus II 编译生成的网表文件和仿真库。ModelSim 常用命令见表 1.1。

表 1.1

ModelSim 常用命令

命 令	解 释
vsim work.实体名	启动仿真
forc clk 0 0,1 10 -r 20	设置仿真时钟为 50MHz (时间单位为 ns)

续表

命 令	解 释
view wave	打开波形窗口
add wave - hex *	添加信号到波形中。其中*表示添加设计中的所有信号，-hex 表示以十六进制来表示波形传口中的信号值
run 3 μ s	开始仿真（run 2000 则表示运行 2000 个单位时间的仿真）
quit -sim	退出仿真，退出命令

基本的仿真步骤如下：

- (1) 建立工程。
- (2) 编写主程序和测试程序。
- (3) 编译。
- (4) 仿真。
- (5) 观察波形。

下面结合两个实际例程对 ModelSim 仿真软件的使用进行详细描述。

1.4.5 十分频电路仿真步骤

(1) 启动 ModelSim SE 10.1c，出现如图 1.2 所示的界面，单击 Jumpstart 按钮，出现如图 1.3 所示的选项，可以直接选择 Create a Project 或者 Open a project，也可以选择进行关闭，通过点击菜单栏 File→New→Project，显示如图 1.4 所示的对话框。由于选择十分频的实验，所以命名为 div10，在 Project Location 中选择工作目录，在 Default Library Name 中填写设计所需编译到的库名（默认 work），然后单击 OK。

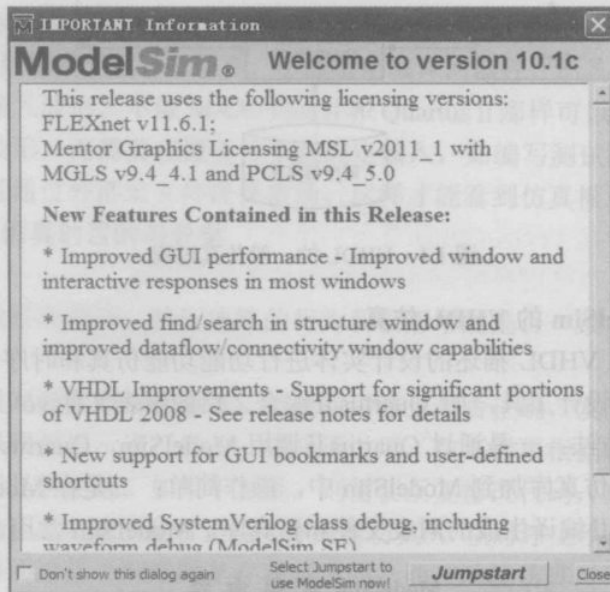


图 1.2 启动 1

这里说明一下，一般在建立工程（project）前，先建立一个工作库（library），将这个 library 命名为 work。尤其是第一次运行 ModelSim 时，是没有这个“work”的。但 project 一般都

是在这个 work 下面工作的，所以有必要先建立这个 work。如果在 library 中有 work，就不必执行上一步骤了，直接新建工程。

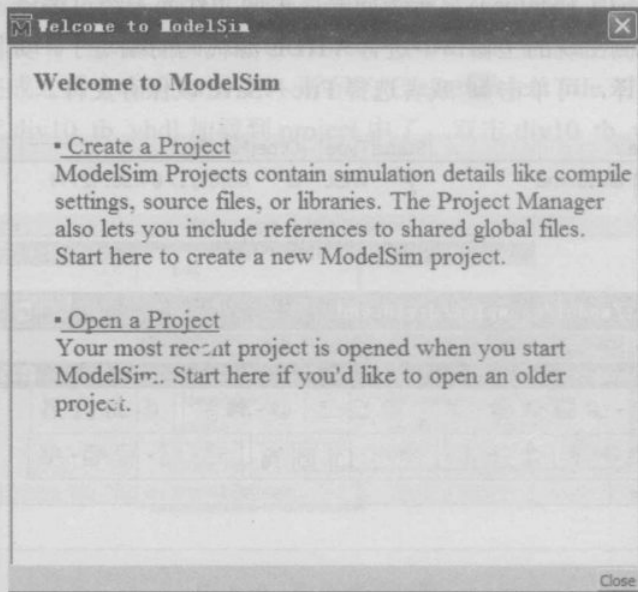


图 1.3 启动 2

(2) 出现如图 1.5 所示的窗口，单击不同的图标为工程添加所需要的项目，这里单击 Create New File 来创建源程序的文件。

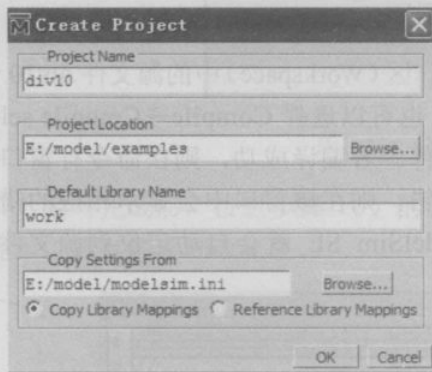


图 1.4 Create a Project

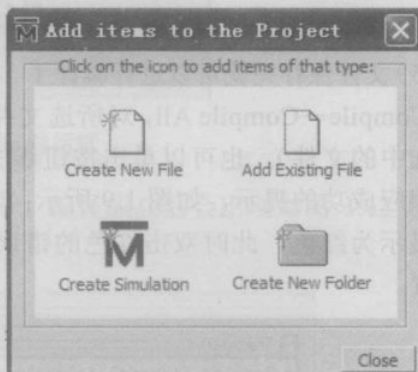


图 1.5 Add items to the Project 窗口

(3) 在出现如图 1.6 所示的 Create Project File 对话框之后，在 File Name 中输入需要的文件名（如 div10，该文件名可与工程名不同），在 Add file as type 中选择文件类型为 VHDL，在 Folder 中选择文件存放路径，一般为所建工程所在路径，即默认 Top Level，单击 OK 按钮。然后在 Add items to the Project 窗口（见图

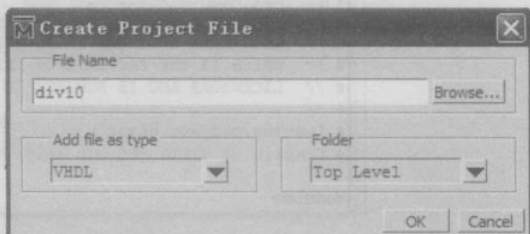



图 1.6 Create Project File 对话框

1.5) 中单击 Close 按钮关闭该窗口。

(4) 文件建立后, 在左侧的工作区 (Workspace) 中就会出现该文件的相关信息, 如图 1.7 所示。其中的状态项 (Status) 显示为问号, 表明文件尚未经过编译。此时双击工作区中的文件, 就可以在右侧出现的主窗口中进行 VHDL 源代码的编写了, 如图 1.8 所示。编写完成后务必先保存再编译, 可单击  或者选择 File→Save 以保存文件。


Name	Status	Type	Order	Modified
 div10.vhd	?	VHDL	0	06/01/17 04:36:42 PM

图 1.7 界面提示信息

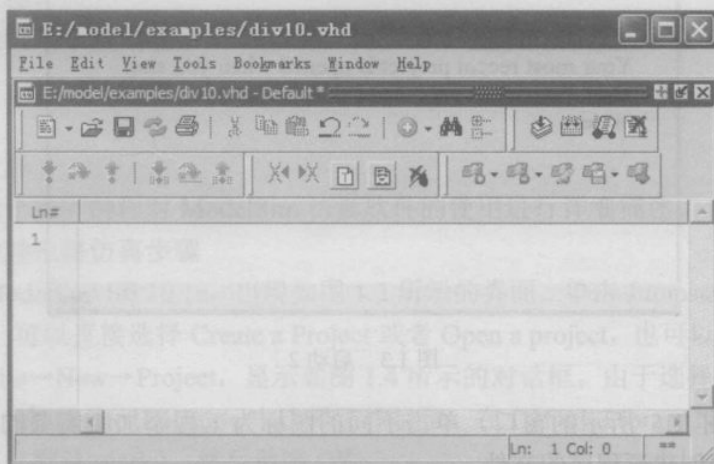



图 1.8 代码编写窗口

(5) 文件保存完就可以进行编译了。右键单击工作区 (Workspace) 中的源文件 div10.vhdl, 选择 Compile→Compile All, 对所选文件进行编译 (也可以选择 Compile→Compile selected 编译选中的文件), 也可以单击按钮  来编译源文件。若编译成功, 则在命令行窗口中会显示相应成功的提示, 如图 1.9 所示; 若是程序出错, 则在该窗口中会显示相应的错误提示, 显示为红色, 此时双击红色的错误提示, ModelSim SE 就会自动定位到源文件出错的位置。

```

Transcript
# Reading E:/model/tcl/vsim/pref.tcl
# // ModelSim SE 10.1c Jul 27 2012
# //
# // Copyright 1991-2012 Mentor Graphics Corporation
# // All Rights Reserved.
# //
# // THIS WORK CONTAINS TRADE SECRET AND PROPRIETARY INFORMATION
# // WHICH IS THE PROPERTY OF MENTOR GRAPHICS CORPORATION OR ITS
# // LICENSORS AND IS SUBJECT TO LICENSE TERMS.
# //
# Loading project div10
# Compile of div10.vhd was successful.
ModelSim>

```

图 1.9 提示编译成功

(6) 编译成功后就可以进行功能仿真了, 可开始写测试程序 (testbench), 每一个主程序都要配套编写一个测试程序。testbench 可给主程序提供时钟和信号激励, 使其正常工作, 产生波形图。采用 testbench 方式对 VHDL 源文件进行仿真, 在原来的工程中, 右键单击工作区中的源文件 (div10.vhdl), 接着选择 Add to Project→New File 在工程中添加测试文件, 其操作如图 1.10 所示。完成之后会出现如图 1.11 所示的 Create Project File 对话框 (测试文件名为 div10_tb)。这样就把 div10_tb.vhdl 加载到 project 中了, 双击 div10_tb.vhdl 在右边的程序编辑区中编写代码。

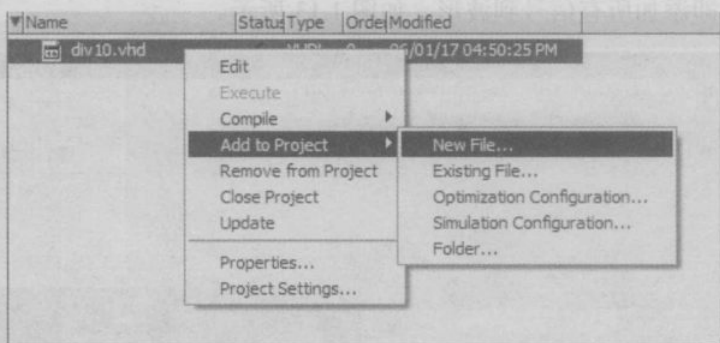


图 1.10 添加测试文件

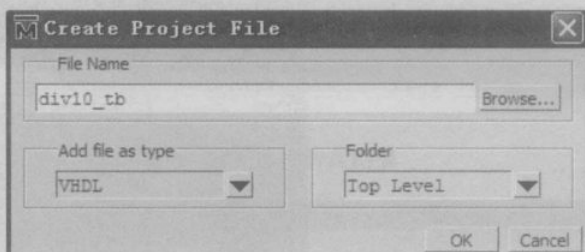


图 1.11 Create Project File 对话框

(7) 编写完成后, 按照步骤 (5) 的方法进行编译。编译成功后会出现如图 1.12 所示的成功提示, 若有错误则改正之。

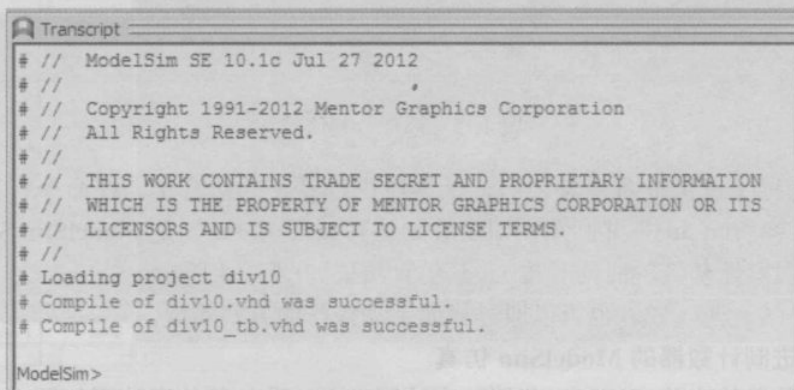


图 1.12 提示编译成功