

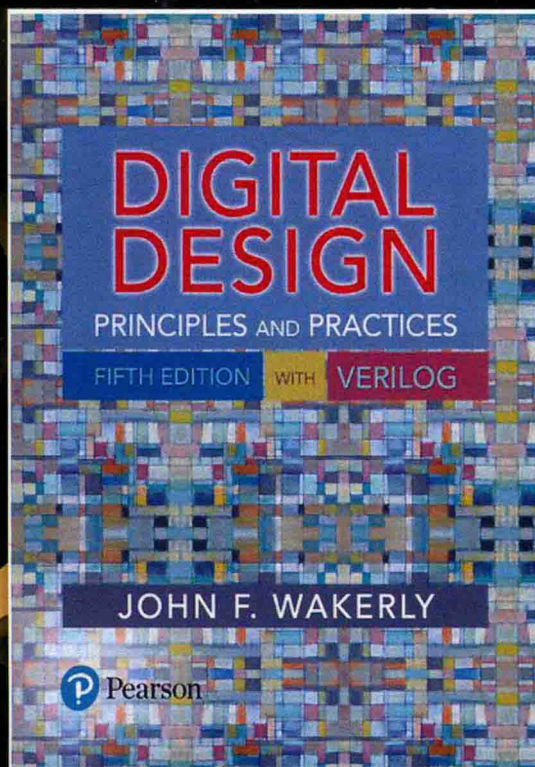
数字设计

原理与实践

[美] 约翰·F. 韦克利 (John F. Wakerly) 著 林生 葛红 金京林 等译

Digital Design

Principles and Practices Fifth Edition



十 算 机 科 学 丛 书

原书第5版

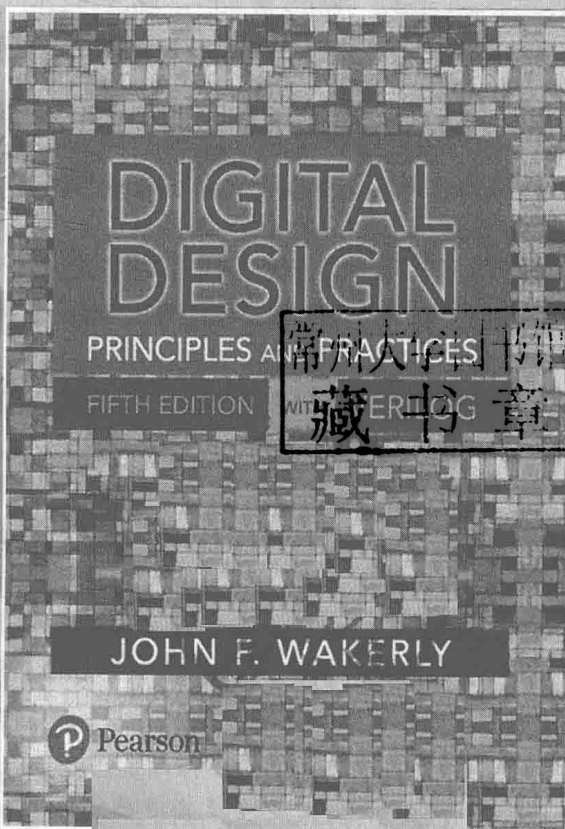
数字设计

原理与实践

[美] 约翰·F. 韦克利 (John F. Wakerly) 著 林生 葛红 金京林 等译

Digital Design

Principles and Practices Fifth Edition



机械工业出版社
China Machine Press

图书在版编目 (CIP) 数据

数字设计：原理与实践（原书第 5 版）/（美）约翰·F. 韦克利（John F. Wakerly）著；林生等译. —北京：机械工业出版社，2019.6

（计算机科学丛书）

书名原文：Digital Design: Principles and Practices, Fifth Edition

ISBN 978-7-111-62941-2

I. 数… II. ①约… ②林… III. 数字电路—电路设计 IV. TN79

中国版本图书馆 CIP 数据核字（2019）第 115440 号

本书版权登记号：图字 01-2017-7496

Authorized translation from the English language edition, entitled *Digital Design: Principles and Practices, Fifth Edition*, ISBN: 9780134460093, by John F. Wakerly, published by Pearson Education, Inc., Copyright © 2018, 2006, 2000 by Pearson Education, Inc.

All rights reserved. No part of this book may be reproduced or transmitted in any form or by any means, electronic or mechanical, including photocopying, recording or by any information storage retrieval system, without permission from Pearson Education, Inc.

Chinese simplified language edition published by China Machine Press, Copyright © 2019.

本书中文简体字版由 Pearson Education（培生教育出版集团）授权机械工业出版社在中华人民共和国境内（不包括香港、澳门特别行政区及台湾地区）独家出版发行。未经出版者书面许可，不得以任何方式抄袭、复制或节录本书中的任何部分。

本书封底贴有 Pearson Education（培生教育出版集团）激光防伪标签，无标签者不得销售。

本书为读者提供了高级（HDL）、低级（电子电路）以及完整的“各种中间级”（门电路、触发器和一些较高级的数字设计构件）层次的基础知识，介绍了与组合电路、时序电路等相关的各方面内容（涉及数制编码、Verilog 模块、状态机、FPGA、ROM、RAM 以及 CMOS 逻辑系列等），并提供了大量的设计实例以及具有指导意义的习题。

本书可作为电气工程、计算机工程或计算机专业数字逻辑设计课程的入门与进阶教材。

出版发行：机械工业出版社（北京市西城区百万庄大街 22 号 邮政编码：100037）

责任编辑：张志铭

责任校对：殷虹

印刷：北京市荣盛彩色印刷有限公司

版次：2019 年 7 月第 1 版第 1 次印刷

开本：185mm × 260mm 1/16

印张：42

书号：ISBN 978-7-111-62941-2

定价：139.00 元

凡购本书，如有缺页、倒页、脱页，由本社发行部调换

客服热线：(010) 88378991 88379833

投稿热线：(010) 88379604

购书热线：(010) 68326294

读者信箱：hzsj@hzbook.com

版权所有·侵权必究

封底无防伪标均为盗版

本书法律顾问：北京大成律师事务所 韩光 / 邹晓东

文艺复兴以来，源远流长的科学精神和逐步形成的学术规范，使西方国家在自然科学的各个领域取得了垄断性的优势；也正是这样的优势，使美国在信息技术发展的六十多年间名家辈出、独领风骚。在商业化的进程中，美国的产业界与教育界越来越紧密地结合，计算机学科中的许多泰山北斗同时身处科研和教学的最前线，由此而产生的经典科学著作，不仅肇划了研究的范畴，还揭示了学术的源变，既遵循学术规范，又自有学者个性，其价值并不会因年月的流逝而减退。

近年，在全球信息化大潮的推动下，我国的计算机产业发展迅猛，对专业人才的需求日益迫切。这对计算机教育界和出版界都既是机遇，也是挑战；而专业教材的建设在教育战略上显得举足轻重。在我国信息技术发展时间较短的现状下，美国等发达国家在其计算机科学发展的几十年间积淀和发展的经典教材仍有许多值得借鉴之处。因此，引进一批国外优秀计算机教材将对我国计算机教育事业的发展起到积极的推动作用，也是与世界接轨、建设真正的世界一流大学的必由之路。

机械工业出版社华章公司较早意识到“出版要为教育服务”。自1998年开始，我们就将工作重点放在了遴选、移译国外优秀教材上。经过多年的不懈努力，我们与Pearson、McGraw-Hill、Elsevier、MIT、John Wiley & Sons、Cengage等世界著名出版公司建立了良好的合作关系，从它们现有的数百种教材中甄选出Andrew S. Tanenbaum、Bjarne Stroustrup、Brian W. Kernighan、Dennis Ritchie、Jim Gray、Afred V. Aho、John E. Hopcroft、Jeffrey D. Ullman、Abraham Silberschatz、William Stallings、Donald E. Knuth、John L. Hennessy、Larry L. Peterson等大师名家的一批经典作品，以“计算机科学丛书”为总称出版，供读者学习、研究及珍藏。大理石纹理的封面，也正体现了这套丛书的品位和格调。

“计算机科学丛书”的出版工作得到了国内外学者的鼎力相助，国内的专家不仅提供了中肯的选题指导，还不辞劳苦地担任了翻译和审校的工作；而原书的作者也相当关注其作品在中国的传播，有的还专门为其书的中译本作序。迄今，“计算机科学丛书”已经出版了近两百个品种，这些书籍在读者中树立了良好的口碑，并被许多高校采用为正式教材和参考书籍。其影印版“经典原版书库”作为姊妹篇也被越来越多实施双语教学的学校所采用。

权威的作者、经典的教材、一流的译者、严格的审校、精细的编辑，这些因素使我们的图书有了质量的保证。随着计算机科学与技术专业学科建设的不断完善和教材改革的逐渐深化，教育界对国外计算机教材的需求和应用都将步入一个新的阶段，我们的目标是尽善尽美，而反馈的意见正是我们达到这一终极目标的重要帮助。华章公司欢迎老师和读者对我们的工作提出建议或给予指正，我们的联系方式如下：

华章网站：www.hzbook.com

电子邮件：hzsj@hzbook.com

联系电话：(010) 88379604

联系地址：北京市西城区百万庄南街1号

邮政编码：100037



华章科技图书出版中心

译者序

Digital Design: Principles and Practices, Fifth Edition

自2007年原书的第4版修订出版至今已过去十多年了，随着集成电路的速度和集成度的快速提高，数字设计实践经历了非常大的转变。作为一本既注重原理性知识，又注重实践应用的教科书，不仅要清楚地讲解数字系统中的基本概念和方法，还要跟随相关技术的发展变化，将数字设计的流行技术和工具介绍给读者。本书保持了原理和实践两方面并重的特质，并对整体内容和编排格式做出了修订和调整，使得本书的可读性和实用性有了全面提升。

本次改版仍然保留了原书一贯的优秀特性：结构上，逻辑关系明确、条理层次清楚；内容上，全面、详尽；讲解上，循序渐进、深入浅出。用严谨的描述、生动的实例、有趣的注释、发人深省的讨论和丰富的习题，使抽象的概念、晦涩的方法和复杂的技术变得易于理解和掌握。

与第4版相比，第5版的主要变化在于：全书内容从9章扩展到了15章，并对章节的编排顺序进行了调整。一方面将原来篇幅过多的章节拆分为两个或多个章节，以提高其可读性；另一方面增加了许多新概念和新技术，特别是增加了一些实例的详细讲解，使读者进一步提高硬件编程能力和设计实践能力。另外，全书利用方框注释将扩展性的内容和设计实例中深入细致的讲解与正文剥离开来，形成了多方位、多层次的内容展现，使读者能够根据自身需求，有选择地阅读本书，大大提高了本书的使用效率。同时，本书缩减了部分目前已经较少使用的内容，充分体现了本书“与时俱进”的特点。

本书不仅适合作为计算机、电子、电气及控制等专业学生的教材，而且对于打算自学这方面内容的读者和技术人员，也是一本不可多得的好书。

本书的翻译工作是在第4版的基础上进行的，征得原来所有译者的同意，与上版内容相同的部分仍然引用原来的译文，只对修改和变动的部分进行了翻译和调整。因此，衷心感谢原来的所有译者。本次改版的翻译工作由华南师范大学计算机学院的葛红、吴继明和谭琦共同完成。特别感谢吴继明和谭琦，因未参与之前的翻译工作，所以对于二位老师来讲，此次翻译是一个艰苦而耗时的过程。

由于时间和水平有限，书中难免存在错误，敬请读者指正。

葛红

2019年4月

本书写给所有需要设计和构建真正的数字电路的读者。为达到这个目的，读者必须掌握基本原理，同时还必须理解它们在真实世界中的工作情况。本书正是基于这种理念写作而成的，因此，确定了“原理与实践”这个主题。

在过去的 30 年里，随着集成电路的速度和集成度的快速提高，数字设计实践经历了非常大的转变。过去，数字设计者用成千上万的门电路和触发器来构建系统，专业课程的重点就是最小化和有效地利用芯片及板级资源。

现今，一个芯片可以包含几千万个晶体管并且可以利用编程的方式构建片上系统。过去要实现这样的系统，需要用几百个包含了上百万的单个门电路和触发器的分立芯片来构造。当前成功的产品开发更多地受限于设计团队正确、完整地定义产品详细功能的能力，而不是受限于团队将需要的所有电路集成到一个电路板或芯片上的能力。因此，现代专业课程的重点是设计方法论和软件工具，包括硬件描述语言（HDL）。设计团队利用 HDL 可以完成非常大型的分层数字系统的设计。

一方面，利用 HDL，我们看到典型设计的抽象层次移向单个门电路和触发器之上的更高层次。而与此同时，芯片级和电路板级的数字电路的速度和集成度的提高，又迫使许多数字设计者在较低电子电路级更具竞争力。

大多数称职且非常成功的数字设计者，都能够熟练地使用或者至少是精通上述两个抽象层次。本书提供了高级（HDL）、低级（电子电路）以及完整的“各种中间级”（门电路、触发器和一些较高级的数字设计构件）层次的基础知识。

目标读者

本书可以作为电气工程、计算机工程或计算机专业数字逻辑设计课程的入门与进阶教材。那些不熟悉基本电子学概念（electronics concept）或者对数字器件的电气特性不感兴趣的计算机科学专业的学生可以跳过第 14 章而掌握第 1 章的基础知识即可，书中的其他部分已尽可能地独立于这部分内容。另一方面，具有基本电子学基础的读者，则可通过阅读第 14 章的内容来快速掌握数字电子学知识。此外，那些不具备电子学基础的学生，可以通过阅读作者网站（www.ddpp.com）[⊖]上的电子教材（20 页）而获得基础知识。

虽然本书是入门级的，但比起一般的普通入门教材，它却包含更多的内容。我希望典型的课程采用书中不超过三分之二的內容，但是，每门课程所用到的是不同的三分之二。因此，我让各位教师或读者按照自己的需要去决定阅读内容。尽管如此，为了有助于选择，我已经在一些可选章节（optional section）的标题上打了星号。一般情况下，可以跳过这些章节而不影响后续必选章节的连贯性。而且，“方框注释”（boxed comment）中的材料通常都是可选的。

毫无疑问，有些人把本书当作进阶教程（second course）和实验教程（laboratory

⊖ 参见第 VII 页的页下注。——编辑注

course) 来使用。高年级学生可以跳过基础部分而直接进到感兴趣的部分。一旦具备了基础知识, 一些最重要且有趣的内容 (fun stuff) 便是在许多章节和数字设计例子中采用 Verilog。

并不像看起来那么长

有几个书评家抱怨本书之前的版本都太长了, 目前的这个版本要稍短一些, 但还是请记住:

- 你并不需要阅读所有的内容。对大多数读者来说可选读的内容都标记有“*”。
- 一些“方框注释”中的内容通常也是可选读的。
- 我遵照“参考质量”标准撰写本书, 内容覆盖广泛, 因此读者可以在后续课程中参考本书, 或在以后的工作中, 使用本书来更新你的知识甚或学习新知识。

各章描述

- 第 1 章给出了一些基本的定义和一些重要话题的预览, 以及数字电路的内容, 使读者在不深入阅读第 14 章的情况下, 也可以完整阅读书中其他的内容。
- 第 2 章介绍二进制数制和编码。已经从软件课程中熟悉了二进制数制的读者, 仍需要阅读 2.10 ~ 2.13 节, 以便理解硬件是如何使用二进制编码的。高年级的学生可以阅读 2.14 节和 2.15 节, 其中对检错码进行了很好的介绍。每个读者都应该阅读 2.16.1 节的内容, 因为在许多现代系统中都要用到它。
- 第 3 章讲述组合逻辑设计原理, 包括开关代数, 以及组合电路分析、综合与最小化。
- 第 4 章从文档标准开始介绍各种数字设计实践, 文档标准是设计者需要掌握的最重要的内容。然后介绍时序的概念, 特别是组合型电路的时序, 最后是关于 HDL、设计流程和工具的讨论。
- 第 5 章介绍 Verilog 硬件描述语言。前几节需要通读, 但部分读者可能希望跳过其余几节而只在需要时再来阅读, 因为新的 Verilog 结构在后续章节用到时才会讲述 (主要是第 6 章)。
- 第 6 章描述了两个“通用”组合逻辑元件 ROM 和 PLD。然后讲述两个最常用的功能构件——译码器和多路复用器, 其中每一个都会给出门级和基于 Verilog 的设计。读者可以从这里直接跳到第 9 章的状态机, 然后再回到第 7 章和第 8 章。
- 第 7 章继续讨论门级和用 Verilog 实现的组合型构件, 包括三态器件、优先编码器、异或和奇偶函数以及比较器, 然后用一个不平凡“随机逻辑”函数的 Verilog 设计实例引出结论。
- 第 8 章讲述实现算术功能的组合型电路, 包括加法和减法、移位、乘法和除法。
- 第 9 章介绍使用 D 触发器的传统状态机, 包括采用状态表、状态图、ASM 图和 Verilog 的状态机的分析和综合。
- 第 10 章介绍其他时序逻辑元件, 包括锁存器、更多的边沿触发器件及其 Verilog 的行为模型。这一章还描述了用典型的 FPGA 实现的时序逻辑元件, 并且为感兴趣的读者准备了关于时序 PLD 和反馈时序电路的内容。
- 第 11 章重点讲述两个最常用的时序电路构件——计数器和移位寄存器, 以及它们的

应用。还提供了门级和基于 Verilog 的例子。

- 第 12 章讲述了采用 Verilog 对状态机建模的更详细的内容，以及更多相关的例子。
- 第 13 章讨论时序电路设计的实践，包括同步系统结构、时钟和时钟偏移、异步输入和亚稳定性，以及一个用 Verilog 实现的双时钟同步的详细例子。
- 第 14 章描述数字电路的运算，重点在于逻辑器件的外部电气特性。起点是基础的电子学背景，包括电压、电流和欧姆定律。对如何使真实电路运作起来不感兴趣的读者或者有特权让别人来做这些苦活的人可以忽略这一章。
- 第 15 章全部都是关于存储器器件和 FPGA 的内容。存储器内容包括只读存储器和静态、动态读/写存储器的内部电路和功能行为特性。最后一节更详细地介绍 Xilinx 7 系列 FPGA 结构。

大多数章都包含参考资料、训练题和练习题。训练题通常是简答题或是启发性的问题，可以直接根据文本材料给出答案，而练习题通常需要更多的思考。第 14 章的训练题尤其广泛，是为使非电子工程师能较容易地理解这一章内容而专门设计的。

与第 4 版的不同

对于用过本书之前版本的读者和教师来讲，除了普通的更新之外，第 5 版还有几个关键的不同：

- 这个版本只涉及 Verilog，没有 VHDL。在不同的语言之间跳转只会使人分神。另外，Verilog 及其后继者 SystemVerilog 是目前非官方背景中所选择的 HDL。参看 Steve Golson 和 Leah Clark 撰写的论文《Language Wars in the 21st Century: Verilog versus VHDL-Revisited》(2016 Synopsys Users Group Conference)，如果你不想阅读整篇论文，可以直接跳到最后一节。
- 这个版本有更多 HDL 的例子，更加强调设计流程和测试平台，包括纯粹的激励和自检信号。
- 为使本书更加便于非电子工程类的计算机工程专业的学生阅读，关于 CMOS 电路的详细内容移到了第 14 章，而在第 1 章中加入了最少量的电子学知识。这样，如果需要的话，就可以跳过整个关于 CMOS 的章节。
- TTL、SSI、MSI、74 系列逻辑、PLD 以及 CPLD 都已经删去了。
- 卡诺图化简的内容最终被简化了。
- 本书在第 5 章中还有一个 Verilog 的综合性教程和参考资料，Verilog 的概念散布在第 6 章和第 7 章的“恰逢其时”注释框中，这样一目了然，重点突出。
- 更多地强调了基于 FPGA 的设计、FPGA 结构特性、综合结果以及权衡。
- 原来关于组合逻辑元件的一章被分成了三章，以便按照需要直接从一开始就进入状态机的内容。这样，也可以在最后讲述更多算术运算电路的内容。
- 用了整整一章来讲述用 Verilog 实现状态机，包括许多例子。
- 关于同步设计方法论的那一章目前包含一个详细的控制单元加数据通路的例子，以及一个关于采用异步 FIFO 的交叉时钟域的综合例子。

数字设计软件工具[⊖]

本书中所有的 Verilog 例子都是采用 Xilinx Vivado[®] 套件来编译和测试，这个套件包括以 Xilinx 7 系列 FPGA 为目标器件的 Verilog、SystemVerilog 以及 VHDL 设计的工具。然而，这些例子一般并不特别要求采用 Vivado 来编译，甚至不要求目标器件是 Xilinx 或任何其他 FPGA。而且，本书也不包含关于 Vivado 的教程，Xilinx 有丰富的在线资源可供参考。因此，读者可以将本书与任何 Verilog 工具一起使用，包括下面所描述的工具。

可以从 Xilinx 下载免费的 Vivado “Webpack” 版本，这个版本支持较小型的 7 系列 FPGA，带有 Zynq[®] 的 SoC 型 FPGA 以及评估板。这个下载容量很大，超过 10GB，但这是一个综合工具套件。支持前 7 系列 FPGA 以及较小型 Zynq FPGA 的 Xilinx ISE[®] (Integrated Software Environment) 也包含在免费的 Webpack 版本中。注意，legacy 模式支持 ISE，而自 2013 年后，ISE 就再也没有更新过。要获取任何一种套件，登录 www.xilinx.com 网站搜索 “Webpack download” 即可。

如果你正在使用 Altera (现在属于 Intel) 器件，那么公司还会提供一个好的“大学计划”和工具：搜索 “Altera university support”，然后导航到 “For Student” 网页。这些免费的工具包括其以入门级 FPGA 和 CPLD 为目标器件的 Verilog、SystemVerilog 和 VHDL 设计的 Quartus[™] Prime Lite 版本，以及一个配套的用于模拟的符合 ModelSim[®] 工业标准的软件初始版本。

Altera 和 Xilinx 都提供廉价的评估板，适用于直接或通过第三方等效实现基于 FPGA 的学生项目。这样的评估板可能包括开关和 LED、模拟 / 数字转换器以及运动传感器，甚至还包括 USB 和 VGA 接口，通过厂家的大学计划，总花费可以少于 100 美元。

长期支持大学计划的专业数字设计工具还有 Aldec 公司的产品 (www.aldec.com)。该公司提供流行的 Active-HDL 的学生版本，用于设计入门和模拟，除了通常的 HDL 工具，还包括方框图和状态机的图形编辑器，而且，其模拟器还包括一个波形编辑器，用于创建交互激励信号。为利用其特性，Active-HDL 模拟器可以作为 Vivado 的一个插件来安装，以取代 Vivado 模拟器。

上述所有的工具以及大多数其他工程设计工具都是在 Windows PC 上运行的，所以，如果你是一个 Mac 迷，就必须习惯使用 Windows PC！你可以在 Mac 的 Windows 仿真环境（比如 VMware 仿真环境）中运行，但是成功与否取决于具体的软件工具。使一个工具在你的 PC 上“快速运行”的最重要的条件就是配置一个固态硬盘驱动器而不是旋转硬盘驱动器。

即使并未打算完成你的原创设计，你也可以利用上述工具中的任何一个来测试和改进书中的例子，因为书中所有的源代码都在线提供，正如下面将要讨论的。

工程资源和 www.ddpp.com[⊖]

本书丰富的支持材料都可以从 Pearson 的网站 “Engineering Resource” 上获得。本书出

⊖ 此部分内容译者仅是照原书翻译，对于下载等操作是否成功取决于软件生产公司，与中文版的出版社和译者无关。——编辑注

⊖ 此部分内容为英文原书提供，译者如实翻译，对于下载等操作是否成功取决于国外网站和网络通信商，与中文版出版社和译者无关。——编辑注

版的时候，Pearson 的相关链接是 media.pearsoncmg.com/bc/abp/engineering-resoures。但是，你知道登录一个长链接的感受，直接登录作者的网站 www.ddpp.com 更为方便，这个网站中包含一个到 Pearson 网站的链接。而且，作者的网站还将包含最新的勘误表和其他“匆匆忙忙”做出的增改资料，以及可能某天会有的博客。

Pearson 网站上的资源包括本书中所有 Verilog 模块的可下载源代码文件、选定的训练题和练习题的答案以及补充材料，例如，针对非电子工程人员提供的 20 页的电子学基础概念介绍。

敬告教师[⊖]

Pearson 维护着一个专供教师使用的附加材料的综合集。登录上述工程资源网站，导航到这本书，然后点击“**Instructor Resources**”链接。这个网站要求注册，可能需要花费几天时间等待获得访问权限。所提供的资源包括附加的训练题和练习题的解答、附加的源代码、更多的练习题以及可用于授课的艺术线条和图表。之前版本的材料也会根据要求发布在网上，以协助教师实现从旧版技术到新版课程的转换。

其他的教师资源还包括作者的网站 (www.ddpp.com)，以及 Xilinx、ALtera 和 Aldec 的大学计划，登录 www.ddpp.com 可以找到这些资料的最新链接。制造商的网站提供了各种各样的产品资料、课程资料以及可以用于数字设计实验课程的打折的芯片和电路板，还会提供一些“功能全面”的工具包，你可以最大折扣获得，并用于后续课程和研究。

致谢

由于许多人的帮助才使得本书顺利出版。大多数人都对前四版的出版给予了帮助，在那里我已经表示了感谢。关于本书“原理”的方面，我还是要特别感谢我的老师、研究生导师以及我的朋友 Ed McCluskey。关于本书“实践”的方面，我从我的朋友 Jesse Jenkins、Xilinx 的职员 Parimal Patel 和 Trevor Bauer，以及同事 McCluskey 的导师——斯坦福大学的 Subhasish Mitra 教授那里获得了许多好的意见。

自本书第 4 版出版以来，我从读者那里收到了许多有益的意见。除了建议和其他促使本书改进的意见外，读者还指出了大量印刷上和技术上的错误，所有这些都第 5 版中一并改正。

对这个版本最具实质性影响和贡献的是匿名（对我而言）的学术评审们，他们都是使用本书第 4 版或其他同类书籍作为教材的数字设计教师。我尽量接受他们的建议，这通常意味着要删去一些像我这样有经验的设计者（或者说是老前辈）过于固守的一些材料，而增加大量与基于 HDL 设计流程、测试平台和综合等相关的现代概念。

感谢 Pearson 的责任编辑 Julie Bai 在过去几年为这个项目所做的精心细致的工作。特别感谢她老板的老板 Marcia Horton，她二三十年来一直关注我的项目，还要感谢 Scott Disanno 和 Michelle Bayman，他们指导了这个版本的生产 and 发行过程。

还要感谢艺术家 Peter Crowell，我在 eBay 上发现了他的画作，当时，编辑 Julie Bai 建议我们基于 Piet Mondrian 的作品设计一个封面，对于他的某些作品，她说“看起来几乎就

⊖ 关于本书教辅资源，只有使用本书作为教材的教师才可以申请，需要的教师请联系机械工业出版社华章公司，电话 010-88378991，邮箱 wangguang@hzbook.com。——编辑注

像是逻辑电路的抽象”。Crowell 的“Tuesday Matinee”完美地契合了我们的要求。他的画作“铺设”在封面上和每章开篇的边栏，与逻辑模块及其连接铺设在一片 FPGA 上非常相像。我们的封面设计师 Marta Samsel 采纳了我这个工程主义的观点，并将二者匹配得非常漂亮。

最后，我的妻子 Joanne Jacobs 非常支持这个项目，让我在“楼上”安静地工作，而她在“楼下”处理她的教育博客。她甚至不会抱怨，到了二月份，圣诞树还立在那里。

出版者的话	
译者序	
前言	
第 1 章 引言	1
1.1 关于数字设计	1
1.2 模拟与数字	2
1.3 模拟信号	5
1.4 数字逻辑信号	5
1.5 逻辑电路与门电路	6
1.6 数字设计的软件技术	9
1.7 集成电路	11
1.8 逻辑族和 CMOS	13
1.9 CMOS 逻辑电路	13
1.10 可编程器件	17
1.11 专用集成电路	19
1.12 印制电路板	19
1.13 数字设计层次	20
1.14 成本最小化	22
1.15 继续学习	23
训练题	23
第 2 章 数制和编码	24
2.1 按位计数制	24
2.2 二进制、八进制和十六进制	25
2.3 二-十进制转换	27
2.4 二进制数的加法和减法	29
2.5 负数的表示	31
2.5.1 原码表示法	31
2.5.2 补码数制	31
2.5.3 二进制补码表示法	32
*2.5.4 二进制反码表示法	33
*2.5.5 余码表示法	33
2.6 二进制补码的加法和减法	33
2.6.1 加法规则	33
2.6.2 图示法	34
2.6.3 溢出	35
2.6.4 减法规则	35
2.6.5 二进制补码与无符号 二进制数	36
*2.7 二进制反码的加法和减法	37
*2.8 二进制乘法	38
*2.9 二进制除法	39
*2.10 十进制数的二进制编码	40
2.11 格雷码	42
*2.12 字符编码	43
2.13 动作、条件和状态的编码	45
*2.14 n 维体与距离	46
*2.15 检错码和纠错码	47
2.15.1 检错码	48
2.15.2 纠错码与多重检错码	49
2.15.3 汉明码	51
2.15.4 循环冗余校验码	53
2.15.5 二维码	53
2.15.6 校验和码	55
2.15.7 n 中取 m 码	55
2.16 用于串行数据传输与存储的 编码	55
2.16.1 并行/串行数据	55
*2.16.2 串行线路编码	56
参考资料	58
训练题	59
练习题	61
第 3 章 开关代数和组合逻辑	64
3.1 开关代数	65
3.1.1 公理	66
3.1.2 单变量定理	67
3.1.3 二变量定理和三变量定理	68
3.1.4 n 变量定理	69
3.1.5 对偶性	71
3.1.6 逻辑函数的标准表示法	72

3.2 组合电路分析	74	第 5 章 Verilog 硬件描述语言	129
3.3 组合电路的综合	79	5.1 Verilog 模型和模块	130
3.3.1 电路描述与设计	80	5.2 逻辑系统、网格、变量和常量	134
3.3.2 电路处理	82	5.3 向量和操作符	137
3.3.3 组合电路最小化	85	5.4 数组	140
*3.3.4 卡诺图	86	5.5 逻辑操作符和表达式	142
*3.4 时序冒险	88	5.6 编译器命令	143
3.4.1 静态冒险	88	5.7 结构化模型	144
3.4.2 利用卡诺图发现静态冒险	89	5.8 数据流模型	148
3.4.3 动态冒险	91	5.9 行为化模型(过程代码)	149
3.4.4 设计无冒险电路	91	5.9.1 always 语句与程序块	149
参考资料	92	5.9.2 过程语句	151
训练题	93	5.9.3 推理出的锁存器	151
练习题	94	5.9.4 赋值语句	151
第 4 章 数字设计实践	97	5.9.5 begin-end 程序块	153
4.1 文档标准	97	5.9.6 if 和 if-else 语句	154
4.1.1 方框图	98	5.9.7 case 语句	155
4.1.2 门的符号	100	5.9.8 循环语句	158
4.1.3 信号名和有效电平	101	5.10 函数和任务	160
4.1.4 引脚的有效电平	102	5.11 时间维度	163
4.1.5 常量逻辑信号	103	5.12 模拟	164
*4.1.6 “圈到圈”逻辑设计	104	5.13 测试平台	165
4.1.7 HDL 模型中的信号命名	106	5.14 时序逻辑设计的 Verilog 特性	169
4.1.8 绘制布局图	108	5.15 综合	169
4.1.9 总线	110	参考资料	170
4.1.10 附带的图示信息	111	训练题	171
4.2 电路时序	112	练习题	171
4.2.1 时序图	112	第 6 章 基本组合逻辑元件	173
4.2.2 传输延迟	114	6.1 只读存储器	175
4.2.3 时序说明	115	6.1.1 ROM 和真值表	175
*4.2.4 采样时序说明	116	6.1.2 用 ROM 实现任意组合逻辑函数	176
4.2.5 时序分析工具	119	6.1.3 FPGA 查询表	178
4.3 基于 HDL 的数字设计	120	*6.2 组合型 PLD	179
4.3.1 HDL 的历史	120	6.2.1 可编程逻辑阵列	179
4.3.2 为什么用 HDL	121	6.2.2 可编程阵列逻辑器件	181
4.3.3 HDL 的 EDA 工具组	121	6.3 译码和选择	183
4.3.4 基于 HDL 的设计流程	123	*6.3.1 一种更加数学化的译码器定义	184
参考资料	126		
训练题	126		
练习题	128		

6.3.2 二进制译码器	185	训练题	270
6.3.3 更大型的译码器	188	练习题	272
6.3.4 用 Verilog 实现的译码器	190	第 8 章 组合算术元件	278
6.3.5 定制的译码器	200	8.1 加法和减法	278
6.3.6 七段译码器	204	8.1.1 半加器和全加器	278
6.3.7 二进制编码器	205	8.1.2 串行进位加法器	279
6.4 多路复用器	206	8.1.3 减法器	280
6.4.1 门级多路复用器电路	208	8.1.4 先行进位加法器	281
6.4.2 扩展多路复用器	212	8.1.5 组间串行进位加法器	283
6.4.3 多路复用器、多路分配器和 总线	212	8.1.6 组间先行进位	285
6.4.4 用 Verilog 实现多路复用器	214	*8.1.7 MSI 算术逻辑单元	287
参考资料	217	8.1.8 用 Verilog 实现加法器	288
训练题	218	*8.1.9 并行前缀加法器	295
练习题	219	*8.1.10 FPGA CARRY4 元件	300
第 7 章 更多的组合构件	224	8.2 移位和旋转	302
7.1 三态器件	224	8.2.1 桶形移位器	302
7.1.1 三态缓冲器	224	8.2.2 用 Verilog 实现桶形移位器	305
*7.1.2 标准 MSI 三态缓冲器	226	8.3 乘法	311
7.1.3 用 Verilog 实现三态输出	229	8.3.1 组合乘法器结构	311
7.1.4 用 FPGA 实现三态输出	230	*8.3.2 用 Verilog 实现乘法	314
7.2 优先编码器	232	*8.4 除法	319
7.2.1 级联优先编码器	233	8.4.1 基本无符号二进制除法算法	319
7.2.2 用 Verilog 实现优先编码器	234	8.4.2 用 Verilog 实现除法	320
7.3 异或门和奇偶校验功能	238	参考资料	324
7.3.1 异或门和异或非门	238	训练题	325
7.3.2 奇偶校验电路	240	练习题	325
7.3.3 奇偶校验的应用	240	第 9 章 状态机	329
7.3.4 用 Verilog 实现异或门和奇偶 校验电路	243	9.1 状态机基础	329
7.4 比较器	247	9.2 状态机结构和分析	332
7.4.1 比较器结构	247	9.2.1 状态机结构	332
7.4.2 迭代电路	248	9.2.2 输出逻辑	333
7.4.3 迭代比较器电路	249	9.2.3 状态机的时序	334
7.4.4 数值比较器	250	9.2.4 使用 D 触发器的状态机分析	335
7.4.5 用 HDL 实现比较器	253	9.3 用状态表设计状态机	341
7.4.6 用 Verilog 实现比较器	254	9.3.1 状态表设计举例	342
7.4.7 比较器测试平台	257	*9.3.2 状态最小化	345
*7.4.8 比较比较器的性能	261	9.3.3 状态赋值	346
*7.5 用 Verilog 实现的随机逻辑示例	265	*9.3.4 采用 D 触发器的综合	350
		9.3.5 超越状态表	353

*9.4 用状态图设计状态机	354	10.8.3 反馈时序电路设计	407
*9.5 用 ASM 图设计状态机	358	10.8.4 用 Verilog 实现反馈时序 电路	408
9.6 用 Verilog 设计状态机	362	参考资料	409
参考资料	364	训练题	409
训练题	365	练习题	411
练习题	367		
第 10 章 时序逻辑元件	372	第 11 章 计数器和移位寄存器	416
10.1 双稳态元件	372	11.1 计数器	416
10.1.1 数字分析	372	11.1.1 行波计数器	417
10.1.2 模拟分析	372	11.1.2 同步计数器	417
10.1.3 亚稳态特性	374	11.1.3 一个通用的 4 位计数器 电路	418
10.2 锁存器和触发器	374	11.1.4 二进制计数器状态的译码	421
10.2.1 S-R 锁存器	375	11.1.5 用 Verilog 实现计数器	422
10.2.2 $\bar{S}\text{-}\bar{R}$ 锁存器	377	11.2 移位寄存器	426
10.2.3 D 锁存器	377	11.2.1 移位寄存器的结构	426
10.2.4 边沿触发 D 触发器	379	11.2.2 移位寄存器型计数器	429
10.2.5 具有使能端的边沿触发 D 触发器	381	11.2.3 环形计数器	429
10.2.6 T 触发器	381	*11.2.4 Johnson 计数器	431
10.3 用 Verilog 实现锁存器和 触发器	382	11.2.5 线性反馈移位寄存器型 计数器	433
10.3.1 实例化语句和库元件	382	11.2.6 用 Verilog 实现移位寄存器	436
10.3.2 行为化锁存器和触发 器模型	386	11.2.7 时序发生器举例	439
10.3.3 更多关于用 Verilog 实现 时钟的讨论	392	11.2.8 LFSR 举例	445
10.4 多位寄存器和锁存器	392	*11.3 迭代电路与时序电路	447
10.4.1 MSI 寄存器和锁存器	393	参考资料	449
10.4.2 用 Verilog 实现多位寄存 器和锁存器	394	训练题	450
*10.5 各种各样的锁存器和双稳态 器件的应用	395	练习题	452
10.5.1 开关消颤	395		
10.5.2 总线保持器电路	396	第 12 章 用 Verilog 实现状态机	457
*10.6 时序 PLD	397	12.1 Verilog 状态机编码风格	457
10.7 FPGA 时序逻辑元件	398	12.1.1 基本的编码风格	457
*10.8 反馈时序电路	402	12.1.2 一个 Verilog 状态机举例	458
10.8.1 基本分析	402	12.1.3 组合的状态存储器和次态 逻辑	460
10.8.2 分析具有多个反馈回路 的电路	405	12.1.4 复位输入	461
		12.1.5 用 Verilog 实现 Moore 型 流水线输出	462
		12.1.6 不用状态表的直接 Verilog 编程	463

*12.1.7 状态机抽取	464	练习题	551
12.2 Verilog 状态机测试平台	465	第 14 章 数字电路	554
12.2.1 状态机测试平台构造方法	465	14.1 CMOS 逻辑电路	555
12.2.2 测试平台举例	466	14.1.1 CMOS 逻辑电平	555
12.2.3 为测试检查次态逻辑	470	14.1.2 MOS 晶体管	556
12.2.4 总结	471	14.1.3 基本的 CMOS 反相器电路	557
12.3 1 计数器	472	14.1.4 CMOS “与非” 门和 “或非” 门	558
12.4 组合锁	474	14.1.5 扇入	559
12.5 雷鸟车尾灯	477	14.1.6 非反相门	560
12.6 重新设计交通灯控制器	480	14.1.7 CMOS “与或非” 门和 “或与非” 门	561
12.7 猜谜游戏	484	14.2 CMOS 电路的电气特性	563
*12.8 “无关” 状态编码	487	14.2.1 概述	563
12.9 状态机分解	489	14.2.2 数据表和规格说明	564
12.10 三部曲游戏	494	14.3 CMOS 静态电气特性	566
参考资料	500	14.3.1 逻辑电平和噪声容限	566
训练题	501	14.3.2 带电阻性负载的电路特性	567
练习题	502	14.3.3 带非理想输入的电路特性	571
第 13 章 时序电路设计实践	508	14.3.4 扇出	573
13.1 时序电路文档实践	508	14.3.5 负载效应	574
13.1.1 一般要求	508	14.3.6 未用的输入端	574
13.1.2 逻辑符号	509	14.3.7 如何损坏 CMOS 器件	575
13.1.3 状态机描述	509	14.4 CMOS 动态电气特性	575
13.1.4 时序图和时序规格说明	510	14.4.1 转换时间	576
13.2 同步设计方法论	514	14.4.2 传输延迟	580
13.2.1 同步系统结构	514	14.4.3 功率损耗	581
13.2.2 一个同步系统设计举例	516	*14.4.4 电流尖峰与去耦电容器	582
13.3 同步设计的难点	521	*14.4.5 电感效应	583
13.3.1 时钟偏移	521	*14.4.6 同时切换与地电平弹跳	584
13.3.2 选通时钟	524	14.5 其他 CMOS 输入和输出结构	586
13.3.3 异步输入	527	14.5.1 传输门	586
13.4 同步器故障和亚稳定性	529	14.5.2 施密特触发器输入	587
13.4.1 同步器故障	529	14.5.3 三态输出	588
13.4.2 亚稳定性消解时间	530	*14.5.4 漏极开路输出	589
13.4.3 可靠同步器设计	530	*14.5.5 驱动发光二极管和继电器	591
13.4.4 亚稳定的时序分析	531	*14.5.6 多源总线	592
13.4.5 更好的同步器	533	*14.5.7 线连逻辑	593
13.4.6 其他同步器设计	534	*14.5.8 上拉电阻	593
13.5 双时钟同步举例	536	14.6 CMOS 逻辑系列	596
参考资料	550		
训练题	550		

14.6.1	HC 和 HCT	596	*15.1.5	并行 ROM 时序	620
14.6.2	AHC 和 AHCT	597	15.1.6	与非闪存的字节串行接口	621
*14.6.3	HC、HCT、AHC 和 AHCT 的电气特性	597	*15.1.7	与非存储器的时序和存取 带宽	625
*14.6.4	AC 和 ACT	600	*15.1.8	与非存储器的存储管理	626
*14.6.5	FCT 和 FCT-T	600	15.2	读 / 写存储器	627
*14.7	低电压 CMOS 逻辑和接口	601	15.3	静态 RAM	628
14.7.1	3.3V LVTTTL 和 LVC MOS 的逻辑电平	601	15.3.1	静态 RAM 的输入和输出	628
14.7.2	5V 容许输入	602	15.3.2	静态 RAM 的内部结构	629
14.7.3	5V 容许输出	603	*15.3.3	静态 RAM 的时序	630
14.7.4	TTL/LVTTTL 接口小结	604	*15.3.4	标准异步 SRAM	632
14.7.5	低于 3.3 V 的逻辑电平	604	*15.3.5	同步 SRAM	632
14.8	差分信号	605	15.4	动态 RAM	636
参考资料		605	15.4.1	动态 RAM 的结构	636
训练题		606	15.4.2	SDRAM 的时序	638
练习题		609	15.4.3	DDR SDRAM	641
第 15 章 ROM、RAM 和 FPGA		613	15.5	现场可编程门阵列	641
15.1	只读存储器	613	15.5.1	Xilinx 7 系列 FPGA 家族	642
15.1.1	ROM 的内部结构	614	15.5.2	CLB 和其他逻辑资源	645
15.1.2	二维译码	615	15.5.3	输入 / 输出块	647
15.1.3	商用 ROM 类型	616	15.5.4	可编程互连	649
15.1.4	并行 ROM 接口	619	参考资料		650
			训练题		651
			练习题		651