

前 言

随着造船工业和电子工业的迅猛发展，在现代船舶上装备有大量各种类型和功用的电气、电子设备，这些设备将会相互引起电磁干扰，不但影响设备运用性能，而且会造成差错，引起事故，因此船舶电磁兼容问题日益突出，为了达到船舶电磁兼容的要求，首先必须使安装在船上的电气、电子设备符合电磁兼容要求，即应把设备的电磁干扰和抗干扰作为设备的重要技术性能指标，在设备的整个研制过程中加以重视，从设备的原理、线路、元器件一直到结构工艺等各方面采取有效措施。

本书分析了船上干扰源的特征和干扰传递的途径，阐述了抑制干扰的基本原理、各种措施和应用技术，简介了船用电子设备电磁兼容性的有关规范以及设备电磁干扰和抗干扰的测试方法。

本书可作为船舶无线电通信、导航和自动化专业的教材，也可供从事电子设备整机设计与制造的线路人员参考。

由于编者水平有限，编写时间仓促，书中难免有错误和缺点，敬请读者批评指正。

编者 1984. 8

屏蔽由于在四个角处对线圈未能屏蔽，因而还有部分剩余电容，对于小功率电源变压器 C' 约为 10 微微法量级。

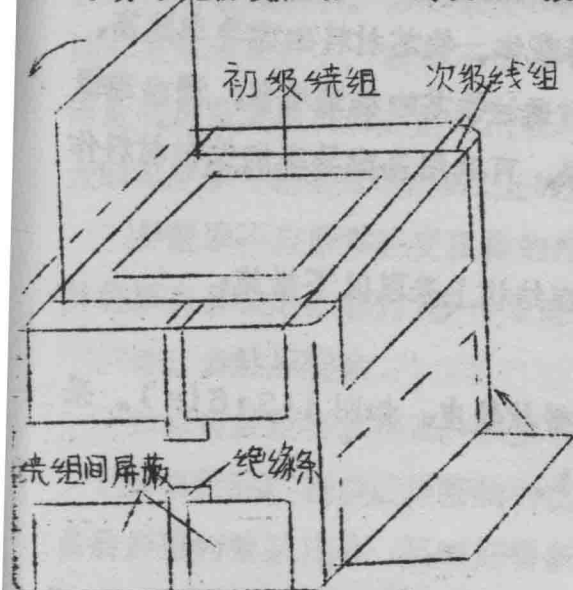


图 4·3·4 外折屏蔽

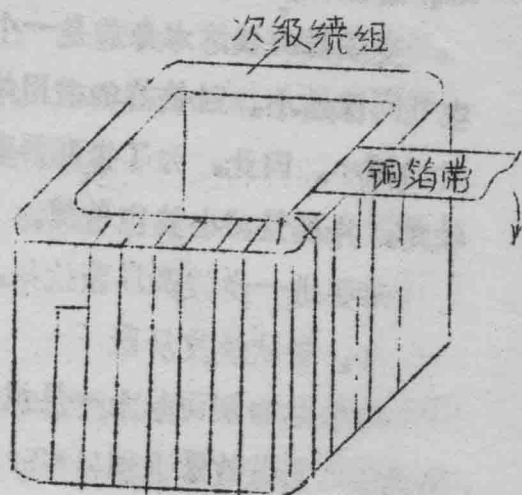


图 4·3·5 封闭屏蔽

3. 封闭屏蔽

图 4·3·5 为封闭屏蔽，首先根据初级绕组的尺寸做一胎具，然后将次级绕组绕在胎具上，绕制完后脱胎出来，用铜箔带穿绕封闭。在穿绕起点与终点交接处要垫以绝缘层，防止铜箔带构成短路匝。封闭屏蔽穿绕完成后，将次级绕组套在预先绕制好的初级绕组外面，以待进行磁路组装。对小功率电源变压器而言，封闭屏蔽能将绕组间剩导电容 C' 减至几微微法量级，是当前屏蔽效果最好的结构形式然而封闭屏蔽制做起来很费时，只宜应用在对屏蔽效果极高的个别场合。

二、磁屏蔽

在变压器中，磁通的主要部分集中在铁芯里，但有一小部分漏磁通穿过周围空间，影响其他电路，形成干扰。例如，当变压器靠近放大器（特别是低电平级）时，由于漏磁通的影响会产生寄生调制或交

流声；输入与输出变压器之间通过漏磁通将会产生耦合，增益高时会产生低频自激；示波管附近存在有漏磁通时，将会使扫描线偏斜、抖动、散焦等。因而还需对它们进行磁屏蔽。

变压器的铁芯本身就是一个磁屏蔽体。铁芯材料的磁导率越高，空气间隙越小，则铁芯的磁阻越小，通过铁芯的磁通增多，漏磁通相对的减小。因此，为了提高屏蔽效果，可采用高磁导率的铁磁材料作铁芯，并尽量减小其空气隙。

若要进一步提高屏蔽效果，可在结构上采取以下措施：

1. 带状铁皮屏蔽

在铁芯的侧面包上一层或几层带状铁皮，如图4·3·6(a)。采用此法的屏蔽效果见图4·3·6(b)。

2. 铜皮短路环屏蔽

在变压器的周围包一层铜皮，接头处焊接，使之短路。也可以采用短路线圈。和短路环交链的漏磁通在短路环中形成感应电流，从而减小漏磁通的作用。采用此法的屏蔽效果见图4·3·7(b)。

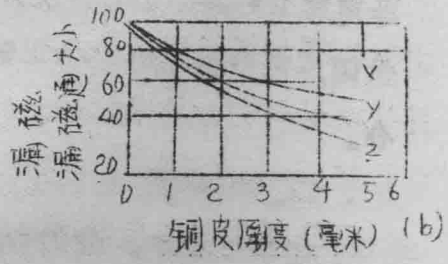
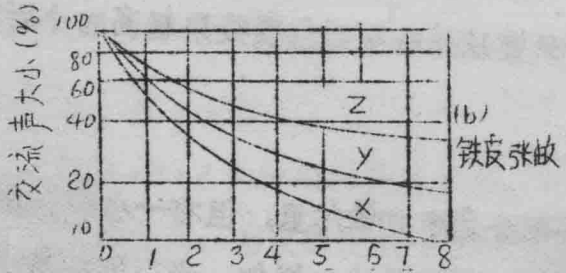
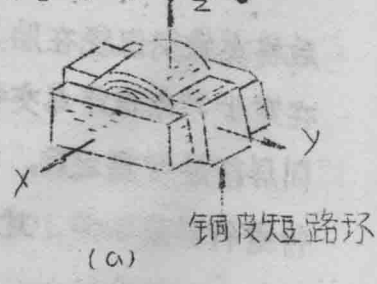
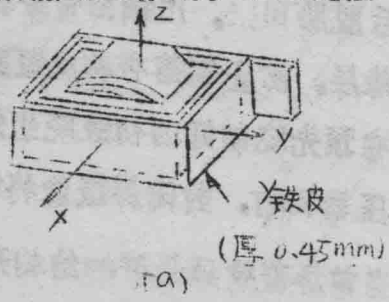


图4·3·6 带状铁皮屏蔽

图4·3·7 铜皮短路环屏蔽

3. 单层屏蔽盒

为进一步提高屏蔽效果在变压器外面做一个屏蔽盒。显然，屏蔽盒应采用铁磁材料。若用铁皮和硅钢片，其屏蔽效果一般不超过5倍除非采用的厚度大，这样不但过于笨重，而且增加了加工的困难度。因此在屏蔽要求高时，应采用坡莫合金，其具有高的磁导率，不需太大的厚度即可获得100倍以上的屏蔽效果。

屏蔽罩不应紧贴在变压器的外面，而应留有适当的空隙。实用上屏蔽罩离开铁芯外廓约0.5~1毫米。

4. 多层屏蔽盒

如果对屏蔽要求很高，或屏蔽的频率范围很宽，应采用多层屏蔽如前所述，当多层屏蔽物的总厚度与单层屏蔽物的总厚度相同时多层屏蔽的效果比单层的好得多；多层屏蔽效果与层间的气隙大小有关，当气隙很小时，多层屏蔽相当于单层屏蔽，屏蔽效果要差些，当气隙很大时，由于屏蔽物很薄，磁阻大，屏蔽效果也差，当气隙约为屏蔽物总厚度的三分之一时，屏蔽效果最好；屏蔽物总厚度愈大，屏蔽效果愈好。

对于频率低于5~10千赫的低频磁场，多层屏蔽罩一般采用相同材料，层与层之间可以是空气隙或是绝缘材料。

若欲屏蔽0~100千赫的整个低频频带，采用不同材料（铁磁材料和非磁性金属材料）制成的无气隙的多层屏蔽物。其中铁磁材料主要屏蔽较低频率磁场，非磁性金属材料主要屏蔽较高频率磁场，并且铁磁材料的磁导率越高，金属材料的电导率越高，多层屏蔽的效果就越好。

屏蔽效果与各层材料的厚度有关，图4·3所示是当三层屏蔽物（铜—铜—铜）的总厚度P为0.6毫米时，在不同频率下，屏蔽效

果与各层材料厚度之间的关系。由图可见，只有当钢层厚度与铜层厚度为一定比例时屏蔽效果才最好。

4·3·3 印制板插座片间串音与屏蔽

电磁波从一个传输回路串入另一个传输回路的现象，称为串音或串扰。

插座接线片间的串音是由片间分布电容造成的，如图4·3·8所示的接线片P₁、P₂和P₁₇、P₁₈是两个互不相关的独立电路，但P₁、P₂电路的信号会通过P₁与P₁₇、P₁₈：

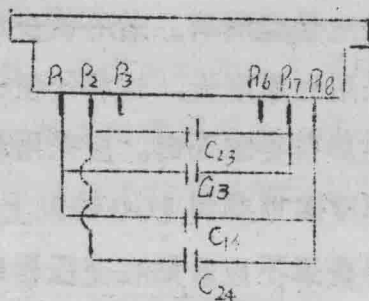


图4·3·8 插座接线片间分布电容

间的电容C₁₃、C₁₄及P₂与P₁₇、P₁₈间的电容C₂₃、C₂₄串入P₁₇、P₁₈电路中去。

图4·3·9是这四个分布电容串音干扰的等效电路。图a中，1、2的左方表示P₁、P₂所接的电路称主串电路；3、4右方表示P₁₇、P₁₈所接通的电路称被串电路。

用等效电源定理求负载Z₀（3、4端）的等效电势 \dot{V}_{34} 及等效内阻 \dot{Z}_{34} 。

$$\dot{Z}_{34} = \frac{\dot{Z}_{13} \cdot \dot{Z}_{23}}{\dot{Z}_{13} + \dot{Z}_{23}} + \frac{\dot{Z}_{14} \cdot \dot{Z}_{24}}{\dot{Z}_{14} + \dot{Z}_{24}} \quad (1)$$

等效电势 \dot{V}_{34} 为Z₀开路时3、4端间的电位差，见图4·3·10
 设132支路中的电流为I₃，142支路中的电流为I₄，由欧姆定律得

$$\frac{\dot{V}}{\dot{Z}_{13} + \dot{Z}_{23}} = I_3 ; \quad \frac{\dot{V}}{\dot{Z}_{14} + \dot{Z}_{24}} = I_4 \quad (2)$$

$$\text{而} \quad \dot{V}_{34} = \dot{V}_{13} - \dot{V}_{14} = I_3 \dot{Z}_{13} - I_4 \dot{Z}_{14} \quad (3)$$

将(2)代入(3)得

$$\dot{V}_{34} = V \left(\frac{\dot{Z}_{13}}{\dot{Z}_{13} + \dot{Z}_{23}} - \frac{\dot{Z}_{14}}{\dot{Z}_{14} + \dot{Z}_{24}} \right) \quad (4)$$

因此图 2·3·9(b) 的电路可简化为图 2·3·9(c) 的电路。图 (c) 中 Z_0 两端间的电压为

$$\dot{V}' = \frac{\dot{V}_{34}}{\dot{Z}_{34} + \dot{Z}_0} Z_0 \quad (5)$$

当 $\dot{Z}_0 \ll \dot{Z}_{34}$ 时, (5) 可简化成

$$\dot{V}' = \dot{V}_{34} \frac{\dot{Z}_0}{\dot{Z}_{34}} \quad (6)$$

将(1)(4)代入(6)得

$$\frac{\dot{V}'}{V} = \frac{(\dot{Z}_{13} \dot{Z}_{24} - \dot{Z}_{12} \dot{Z}_{23}) \dot{Z}_0}{\dot{Z}_{13} \dot{Z}_{23} (\dot{Z}_{14} + \dot{Z}_{24}) + \dot{Z}_{14} \dot{Z}_{24} (\dot{Z}_{13} + \dot{Z}_{23})} \quad (7)$$

以 $\dot{Z}_{1j} = -\frac{1}{\omega C_{1j}}$ 代入(7)经整理得

$$\frac{\dot{V}'}{V} = -j\omega \frac{C_{13} C_{24} - C_{14} C_{23}}{C_{13} + C_{23} + C_{14} + C_{24}} \cdot Z_0 \quad (8)$$

取模 $\frac{V'}{V} = \omega Z_0 \frac{C_{13} C_{24} - C_{14} C_{23}}{C_{13} + C_{23} + C_{14} + C_{24}} \quad (9)$

由于串音衰耗为(9)的倒数, 所以当用奈比计量时, 串音衰耗可写成

$$N = \ln \frac{V}{V'} = \ln \frac{1}{\omega C Z_0} \quad (4.40)$$

其中
$$C = \frac{C_{13} C_{24} - C_{14} C_{23}}{C_{13} + C_{24} + C_{14} + C_{23}}$$

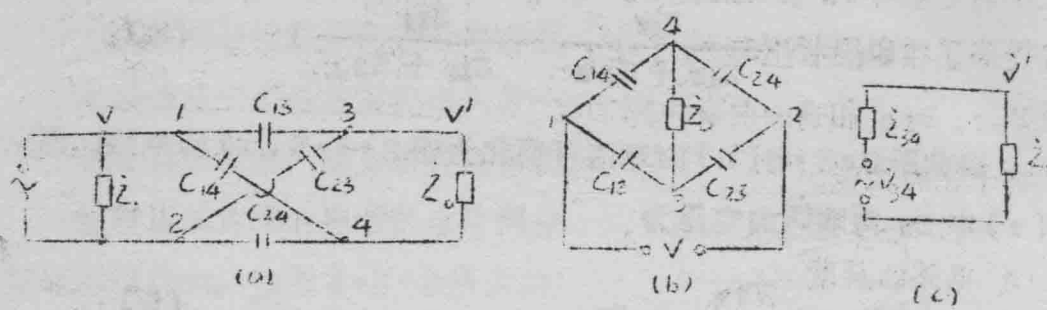


图 4.3.9 插座接线片间分布电容串扰等效电路

对图 4.3.9(a) 的线路，在 $Z_0 = 600 \Omega$ 时，测得的串音衰耗列于表 4.3。由表可以看出，测试频率 f 每增加一倍串音衰耗降低 0.7 ~ 0.69 奈比。

在 1 兆赫时， $N = 124$ 奈比，就是说主串电路中只有 2.42×10^5 分之一的电压串入了被串电路，这个量是很微小的。但是在要求很高的场合中此串音量还嫌大。这时可采用静电屏蔽的方法来减小电容，从而减小串音。如图 4.3.11 所示，将 P_3 接地作静电屏蔽用。实测表明， P_3 接地后串音衰耗增加 17 奈比，因而提高了抗

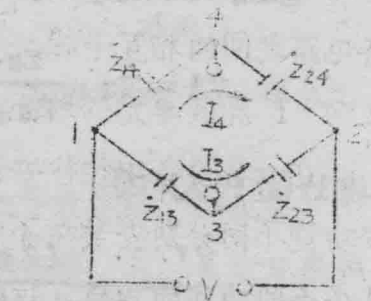


图 4.3.10 插座接线片间分布电容串扰开路等效电路

表 4.3 P_1, P_2 线路与 P_{17}, P_{18} 线路间的串音衰耗 (奈比)

类别 f 兆赫 N_{ep}	无屏蔽		P_3 接地	
	无屏蔽	倍频程串音差	P_3 接地	倍频程串音差
0.25	13.8	0.7	715	0.7
0.50	13.1	——	14.8	——
1.00	12.4	0.7	14.1	0.7

干扰的性能。同理，如果在印刷板上印制一条与 P_3 相通的地线，也就提高了在印刷板上与 P_1 、 P_2 及 P_{17} 、 P_{18} 相通的两条电路间相互抗干扰的性能。

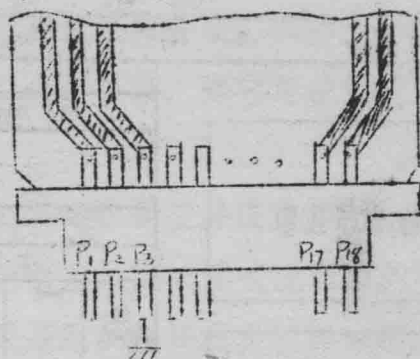


图 4·3·11 选择插座接线片接地作静电屏蔽

4·4 电路的屏蔽

为了防止外界电磁波对电子设备的电路形成干扰，以及设备内部各电路之间的相互干扰，必须对电路进行屏蔽。

4·4·1 屏蔽单元的划分

在一台设备中往往安装有较多的不同功能的电路。这些电路有时按功能不同分别安装在不同的底座上；有时也会在同一底座上安装有几个不同功能的电路，这些具有不同功能的电路之间需要屏蔽，否则易产生各种干扰，如调制干扰、交扰调制、电源哼声等。即使在完成同一种功能的电路中，如同频率的多级放大器，往往也需要在放大器的级与级之间加以屏蔽。不然易产生自激。因此，在设计时合理地划分屏蔽单元是很重要的，至于屏蔽单元怎样划分，应按具体情况参照经验来决定。

介绍工厂中的一些实践经验，作为划分屏蔽单元的参考。

一。设备中具有不同频率的电路，为防止相互之间的寄生耦合而造成干扰，应分别屏蔽。例如对振荡器、混频器、放大器、滤波器等都应分别加以屏蔽。如果几个不同频率的放大器安装在一起，为防止相互之间的干扰，也应分别屏蔽。

图 4·4·1 为某接收机的屏蔽单元划分情况。

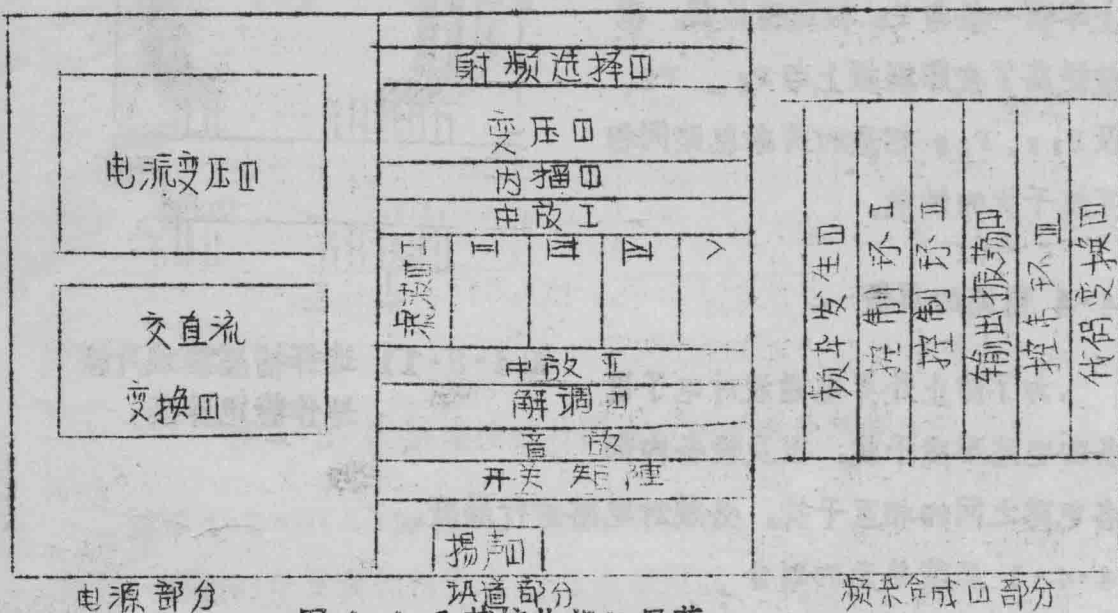


图 4·4·1 某接收机的屏蔽

二、如果多级放大器的增益不大，则级与级之间可以不屏蔽，若增益大，输出级对输入级的反馈大，则级与级之间应加以屏蔽。

对于某些要求较高的无线电设备的晶体管放大器来说，如果放大量小于 100 倍，则放大器装在一块印制板上进行屏蔽就可以了，为了更安全，在一块板上放大量取 50 倍。若放大量超过 50 倍，则放大器应分成两块板安装，并分别进行屏蔽。

三、如果低电平级靠近高电平级，则需要屏蔽。如果干扰电平与低电平级的输入电平可以比拟，则应严格屏蔽。

高电平级与低电平级在一起时，一般高电平级是干扰源，低电平级是被干扰电路，屏蔽哪个好呢！按理讲，屏蔽干扰源是比较有利的，因为屏蔽一个干扰源可以使不止一个被干扰电路受益。但是，在有些情况下，如干扰源是大功率级或者回路的 Q 值要求较高，这时如果对干扰源进行屏蔽，除非屏蔽物体积较大，否则就会带来较大的

损耗。在这种情况下，对被干扰电路进行屏蔽更为合适。实际上，往往是双重屏蔽，即干扰源和被干扰电路二者都屏蔽，这样可获得较大的可靠性。

四、根据电路特性决定是否屏蔽，电路是否需要屏蔽决定于电路本身的特性。例如低输入阻抗的放大器受寄生反馈的影响比高输入阻抗的影响小。因此在多级放大器中，如果采用共基极或共栅极电路，那么相对于共发射极或共阴极电路来说，屏蔽就可以减少，甚至可不屏蔽。对于一个频率为60兆赫、增益为30分贝的宽频带放大器进行试验，主中放有六级，如果采用共发射极电路，则每级之间都需要用隔板隔开，即级与级之间都要屏蔽，否则就产生自激。采用共基极电路，则级之间无需隔开，甚至可以做到八级也不发生自激。

4·4·2 屏蔽体的结构

屏蔽体的结构要根据屏蔽的具体要求而定，常用的有以下几种典型结构：

一、屏蔽格结构

用金属板将底板隔成若干个空间，每一个空间称为一个屏蔽格。将彼此需要屏蔽的电路，分别安装在不同的屏蔽格中，然后用一块大金属板作为盖，将所有的屏蔽格盖住，达到电路之间互相屏蔽。

屏蔽格可以用小块金属板焊接或铆接在底座上制成；也可以直接在铸造底座上铸成。

屏蔽格的屏蔽效果好坏与结构和安装有关。隔板之间、隔板与屏蔽箱体之间应保证接触良好。若屏蔽要求不高，可用螺钉联接。若屏蔽要求高，则应用焊接方法联接。在屏蔽要求更高的情况下，屏蔽格的隔板之间及隔板与箱体之间用榫头联接，再用银焊将所有缝隙焊好。屏蔽格的盖与箱体之间及盖板与隔板之间均要良好的接触。

以隔板隔成四个屏蔽格如图 4·4·2，其中 A、B 两格为干扰源 g ，而 C、D 两格中为被干扰电路 S ，公用一块盖板。

在盖板没有盖上的情况下， g 通过寄生电容 C_1 、 C_2 、 C_3 、 C_4 与 S 耦合起来如图 4·4·2(a)，图中 C_5 、 C_6 分别为两个被干扰电路对屏蔽格壁的寄生电容。

当盖板盖上后， g 与 S 之间便有电容 C_1' 、 C_2' 、 C_3' 、 C_4' ，如图 4·4·2(b)。如果盖板与屏蔽盒在 1、6 两处接触不良，则不仅得不到预期的屏蔽效果，甚至比没有盖板时更坏。如果盖板与屏蔽盒在 1、6 两处连接良好，而与中间隔板接触不良，那么在工作频率较低的情况下，由于盖板的感抗不大，电容 C_1' 、 C_2' 、 C_3' 、 C_4' 可认为被盖板短路，即盖板将寄生耦合几乎完全消除了。

在高频时特别是在超高频的情况下，盖板的感抗不能忽略。因此 g 与 S 之间经过电容 C_1' 、 C_2' 、 C_3' 、 C_4' 及盖板的电感构成的分压器再次耦合起来，如图 4·4·3。

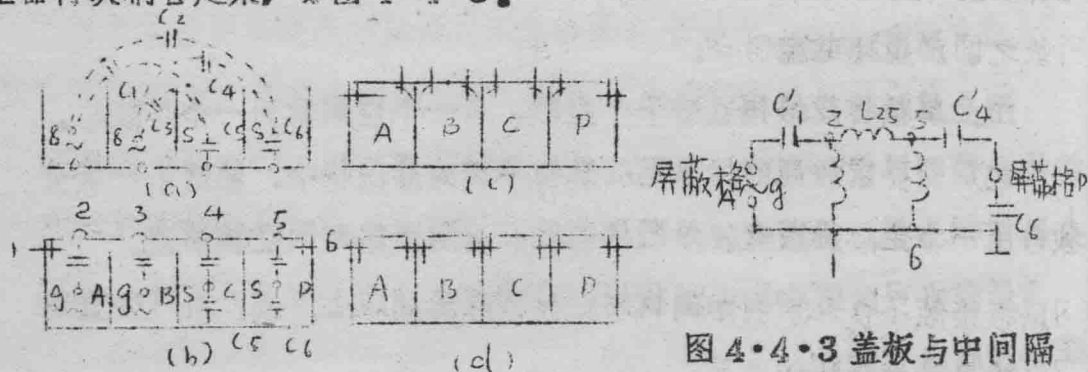


图 4·4·2 屏蔽格结构

图 4·4·3 盖板与中间隔板接触不良的等效电路

处在屏蔽格 A 内的干扰源电压经过 C_1' 和盖板 2—1 段的电感 L_{21} 所构成的第一个分压器，再经过盖板 2—5 段的电感 L_{25} 和盖板 5—6 段的电感 L_{56} 所构成的第二个分压器，最后经过电容 C_4' 和 C_6 所构成的第三个分压器而传输到屏蔽格 D 内的被干扰电路。由于盖板

加上后，分布电容 C_1' 、 C_2' 、 C_3' 、 C_4' 比没有盖板时的 C_1 、 C_2 、 C_3 、 C_4 大得多，因此盖板盖上后，若仅与屏蔽盒器壁接触良好，而而与中间隔板接触不良，那么寄生耦合不仅没有被减弱，甚至还增大。

为了改善盖板与屏蔽箱体以及中间隔板的接触性能，需要采取如前所述改善电接触的结构。如果屏蔽要求高，可采用分盖结构。

中间隔板不仅要与盖板和底板接触良好，而且还应与屏蔽盒壁接触良好。如果隔板只是固定在屏蔽盒底板上，而没有与屏蔽盒壁联接，在高频时，由于金属底板不再是一个等电位面，中间隔板安装在底板的的不同部位，所具有的电位就不一样，结果中间隔板之间就存在着高频电位差，即存在着寄生电容耦合。所以中间隔板必须与盖板，与屏蔽盒的底板、侧板都有良好的接触，否则被屏蔽的电路之间就多了一个附加的寄生电容耦合。

此外，中间隔板最好不要用作地电流的回路导体，至少是不要让相邻两级电路的地电流同时流过中间隔板，以免经过中间隔板在相邻两级之间产生地电流耦合。

二、单独屏蔽结构

在屏蔽要求较高的情况下，采用单独屏蔽结构，即欲屏蔽的电路独自用一个金属屏蔽盒。单独屏蔽没有屏蔽格结构中因公共盖板与中间隔板接触不良和通过中间隔板所造成的寄生耦合，因此屏蔽效果较好，并且调试也比较容易。

三、双层屏蔽结构

采用双层屏蔽通常是由于以下两个原因：

(1) 由于单层屏蔽衰减不够，仍会有一部分微弱信号泄漏到屏蔽盒的外面去。在不允许的情况下采用双层屏蔽。

(2) 如果外界电磁场较强，而被屏蔽电路的灵敏度很高，那么由于

单层屏蔽衰减不够，仍可能有一部分外界电磁场进入屏蔽盒里面，对被屏蔽电路形成干扰。此外，外界电磁场在屏蔽盒上产生涡流，而涡流在屏蔽盒上产生的高频压降可能直接或通过其他寄生耦合对电路产生干扰。在这种情况下，也必须采用双层屏蔽。外界电磁场只在外层屏蔽盒上产生涡流而不会在内层上产生，即外层屏蔽盒保护了内层屏蔽盒免受外界电磁场的影响。

在双层屏蔽时，在结构上应注意以下问题：

(1)通过内外屏蔽盒的引线，在内外屏蔽盒之间需加滤波电路，否则这些引线将会严重影响双层屏蔽效果。

(2)内层与外层屏蔽盒之间只能是一点联接如图4·4·4。由于内层上有被屏蔽电路的地电流流过；外层上有外界电磁场产生的涡流，和底座上其他电路的地电流流过。因此，内、外屏蔽层之间一点联接就可使内、外屏蔽层上的电流相互隔开，不产生耦合。从而保证双层屏蔽所应有的效果。如果内外屏蔽层之间大面积接触，则双层屏蔽就等于同厚度的单层屏蔽，而失去了双层屏蔽的意义。

为了减小引线电感，内、外屏蔽盒的连接导体不应用一般的导线而应用金属棒。

(3)内、外屏蔽盒之间的距离，在空间允许的情况下，间距越大屏蔽效果越好，但太大也没有意义。一般为3~5毫米。为了防止内、外屏蔽盒因变形或位移而造成短路，可在内、外屏蔽盒之间填以绝缘材料，如聚氯乙烯板、聚四氟乙烯板，或用环氧树脂灌注等。

(4)双层屏蔽盒的屏蔽盖板用彼此绝缘的双层金属制成如图4·4·5。内外盖板应分别装有弹簧接触片，分别与内、外屏蔽箱体可靠地接触。

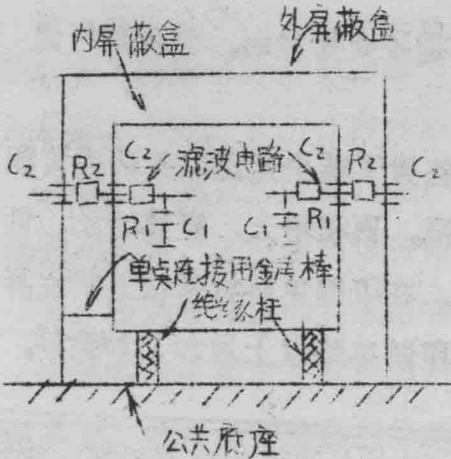


图 4·4·4 双层屏蔽

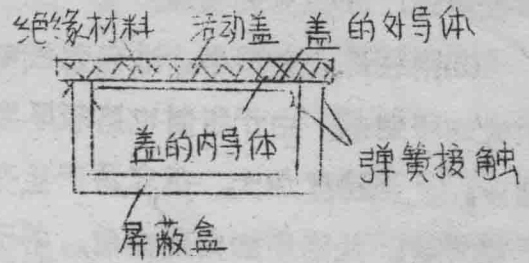


图 4·4·5 双层金属的屏蔽盖

四、用敷铜箔层压板制成的屏蔽结构

除了用金属薄板和铸件制成屏蔽盒外，还可以采用双面敷铜印制板来制成屏蔽盒。如图 4·4·6，它是将各种裁制好的敷铜箔印制板用锡焊将框架固定在印刷电路板的接地铜箔处。如果要求得到高的屏蔽效果，可将裁制好的敷铜箔板镀上一层银。

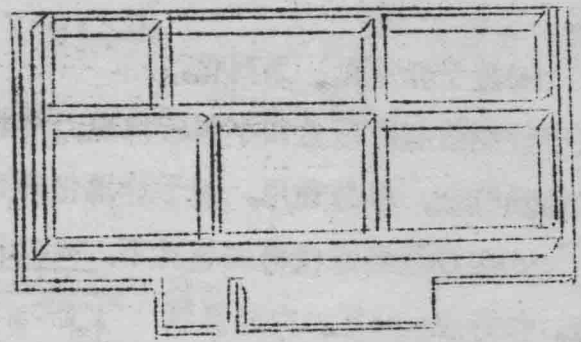


图 4·4·6 敷铜箔板屏蔽隔结构

图 4·4·7 为用敷铜箔板制成的屏蔽盒中的一格。由于隔板上的内外层铜箔 A 通过印制电路板上的铜箔 B 大面积地接触，所以这种屏蔽盒在效果上与同厚度的单层屏蔽相类似。目前，常用的敷铜箔印刷板的铜箔厚度一般为 0.05 毫米，故屏蔽盒的厚度可以按 $0.05 \times 2 = 0.1$ 毫米计算。这种屏蔽结构使用于高频时，屏蔽效果显著，它不适用于低频。

使用敷铜箔印制板制成的屏蔽盒在结构上有许多特点：

- (1) 结构轻便，1.5 毫米厚的双面敷铜箔板比重为 2 克/厘米³ 左右，比铝的比重还要小。敷铜箔板上铜箔厚度为 0.05 毫米，要单纯

用0.05毫米厚的铜箔或铝箔制造屏蔽盒是不太可能的，如用铜板或铝板制造，势必重量增加。

(2)刚性好，变形小。近代无线电设备为了减少走线，多采用面积较大的印制板，由于印制电路板厚度有限，面积增大，安装的元件增多，支承跨度加大，很容易产生变形。在印制电路板基础上制成屏蔽格或盒。从刚度的角度来看，等于在印制电路板上增加了加强筋，使刚度大大提高。

(3)由于敷铜板屏蔽盒是方形的，它与直径等于敷铜板屏蔽盒边长的圆柱形屏蔽盒相比，具有较高的屏蔽效果。

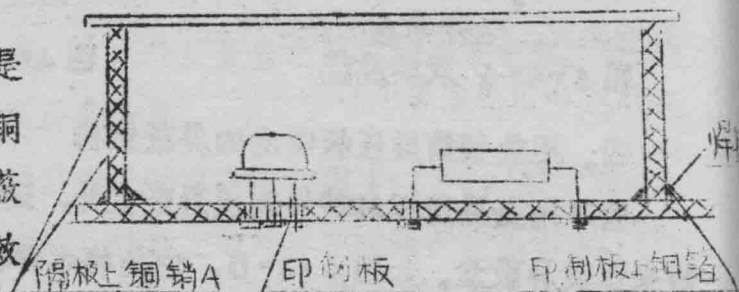


图4·4·7 敷铜箔板屏蔽盒结构

(4)易于标准化、系列化，

由于敷铜箔板屏蔽盒由小隔板拼成，用较少的规格，可以得到多种形式的屏蔽盒，容易通用，便于标准化和系列化。

(5)在屏蔽要求很高的情况下，可以用双面敷铜箔板制成双层屏蔽盒。如图4·4·8。内外屏蔽层之间的距离由敷铜箔板的厚度所决定，为了防止内外层之间短路，隔板倒角45°后拼接，然后在内、外两面进行焊接。盖板上下两面均装有接触簧片，使之和内外屏蔽层相接触，装好元器件的印制电路板固定在屏蔽盒

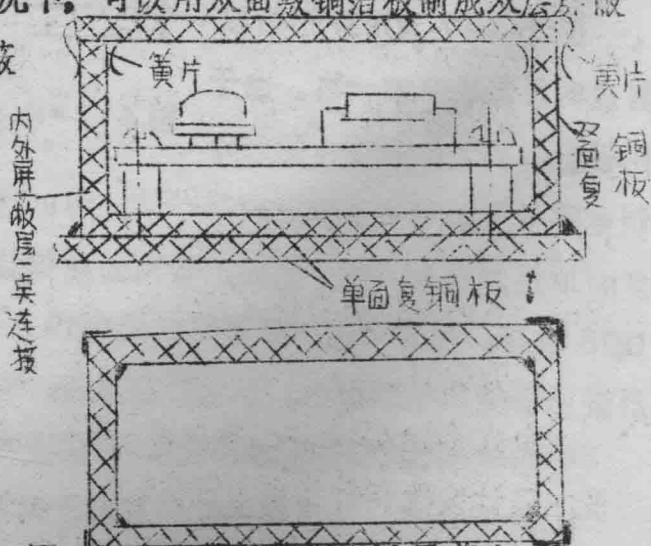


图4·4·8 敷铜箔板双层屏蔽盒

中间。为了保证双层屏蔽所应有的效果，可在屏蔽盒的侧面打一孔并穿入较粗的铜线，然后在内外两面焊牢，做到内外屏蔽层的一点连接。

但是，敷铜板屏蔽盒的生产工艺，目前多依赖于手工操作，故多在批量不大的产品中采用这种结构。

五、金属喷涂层的屏蔽结构

金属喷涂层技术是对用塑料密封的电路部件采用喷镀、阴极溅射真空蒸发、电镀等方法进行导电涂覆，以达到屏蔽的目的，这种结构在航空和卫星装备中已较多使用。

4.5 屏蔽效果的测量

4.5.1 屏蔽效果的直接测量

直接测量法就是利用场强计测出指定点在屏蔽前的场强值 E 及屏蔽后的场强值 E' ，然后代入式(4.41)，算出屏蔽效果 S 。

$$S = \frac{E}{E'} \quad (4.41)$$

式中 E 和 E' 的单位为微伏/米； S 为倍数

场强计的另外一种读数是按分贝刻度的。根据分贝定义：

$$E_{dB} = 20 \log \frac{E}{E_0} \quad (4.42)$$

式中 E 的单位为微伏/米； E_0 为常数，其值取 1 微伏/米； E_{dB} 为分贝。

由式(4.42)知，当 E 为 1 微伏/米时，则 $E_{dB} = 0$ 分贝，因此在场强计读数指针指到 1 微伏处刻为“0”分贝。同理，0.5、2、3、4、……微伏/米，则对应的值依次为 -6.02、6.02、9.54、

1204、……分贝，并在场强计所指之处相应地刻上 E_{dB} 值。

在测得屏蔽前后的场强分别为 E 及 E' 时，按式 (4.42) 分别可得分贝数为

$$E_{dB} = 20 \log \frac{E}{E_0} \quad E'_{dB} = 20 \log \frac{E'}{E_0}$$

将两式相减，则有

$$\begin{aligned} E_{dB} - E'_{dB} &= 20 \log \frac{E}{E_0} - 20 \log \frac{E'}{E_0} = 20 \log \frac{E}{E'} \\ &= 20 \log S = S \text{ (dB)} \end{aligned} \quad (4.43)$$

因此，屏蔽前后场强分贝值之差即屏蔽效果的分贝值。

场强计一般都有较大的鞭状天线作为输入端，所以只宜用于测量大型屏蔽体的屏蔽效果，如屏蔽室、机柜等。

4.5.2 屏蔽效果的间接测量

对于小型屏蔽盒、板的屏蔽效果的测量常用间接测量法。

设由于外场 E_1 的干扰在线性电路右端感应一电压 V_1 ，当电路被屏蔽后干扰场被减弱为 E_2 ，感应电压为 V_2 。见图 4.5.1。

由于电路是线性的，所以感应电压与干扰场强成正比，即

$$V_1 = KE_1; \quad V_2 = KE_2$$

$$\text{两式相比得} \quad \frac{V_1}{V_2} = \frac{E_1}{E_2} = S \quad (4.44)$$

因此屏蔽效果可根据电压表测得的 V_1 、 V_2 算出。

如同在场强计中将场强的分贝计量一样，电压亦常用分贝或奈比计量。在有线通讯中常用奈比计量，即

$$N_{eP} \ln \frac{V_0}{V} \quad (4.45)$$