

F P G A 应 用 技 术 丛 书

Xilinx系列FPGA芯片 IP核详解

刘东华 编著



电子工业出版社
PUBLISHING HOUSE OF ELECTRONICS INDUSTRY
<http://www.phei.com.cn>

FPGA 应用技术丛书

Xilinx 系列 FPGA 芯片 IP 核详解

刘东华 编著

電子工業出版社
Publishing House of Electronics Industry
北京 · BEIJING

内 容 简 介

IP核是可编程门阵列(FPGA)芯片开发中常用的功能模块,本书以赛灵思(Xilinx)公司的Spartan系列和Virtex系列FPGA系列芯片为基础,详细介绍各类IP核的功能、特点、接口及性能,并给出在FPGA开发过程中IP核的使用方法。全书共分10章,首先介绍IP核的生成和使用方法,然后分类描述Xilinx提供的数学运算、存储器、数字信号处理(DSP)、信道纠错码、网络、标准总线IP核以及FPGA属性和调试验证IP核。

本书内容丰富翔实,部分IP核给出了功能原理解释和功能仿真结果,便于读者更好地理解和应用。

本书可作为高等学校和科研院所从事Xilinx系列FPGA开发的人员的开发工具书、参考书或速查手册。

未经许可,不得以任何方式复制或抄袭本书之部分或全部内容。

版权所有,侵权必究。

图书在版编目(CIP)数据

Xilinx 系列 FPGA 芯片 IP 核详解 / 刘东华编著. —北京: 电子工业出版社, 2013.9

(FPGA 应用技术丛书)

ISBN 978-7-121-21483-7

I. ①X… II. ①刘… III. ①可编程序逻辑器件 IV. ①TP332.1

中国版本图书馆 CIP 数据核字(2013)第 216211 号

责任编辑: 田宏峰 特约编辑: 牛雪峰

印 刷: 三河市鑫金马印装有限公司

装 订: 三河市鑫金马印装有限公司

出版发行: 电子工业出版社

北京市海淀区万寿路 173 信箱 邮编 100036

开 本: 787×1 092 1/16 印张: 34 字数: 870 千字

印 次: 2013 年 9 月第 1 次印刷

印 数: 4 000 册 定价: 79.00 元

凡所购买电子工业出版社图书有缺损问题, 请向购买书店调换。若书店售缺, 请与本社发行部联系, 联系及邮购电话: (010) 88254888。

质量投诉请发邮件至 zltz@phei.com.cn, 盗版侵权举报请发邮件至 dbqq@phei.com.cn。

服务热线: (010) 88258888。

前言

随着集成电路技术的快速发展,可编程逻辑门阵列(FPGA)芯片的集成度不断提高,同时因其功能强大、开发周期短、可反复修改、保密性好以及开发工具智能化等优点,已经成为当前硬件设计的主要处理芯片。FPGA作为专用集成电路(ASIC)领域中的一种半定制电路,既解决了定制电路的不足,又克服了原有可编程器件门电路数有限的缺点。FPGA的出现大大推进了电子产品的研发周期和产品多样性,其应用非常广泛。

赛灵思(Xilinx)公司是FPGA的主要生产厂商,其Virtex系列和Spartan系列FPGA芯片广泛应用于通信、数据处理、网络、仪器、工业控制、军事和航空航天等众多领域。为方便FPGA开发,缩短开发周期和节省开发成本,Xilinx公司提供了实现一些通用功能的IP核,包括固化在芯片内的硬IP核和可编程调用的软IP核,并在其开发集成环境ISE中提供了IP核的实例化和调用功能。本书重点介绍Xilinx系列FPGA芯片支持的IP核的功能、特点、接口及性能,并给出在FPGA开发过程中IP核的使用方法。

本书共分10章,其中第1章阐述IP核工具及IP核的操作方法;从第2章开始分类介绍各种IP核的功能特点、符号接口、定制和配置方法等。各章内容编排如下:

第1章介绍IP核的生成工具及使用方法、IP核的创建、添加、实例化、编辑和仿真方法以及其他IP核操作方法。

第2章介绍累加器、乘累加器、乘加器、计数器、移位寄存器及DSP48 Macro等常用的基本IP核。

第3章介绍存储器IP核,包括块存储器、分布式存储器和先入先出(FIFO)存储器等不同功能特点的存储器IP核。

第4章介绍加/减法器、实数乘法器和复数乘法器、基-2除法器和高基数除法器、用于坐标旋转计算的CORDIC算法核、浮点数操作器等常用的数学运算IP核。

第5章介绍在数字信号处理中常用的IP核,包括直接数字频率合成(DDS)器、有限冲激响应(FIR)滤波器、级联积分梳状(CIC)滤波器、离散傅里叶变换(DFT)、快速傅里叶变换(FFT)、数字上/下变频(DUC/DDC)编译器等IP核。

第6章介绍通信信道纠错码IP核,包括RS码编/译码器、卷积码编码器和Viterbi译码器、3GPP和3GPP2标准的Turbo码编/译码器、IEEE 802.16标准的卷积Turbo码(CTC)编/译码器、交织器和解交织器、IEEE 802.16标准LDPC码编码器以及数字视频广播标准DVB-S2的FEC编码器IP核。

第7章介绍网络应用IP核,包括多模式媒体访问控制器(MAC)、以太网物理编码子层(PCS)和物理介质接入(PMA)子层核、网络负载统计核、以太网扩展连接单元接口(XAUI)核和低引脚数XAUI(RXAUI)、针对不同Virtex系列FPGA的以太网MAC封装包、以太网AVB端点等IP核。

第8章介绍标准总线IP核,包括串行RapidIO、控制器局域网络(CAN)、PCI、PCI-E等常用标准总线IP核。

第9章介绍FPGA属性和设计IP核,包括时钟、GTP/GTX高速收发器以及系统监视器IP核等。

第10章介绍在FPGA调试过程中使用的调试验证IP核,主要包括ChipScope Pro工具介绍、逻辑调试内核、误比特率测试核和集成总线分析核。

本书详尽介绍了Xilinx公司FPGA芯片支持的各类IP核,编写过程中参考了Xilinx公司官方网站(<http://www.xilinx.com>)提供的大量英文资料以及集成开发环境ISE提供的IP核数据手册和帮助文档。

参与本书编写工作的还有:梁光明、向良军、徐克强、王职军、谢俊、汪伟、谢皓臣、莫晓鹏、胡耀华。

还要感谢电子工业出版社和本书的责任编辑田宏峰老师,在田老师的大力支持和帮助下本书才得以与广大读者见面。

由于作者水平有限,错误疏漏之处在所难免,恳请广大读者批评指正。同时也欢迎大家就FPGA开发相关技术与作者交流,联系邮箱:ldh_1976@163.com。

刘东华
2013年8月

目录 Contents

第 1 章	Xilinx IP 核的生成和使用	1
1.1	概述	1
1.2	IP 核生成工具	2
1.2.1	概述	2
1.2.2	IP 核生成工具接口	2
1.2.3	IP 核生成工具的使用	5
1.2.4	定制和编辑 IP 核	10
1.3	基于 ISE 工程导航工具的 IP 核操作	14
1.3.1	创建工程	15
1.3.2	定制 IP 核	16
1.3.3	添加 IP 核	17
1.3.4	例化 IP 核	18
1.3.5	编辑 IP 核	18
1.3.6	仿真 IP 核	18
1.4	其他 IP 核操作	19
1.4.1	构造向导	19
1.4.2	网表 IP	20
1.4.3	微处理器和外设 IP	21
1.4.4	系统生成工具	23
第 2 章	基本 IP 核	24
2.1	乘-加器	24
2.1.1	累加器	24
2.1.2	乘累加器	25
2.1.3	乘加器	27
2.2	二进制计数器	31
2.3	基于 RAM 的移位寄存器	34
2.4	DSP48 宏	36
第 3 章	存储器 IP 核	43
3.1	块存储器	43

3.2	分布式存储器	66
3.3	FIFO 生成器	74
第 4 章	数学运算 IP 核	82
4.1	加/减法器	82
4.2	乘法器	85
4.2.1	实数乘法器	85
4.2.2	复数乘法器	86
4.3	除法器	90
4.4	CORDIC	96
4.5	浮点数操作器	111
第 5 章	数字信号处理 IP 核	120
5.1	DDS 编译器	120
5.2	FIR 编译器	127
5.3	CIC 编译器	157
5.4	DFT	165
5.5	FFT	171
5.6	DUC/DDC 编译器	189
第 6 章	纠错码 IP 核	201
6.1	RS 码编/译码器	201
6.1.1	RS 码编码器	201
6.1.2	RS 码译码器	208
6.2	卷积码编/译码器	219
6.2.1	卷积码编码器	219
6.2.2	Viterbi 译码器	223
6.3	3GPP Turbo 码编/译码器	234
6.3.1	3GPP Turbo 码编码器	235
6.3.2	3GPP Turbo 码译码器	241
6.4	3GPP2 Turbo 码编/译码器	245
6.4.1	3GPP2 Turbo 码编码器	246
6.4.2	3GPP2 Turbo 码译码器	250
6.5	IEEE 802.16 CTC 编译器	256
6.5.1	IEEE 802.16 CTC 编码器	256
6.5.2	IEEE 802.16e CTC 译码器	262
6.6	交织器/解交织器	269
6.7	IEEE P802.16 LDPC 编码器	283
6.8	DVB-S2 FEC 编码器	289

第 7 章 网络应用 IP 核	297
7.1 以太网 MAC	297
7.1.1 10 Gbps 以太网 MAC	297
7.1.2 TEMAC	305
7.2 PCS/PMA	313
7.2.1 10 Gbps 以太网 PCS/PMA	313
7.2.2 以太网 1000BASE-X PCS/PMA 或 SGMII	316
7.3 以太网连接单元	324
7.3.1 XAUI	324
7.3.2 RXAUI	329
7.4 嵌入式三模式以太网 MAC 封装包	334
7.4.1 Virtex-4 嵌入式三模式以太网 MAC 封装包	334
7.4.2 Virtex-5 嵌入式三模式以太网 MAC 封装包	337
7.4.3 Virtex-6 嵌入式三模式以太网 MAC 封装包	337
7.5 以太网统计	339
7.6 以太网 AVB 端点	343
第 8 章 FPGA 属性和设计 IP 核	359
8.1 时钟向导	359
8.2 GTX 收发器	364
8.2.1 Virtex-6 FPGA GTX 收发器向导	364
8.2.2 Virtex-5 FPGA RocketIO GTX 收发器向导	404
8.3 SelectIO 接口向导	431
8.4 系统监视器	435
第 9 章 标准总线 IP 核	439
9.1 串行 RapidIO	439
9.2 CAN	449
9.3 用于 PCI 接口的 Initiator/Target	461
9.4 PCI Express 核	470
9.4.1 用于 Virtex-5 和 Virtex-4 的 PCI Express 端点	470
9.4.2 用于 Virtex-5 的 PCI Express 端点块增强 (EBP)	479
9.4.3 用于 Spartan-3/3A/3E 的 PCI Express 端点 PIPE	481
9.4.4 用于 Spartan-6 的 PCI Express 集成块	485
9.4.5 用于 Virtex-6 的 PCI Express 集成块	488
9.5 显示端口	494
第 10 章 调试验证 IP 核	510
10.1 ChipScope Pro	510
10.2 逻辑调试内核	511
10.2.1 集成控制器 (ICON)	511

10.2.2 集成逻辑分析 (ILA) 514

10.2.3 虚拟 I/O (VIO) 520

10.2.4 Agilent 跟踪 (ATC2) 522

10.3 误比特率测试 (IBERT) 525

10.4 集成总线分析核 (IBA) 527

10.4.1 PLB IBA 527

10.4.2 OPB IBA 531

参考文献 534

第1章 Xilinx IP 核的生成和使用

1.1 概述

IP 核是指 Xilinx 及其合作公司提供的逻辑功能块,它针对其 FPGA 芯片进行了优化和预先配置,可以直接在用户设计中使用,应用范围很广。在 FPGA 设计开发过程中使用 IP 核,可以大大缩短开发周期,高度优化的 IP 核可以使 FPGA 开发工程师专注于系统级开发,从而有助于加速开发进程,降低开发成本。

从复杂性的角度看,既包括诸如算术操作器、延时单元等简单的 IP 核,也包括诸如数字信号处理(DSP)中的滤波器、变换器以及网络模块、接口等比较复杂的系统级构造 IP 核模块。IP 核可以通过 Xilinx IP 核生成工具软件、Xilinx 构造向导、Xilinx 平台开发环境(XPS)或系统生成工具引用,非 Xilinx 的第三方 IP 核以独立文件方式提供。具体引用工具和机制有以下几种。

1) IP 核生成工具

Xilinx 公司提供的 IP 核生成工具可用于创建针对 Xilinx FPGA 优化的预定义“软”IP 核参数化模块,提供包括存储器、数字信号处理、数学运算、标准总线接口、标准逻辑以及网络功能等多种 IP 核。可以通过 IP 核生成工具创建 CORE Generator IP,然后在编写的 HDL 文件或原理图设计中例化,最后集成在用户设计中使用。

2) 构造向导

构造向导用于配置 FPGA 结构或“硬”IP 属性和模块,如数字时钟管理器(DCM)、DSP48 块等。使用构造向导比较容易实现 IP 核的配置,避免编写大量代码来对功能进行限制或规定 HDL 属性。

3) 网表 IP

网表 IP 是已经经过综合和网表化的 IP 核,许多 IP 核联盟成员或其他第三方 IP 提供商给出的“黑盒 IP 核”都属于网表 IP。Xilinx 公司和 IP 核联盟成员通过 Xilinx IP 中心提供针对 Xilinx FPGA 的网表化 IP 核。

4) 微处理器和外设 IP

在嵌入式开发包(EDK)提供的 Xilinx 平台开发环境(XPS)中,可以用软核或 Xilinx FPGA 芯片中的硬嵌入式处理器来创建嵌入式处理器 IP 核。例如,可以利用 PowerPC 嵌入式硬处理器或 MicroBlaze 嵌入式软处理器来实现嵌入式 IP 核。

5) 针对 DSP 的系统生成工具

利用 Xilinx 提供的系统生成工具可以设计在 FPGA 芯片中实现的高性能 DSP 系统。MathWorks 公司 Simulink 软件包的 Xilinx 模块集中包含了大量面向 Xilinx FPGA 优化的信号处理算法和函数,使用系统生成工具,可以直接利用 Xilinx 模块集构建 DSP 系统。

1.2 IP 核生成工具

1.2.1 概述

IP 核生成工具内嵌在 Xilinx 公司提供的 FPGA 集成开发环境 ISE 中, 提供了一系列特定结构、针对特定应用领域(如嵌入式、连接器和 DSP 等)和特定市场需要(如自动化、消费电子、军事/航空、通信等)的 IP 核。

IP 核生成工具提供的 IP 核主要有:

(1) 数学运算模块, 包括累加器、乘累加器、乘加器、计数器、加/减法器、实/复数乘法器、除法器、CORDIC 算法器、DSP48 宏和浮点数操作器。

(2) 存储器构造模块, 包括块存储器和分布式存储器、先入先出存储器(FIFO)和移位寄存器。

(3) DSP 功能, 包括直接数字频率合成(DDS)编译器、数字上变频/下变频(DUC/DDC)编译器、有限冲激响应(FIR)滤波器、级联积分梳状(CIC)滤波器、离散傅里叶变换(DFT)和快速傅里叶变换(FFT)。

(4) 信道纠错码, 包括 RS 码编码器和译码器、卷积码编码器、Viterbi 译码器、Turbo 码编/译码器和低密度奇偶校验码(LDPC)码编码器等。

(5) 网络应用, 包括媒体访问控制器(MAC)、以太网物理编码子层/物理介质连接(PCS/PMA)、网络负载统计、以太网扩展连接单元接口(XAUI)、减少引脚使用的 XAUI(RXAUI)、MAC 封装包和音/视频桥接(AVB)端点。

(6) FPGA 结构属性, 包括时钟向导、高速串行收发器(GTX/GTP)和系统监视向导。

(7) 连接器, 包括标准总线接口(如 PCI/PCI-X、PCI Express、CAN)和数据接口(如以太网、RapidIO 等)。

(8) 调试和验证, 包括逻辑调试内核(集成控制器核(ICON)、集成逻辑分析核(ILA)、虚拟输入/输出核(VIO)、Agilent 跟踪核(ATC2))、误比特率测试核(IBERT)和集成总线分析核(IBA)。

(9) 针对不同设计方法的特殊 IP 核, 包括用工程导航工具进行逻辑设计的 IP 核、用 Xilinx 系统生成工具进行 DSP 算法设计的 IP 核, 以及用 Xilinx 平台开发环境(XPS)或 PlanAhead 进行嵌入式设计的 IP 核。

本书后续将详细介绍 IP 核生成工具提供的 IP 核, 针对的 Xilinx FPGA 芯片系列包括 Spartan-3/3A/3AN/3A DSP/3E、Spartan-6、Virtex-4、Virtex-5 和 Virtex-6 系列。

1.2.2 IP 核生成工具接口

IP 核生成工具软件主界面如图 1.2.1 所示。IP 核生成工具软件主界面主要由标题栏、菜单栏、工具条、IP 类别窗口、工程 IP 窗口、控制台窗口和状态栏组成。下面对各组成部分分别予以说明。

1) 标题栏

标题栏显示程序名称和当前工程的 IP 核生成工具工程(.cgp)文件所在的路径。

2) 菜单栏

菜单栏主要有文件（File）、工程（Project）、查看（View）和帮助（Help）菜单，用于控制 IP 核生成工具软件的操作。其中 File 菜单的下拉菜单包括的菜单项有新建工程（New Project）、打开工程（Open Project）、关闭工程（Close Project）、打开最近的工程（Recent Project）、保存（Save）、另存为（Save As...）、工具设置（Preference）（包括常用设置（如显示最近工程个数等）、PDF 阅读器选择、Web 浏览器设置以及 Java 可用内存等）、退出（Exit）。Project 菜单的下拉菜单包括的菜单项有：导入已有的 IP（Import Existing Customised IP），用于向 IP 核生成工具中导入已创建的 IP 核（导入.xco 文件）；工程选项（Project Options），用于显示和配置工程。



图 1.2.1 IP 核生成工具软件主界面

3) 工具条

工具条位于菜单栏下方和 IP 类别窗口左边，提供经常使用的命令按钮，具体如下所述。

- 新建工程（New Project）：创建一个新的工程。
- 打开工程（Open Project）：打开一个存在的工程。
- 保存工程（Save Project）：保存活动的工程。
- 工具设置（Preference）：设置工程辅助工具。
- 帮助（help）：显示菜单和按钮的功能提示。
- 工程选项（Project Options）：打开工程选项设置窗口。
- 导入已存在的定制 IP（Import Existing Customized IP）：用于导入 XCO 文件。
- 定制和生成（Customize and Generate）：定制和生成 IP 核生成工具工程。
- 生成当前工程选项（Generate Current Project Options）：生成或重新生成指定的工程选项。
- 升级 IP（Upgrade IP）：升级 IP 核。

-  升级和重新生成 IP (Upgrade and Regenerate IP): 通过重新生成来升级 IP 核。
-  查看数据手册 (View Data Sheet): 查看所选 IP 核的数据手册。
-  查看授权状态 (View License Status): 查看所选 IP 核的授权状态。
-  查看产品页面 (View Product Webpage): 查看 Xilinx 产品主页。
-  查看版本信息 (View Version Information): 查看 IP 核的版本信息。
-  查看回复记录 (View Answer Records): 从 Xilinx 主页查看所选 IP 核的答复记录。
-  查看说明信息 (View Read Me): 查看当前 Xilinx 发布版的 Read Me 文件。
-  Xilinx 通知 (XilinxNotify): 打开 XilinxNotify 工具, 从 Xilinx 网站安装 IP 核生成工具和软件更新。

4) IP 核类别窗口

IP 核类别窗口给出了 IP 核生成工具系统内可定制的 IP 核和已经创建的 IP 核列表。该窗口中有以下标签页/面板。

① 按功能查看。在该标签页中显示 IP 核生成工具工程中可以定制的 IP 核, 所有 IP 核根据其实现的功能分级列表显示, 如图 1.2.2 所示, 列表中包含如下条目。

- 名称 (Name): IP 核的名称。
- 版本 (Version): IP 核的版本, 还可以在选中 IP 核后单击查看版本信息工具条按钮  查看该 IP 核更多的版本信息。
- 状态 (Status): IP 核的生命周期状态, 状态有以下几种。
 - ✧ Beta: 测试状态。
 - ✧ Pre-Production: 产品化前期状态。
 - ✧ Production: 产品状态。
 - ✧ Discontinued: 不再使用。
 - ✧ Superseded: 有新版本可用, 该版本 IP 核不再可用。
- 授权许可 (License): 表明 IP 核是免费使用的还是需要购买授权许可的。
- AXI4: 表明 IP 核是否支持 AXI 接口。

在默认情况下, 按功能查看标签页显示所有已安装的 IP 核, 其中部分 IP 核针对某个或某几个 FPGA 系列设计, 当建立的工程不属于其支持的 FPGA 系列时, 则相应的 IP 核不可用, 其所在条目显示为灰色。

② 按名称查看。与按功能查看显示的内容相同, 仅仅是 IP 核排列的顺序是按照其名称首字母的升序或降序排列的。另外, IP 类别窗口还包括搜索 IP 类别 (Search IP Catalog) 功能, 可通过在文本框输入 IP 核名称关键词来检索 IP 核。IP 类别窗口提供了两个复选框选项。

(a) 所有 IP 核版本 (All IP Versions): 如果不选中该复选框, 则 IP 核生成工具的 IP 核类别窗口中仅显示所有 IP 核的最新版本; 如果选中该复选框, 则显示包括 Superseded 状态和 Discontinued 状态在内的所有 IP 核。

(b) 仅显示与所选设备兼容的 IP 核 (Only IP compatible with chosen part): 如果选中该复选框, 则 IP 核生成工具的 IP 核类别窗口中只显示所选设备可以使用的 IP 核。

5) 工程 IP 核窗口

工程 IP 核窗口显示已经在 IP 核生成工具工程中定义和生成的 IP 核列表, 列表中给出如下信息。

- ① 实例名称 (Instance Name)：IP 核的例化名称。
- ② 核名称 (Core Name)：例化的 IP 核名称。
- ③ 版本 (Version)：IP 核版本号。
- ④ 最后生成的时间 (Last Generated)：最终的例化时间。
- ⑤ 状态 (Status)：IP 核的状态信息。

6) IP 核信息显示窗口

IP 核信息显示窗口给出了当前选择 IP 核和当前工程的基本信息,包括信息 (Information) 和动作 (Action) 两大类。

① 信息 (Information)，显示的信息包括核的类型、版本信息、核的摘要信息、支持的芯片系列和当前工程选项/配置。

② 动作 (Action)，显示对 IP 核可以进行的操作，包括定制和生成、查看回复记录、查看数据手册、查看授权许可状态、查看产品主页和产品版本信息。

7) 控制台窗口

控制台窗口包括三个面板。

① 信息 (Information)：显示当前 IP 核生成过程的信息，包括 IP 核生成工具软件操作的运行输出。

② 警告 (Warnings)：显示当前 IP 核生成过程中产生的警告信息。

③ 错误 (Errors)：显示当前 IP 核生成过程中产生的错误信息。

8) 状态栏

状态栏位于 IP 核生成工具主界面窗口的最下方，显示包括生成目标的 FPGA 部分、设计入口方法 (如原理图、VHDL、Verilog 等) 等信息。

1.2.3 IP 核生成工具的使用

1. 启动 IP 核生成工具

IP 核生成工具集成在 ISE 软件包中,以 ISE12.4 为例,可以通过单击开始→程序→Xilinx ISE Design Suite12.4→ISE Design Tools→Tools→CORE Generator 启动,启动后出现的软件界面如图 1.2.3 所示。



图 1.2.2 按功能查看标签页

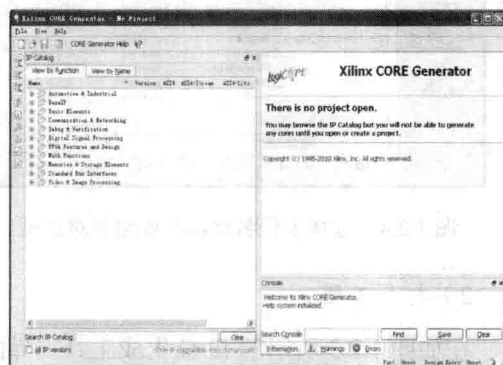


图 1.2.3 IP 核生成工具软件主界面

另外，也可以在命令行输入命令启动 IP 核生成工具。如果 ISE 安装路径为 C 盘根目录，则执行命令“C:\Xilinx\12.4\ISE_DS\ISE\bin\nt\coregen.exe”即可启动 IP 核生成工具。

IP 核生成工具的命令行命令如表 1-2-1 所示。

表 1-2-1 IP 核生成工具支持的命令

选 项	说 明
-b <command_file_name>	以批处理方式启动 IP 核生成工具并在批处理模式下执行指定命令文件中的命令，command_file_name 变量同时指定命令文件所在路径和文件名
-f <options_file_name>	从选项文件中读取命令行变量，这在命令行字符数很多或每次进入核生成命令时经常使用同一个变量时使用这种方法
-p <project_path>	指定 IP 核生成工具工程的工作路径，由变量 project_path 确定。可以指定为 IP 核生成工具启动的相对路径
-h	显示 IP 核生成工具的命令行帮助和版本信息
-d	以调试模式启动 IP 核生成工具，这样可以在运行时产生附加运行消息
-u <version number>	用于触发由-b 选项指定的核升级。升级过程并不自动得到重新生成的核，必须同时指定使用-r 标记选项。这样，已存在的输出将搬到备份位置，避免 IP 核版本冲突
-r	使用该命令可以重新生成用-b 命令生成的 XCO 文件描述的 IP 核

另外，也可以在 ISE 工程导航软件中启动 IP 核生成工具，这将在 2.3 节详述。下面简要介绍使用 IP 核生成工具创建、打开、保存和关闭工程的方法。

2. 创建、打开、保存和关闭工程

1) 创建工程

在使用 IP 核生成工具创建 IP 核前要先创建工程。在主界面上单击 File→New Project 或者单击工具条上的图标，出现如图 1.2.4 所示对话框，用于设置工程名称和工程存放路径。设置好工程名称和存放路径后单击保存按钮，自动弹出工程选项窗口，如图 1.2.5 所示，在该窗口中可选择和配置应用 IP 核的 FPGA 芯片系列、具体型号、封装类型和速度等级等。单击 OK 按钮后返回主界面，创建工程完毕。

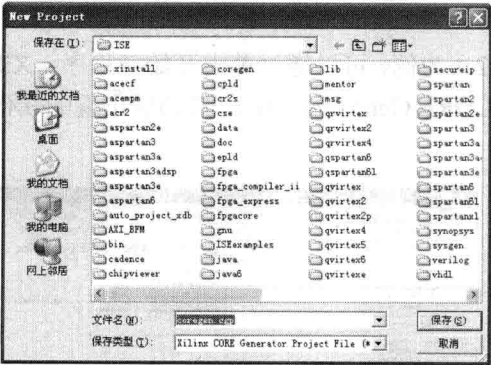


图 1.2.4 选择工程名称和存放路径对话框

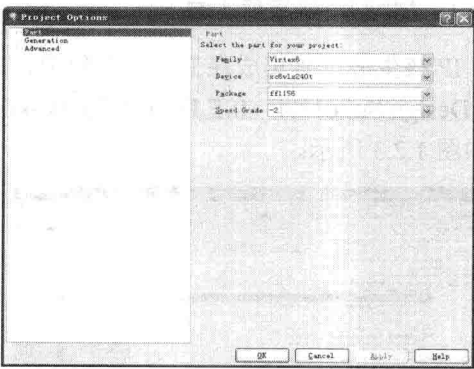


图 1.2.5 工程选项设置窗口

2) 打开工程

在如图 1.2.3 所示的 IP 核生成工具主界面窗口中，单击菜单 File→Open Project 或工具条的图标，然后在弹出的对话框中选择要打开的工程，单击确定按钮后即可打开已存在的工程。

3) 保存工程

在存在已打开工程时,在主界面窗口中单击菜单 File→Save 或 Save As... (需要保存的输入工程名称)即可保存工程。

4) 关闭工程

在主界面窗口中单击菜单 File→Close Project, 即可关闭工程。

3. 项目选项

在 IP 核生成工具主界面窗口 (见图 1.2.3) 上单击菜单 Project→Project Options 或者单击工具条上的图标, 即可打开项目选项窗口, 如图 1.2.5 所示。在项目选项窗口可以设置和修改当前工程的配置。该窗口中包含三个选项页面。

(1) 工程选项的组件页面。图 1.2.5 显示的是工程选项的组件页面, 该页面用于选择 FPGA 芯片系列、具体型号、封装类型和速度等级。

(2) 工程选项的生成页面。工程选项的生成页面如图 1.2.6 所示, 该页面的主要设置如下所述。

① 流程 (Flow)。

设计入口 (Design Entry): 指定电子设计自动化 (EDA) 方式 (原理图、VHDL 或 Verilog) 和设计入口厂商, 可以被指定为下面三个设计入口之一。

- VHDL: 若选择 VHDL 设计入口, 将生成一个 VHO 例化模板文件和一个 VHD 源文件。在 VHO 模板文件中包含有 VHDL 示例代码, 可用于在 VHDL 设计工程中例化 IP 核。VHD 文件用于支持核的功能仿真。
- Verilog: 若选择 Verilog 设计入口, 将生成一个 VEO 例化模板文件和一个 V 封装包文件。在 VEO 模板文件中包含 Verilog 示例代码, 可用于在 Verilog 设计工程中例化 IP 核。V 封装包文件用于支持核的功能仿真。
- 原理图 (Schematic): 根据所选择的厂商, IP 核生成工具选择适当的输出文件。这时需要选择适当的网表总线格式和附件输出产品。原理图设计支持:
 - ✧ Cadence, 生成与 Cadence 兼容总线格式的网表。
 - ✧ ISE, 生成 ASCII 符号 (ASY) 文件、原理图编辑器符号 (SYM) 文件 (用于 Xilinx 原理图编辑器) 和基本网表。
 - ✧ 其他, 生成用户指定网表总线格式的网表。

定制输出产品 (Custom Output Product): 选中该选项则为每个生成模块选择输出产品。

② 流程设置 (Flow Setting)。

厂商: 指定设计入口厂商, 可选项包括 Cadence、ISE、Mentor Graphics (HDL)、Synopsys、Synplicity 和 Other。如果指定的厂商不是 Other, 则 IP 核生成工具自动将网表总线格式设置为所选厂商支持的正确值; 否则需要指定网表总线格式。

网表总线格式 (Netlist Bus Format): 设置输出网表文件中总线信号的格式。如果在设计入口厂商选择时选择的是 Other, 就必须设置网表总线格式。总线格式可以指定为一个数组, 如 B<n:m>、B[n:m]或 B(n:m), 其中 B 表示总线名称, n:m 表示总线索引范围。

③ 仿真文件 (Simulation Files)。

指定 IP 核生成工具为仿真而生成的文件类型。

行为仿真 (Behavioral): 选择该选项则在生成 IP 核时会产生一个 HDL 文件, 用于仿真

所创建的核。这个文件可以是例化 XilinxCoreLib 模型的封装包文件或基于结构组件和 XilinxCoreLib 模型混合的仿真模型，文件内容与生成的 IP 核是否可用有关。

结构仿真 (Structural)：选择该选项则为生成的 IP 核产生一个结构化仿真网表，该网表不能用于综合。

无 (None)：选择该选项则不产生任何仿真文件。

④ 目标语言 (Preferred Language)。指定例化 IP 核的目标语言，可以选择的目标语言有 VHDL 和 Verilog HDL。

⑤ 其他输出产品 (Other Output Products)。

ASY 符号文件 (ASY Symbol File)：选中该选项则生成一个 ASY 符号文件，ISE 工具和其他第三方接口工具可以用这个 ASCII 符号信息文件创建表示核的符号。

(3) 高级选项的高级页面。高级选项的高级页面如图 1.2.7 所示，该页面的主要设置如下所述。

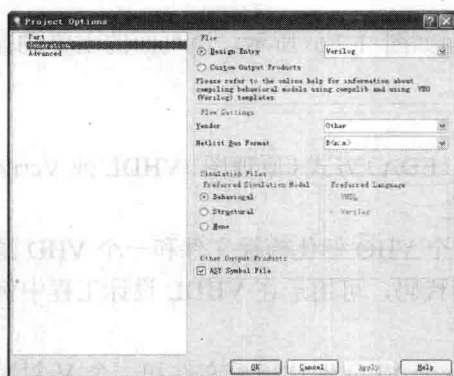


图 1.2.6 工程选项的生成页面

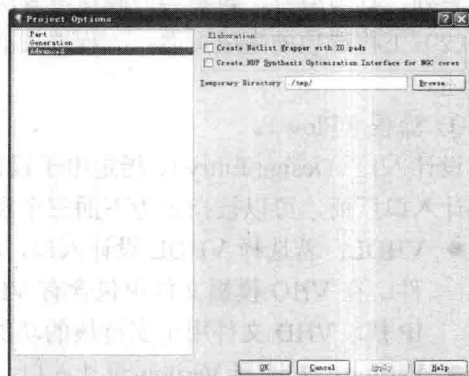


图 1.2.7 工程选项的高级页面

① 根据 FPGA 芯片的 IO 引脚创建网表封装包 (Create Netlist Wrapper with IO Pads)。若选中该选项，在生成 IP 核时将添加输入/输出块 (IOB) 并写到输出的 NGC 网表中。IOB 的定义在附加输出文件中给出。如果想独立完成 IP 核的布局布线、获取精确时序以及资源利用率等信息，则可以使用这个文件，而且不必要提供与任何设计入口工具的接口。

如果在创建网表封装包时选择了 IO 引脚，IP 核生成工具将自动创建这个附件文件，即 Padded NGC 封装包文件，这个文件将生成的 IP 核看成黑盒并包含其声明以及适当的 IOB 端口连接。

对于命名为 corename 的 IP 核，其 NGC 描述文件通常命名为 corename.ngc，生成的附加文件一般命名为 corename_padded.ngc。这个附加文件中定义的模块命名为 corename_padded。corename_padded 定义包括根据 IP 核在 corename.edn 中的定义例化的黑盒核，而且每个端口都连接到一个适当的 IOB，即每个 IOB 与 corename_padded 相应的端口相连。

添加 IOB 的原则包括：

- 如果端口名称为 clk、g 或者以 clk 或 _ck 开始或结束，则认为时钟端口；
- 不能添加 IPAD 和 OPAD；
- 生成的引脚配置文件仅用于 EDIF 输出，而不能为 VHDL 和 Verilog 输出生成；
- 连接到端口的 IOB 与端口类型相关，要满足表 1-2-2 所示的对应关系。