



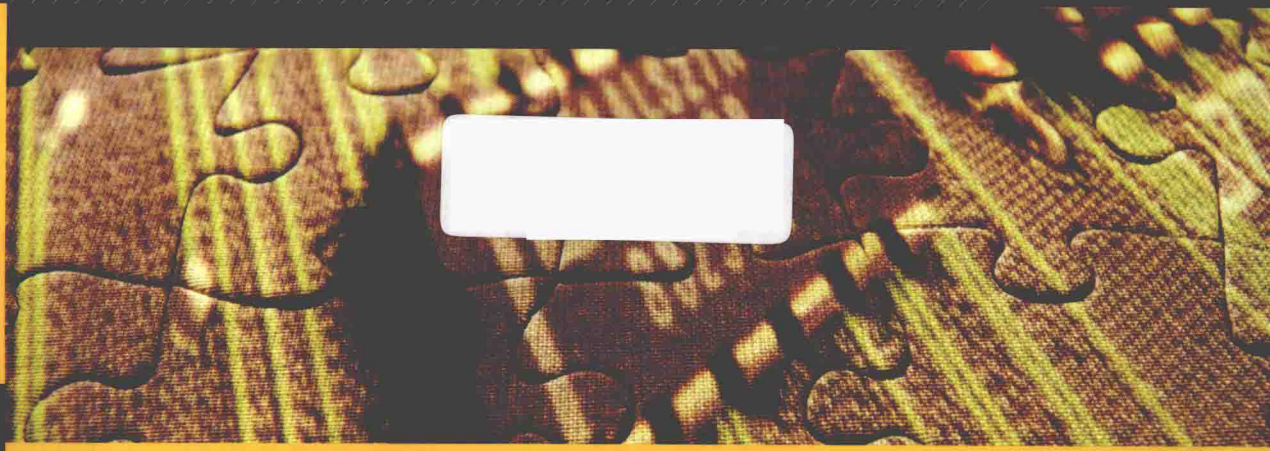
21 世纪高等院校电气工程与自动化规划教材

21st Century Higher Education Electrical Engineering and Automation Planning Textbook Series

DSP Technology and Application of
Experimental Guidance

DSP 技术与应用实验指导

— 段丽娜 主编



人民邮电出版社
POSTS & TELECOM PRESS



21 世纪高等院校电气工程与自动化规划教材

21 century institutions of higher learning materials of Electrical Engineering and Automation Planning

DSP Technology and Application of
Experimental Guidance

DSP 技术与应用实验指导

段丽娜 主编

人民邮电出版社

北京

图书在版编目 (C I P) 数据

DSP技术与应用实验指导 / 段丽娜主编. -- 北京 :
人民邮电出版社, 2013. 12
21世纪高等院校电气工程与自动化规划教材
ISBN 978-7-115-32655-3

I. ①D… II. ①段… III. ①数字信号处理—高等学
校—教材 IV. ①TN911.72

中国版本图书馆CIP数据核字(2013)第236406号

内 容 提 要

本书着重介绍了 TMS320C54X/LF2407 系列 DSP 相关实验, 实验指导中给出了实验原理、完整的源程序, 以及上机汇编、链接、调试过程, 初学者可以按照书中给出的步骤动手操作, 在实践中掌握 DSP 应用技术。

本书可作为电子与通信、自动化专业高年级本科生和研究生学习 DSP 实验课程的教材, 也可供从事 DSP 芯片开发与应用的工程技术人员参考。

-
- ◆ 主 编 段丽娜
责任编辑 王小娟
责任印制 沈 蓉 杨林杰
 - ◆ 人民邮电出版社出版发行 北京市丰台区成寿寺路 11 号
邮编 100164 电子邮件 315@ptpress.com.cn
网址 <http://www.ptpress.com.cn>
北京昌平百善印刷厂印刷
 - ◆ 开本: 787×1092 1/16
印张: 15 2013 年 12 月第 1 版
字数: 374 千字 2013 年 12 月北京第 1 次印刷
-

定价: 30.00 元

读者服务热线: (010)81055256 印装质量热线: (010)81055316

反盗版热线: (010)81055315

广告经营许可证: 京崇工商广字第 0021 号

德州仪器 TI 公司的 DSP 芯片在市场上占主导地位，目前 TI 主推的有 3 种系列的 DSP，分别是 DSP2000 系列、DSP5000 系列和 DSP6000 系列。它们的应用各不相同，DSP2000 系列芯片用于电动机控制、家用电器和变频电源控制等，DSP5000 系列芯片用于手机、便携式媒体播放器和数码相机等，DSP6000 系列用于无线基站、视频流、视频会议和视频安全防护等。

DSP 实验开发系统是 DSP2000 和 DSP5000 二合一的实验系统，实验系统包含了 DSP5000 类实验和 DSP2000 类实验。

DSP5000 类实验主要介绍了 TI 的 TMS320VC54X 系列 DSP 的技术和应用实例，关于 DSP 的原理学习请参考相关教材。DSP2000 类实验主要介绍 TI 的 TMS320LF240X 系列的 DSP 的资源应用实验。

本实验指导书主要介绍 DSP5000 类应用实验，基础实验；DSP2000 类的应用实验，实现 TMS320LF2407A 的基本资源应用实验，另外还添加了一些电动机控制实验，控制对象有直流电动机和交流电动机。

用户除了完成实验指导书上规定的实验外，还可以根据指导书中提供的原理图和源代码来完成自己的项目开发和电子设计。

编者在编写本书过程中得到了华中科技大学武昌分校徐盛林教授的大力支持和帮助，此外也得到了李川香教授、雷丹、陈强、李静、吴雯、何为老师的帮助，也感谢人民邮电出版社为选题、立项、编审所作出的贡献。

由于编者水平有限，书中不妥和疏漏之处在所难免，恳请广大读者批评指正！

编 者

目 录

第一部分 C5000/2000 DSP 实验箱介绍

第一章 开发系统使用说明.....2	1.10 实验开发系统使用说明.....14
1.1 DSP 芯片简介.....2	1.11 LF2407A EVM 板简介.....21
1.2 TMS320C54X 的主要特性.....2	第二章 CCS 软件的使用.....28
1.3 TMS320C54X 的结构.....3	2.1 CCS5000 1.2 的安装与配置.....28
1.3.1 结构概述.....3	2.2 CCS5000 1.2 的使用方法.....30
1.3.2 总线结构.....3	2.2.1 CCS 文件名介绍.....30
1.4 中央处理单元.....4	2.2.2 编写一个简单的程序.....31
1.4.1 算术逻辑单元.....4	2.2.3 CCS 软件应用和 DSP 编程.....32
1.4.2 累加器.....4	2.2.4 CCS 应用详解.....37
1.4.3 桶形移位器.....4	2.2.5 建立工程文件.....39
1.4.4 乘法器/加法器单元.....4	2.2.6 调试.....41
1.4.5 比较、选择和存储单元.....5	2.2.7 载入可执行程序.....42
1.4.6 指数编码器.....5	2.2.8 使用反汇编工具.....42
1.4.7 CPU 状态和控制寄存器.....5	2.2.9 程序执行控制.....42
1.5 中央存储器组织.....5	2.2.10 断点设置.....43
1.5.1 片内 ROM.....5	2.2.11 探针断点.....44
1.5.2 片内双访问 RAM.....5	2.2.12 内存、寄存器和变量操作.....44
1.5.3 片内单访问 RAM.....5	2.2.13 数据输入与结果分析.....47
1.5.4 存储器映射寄存器.....6	2.2.14 载入/保存数据.....47
1.6 C54X 芯片外部设备.....8	2.2.15 外部文件输入/输出.....48
1.6.1 通用 I/O 引脚.....8	2.2.16 数据文件格式.....49
1.6.2 软件可编程等待状态发生器.....8	2.2.17 利用图形窗口分析数据.....49
1.6.3 可编程块切换逻辑.....8	2.2.18 评估代码性能.....51
1.6.4 主机接口.....8	2.2.19 测量时钟.....52
1.6.5 硬件定时器.....9	2.2.20 性能测试点.....52
1.6.6 时钟发生器.....9	2.2.21 查看和定义内存映射.....53
1.6.7 串口.....9	2.2.22 利用 GEL 定义内存映射.....53
1.7 外部总线接口.....9	2.2.23 通用扩展语言 GEL.....54
1.8 IEEE 1149.1 标准扫描逻辑.....10	2.2.24 GEL 函数调用.....54
1.9 TMS320C54X 引脚和信号说明.....10	2.2.25 GEL 语法.....54

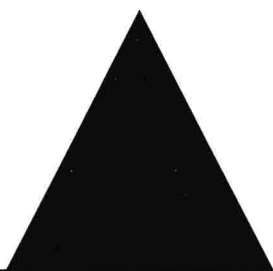
第二部分 C5000/2000 DSP 实验项目

第三章 硬件开发实验	56	实验二十 语音录放实验	138
实验一 常用指令实验	56	实验二十一 液晶显示屏使用实验	142
实验二 定时器实验 I	62	实验二十二 BOOTLOAD 实验	146
实验三 定时器实验 II	71	实验二十三 继电器实验	148
实验四 外部 RAM 存储实验	79	实验二十四 交通灯实验	148
实验五 I/O 口实验	84	实验二十五 步进电动机实验	149
实验六 串口与 PC 机通信实验	86	实验二十六 直流电动机实验	150
实验七 主机接口 (HPI) 实验	94	实验二十七 中文点阵液晶实验	151
实验八 A/D 转换和 D/A 转换实验	97	第六章 C2000 DSP 实验项目	153
第四章 软件算法实验	106	实验一 CC C2000 的安装与设置	153
实验九 基本算术运算实验	106	实验二 I/O 口基本操作实验	156
实验十 卷积 (Convolve) 算法		实验三 定时器操作实验	163
实验	108	实验四 通用定时器的比较	
实验十一 相关 (Correlation)		操作实验	170
算法实验	111	实验五 带死区的 PWM 输出实验	174
实验十二 快速傅里叶变换 (FFT)		实验六 ADC 采样实验	181
算法实验	113	实验七 SPI 接口的 DA 转换实验	187
实验十三 离散余弦变换 (DCT)		实验八 利用 SPI 对外部 EEPROM	
算法实验	116	读写访问	193
实验十四 有限冲击响应滤波器		实验九 SCI 异步串行通信实验	201
(FIR) 算法实验	119	实验十 CAN 实验	207
实验十五 无限冲击响应滤波器		实验十一 Flash 烧写实验	214
(IIR) 算法实验	122	第七章 电动机控制实验	220
实验十六 自适应滤波器 LMS 算法		实验十二 直流电动机测转向实验	220
实验	126	实验十三 直流电动机测转速和	
实验十七 语音编码/解码		PID 调速实验	223
(G711 编码/解码器)	129	实验十四 交流电动机测速和 PID	
第五章 扩展性实验	133	调速实验	226
实验十八 软件无线电技术实验	133	附录 管脚分配表	230
实验十九 任意波形发生器实验	135	参考文献	233

第一部分

C5000/2000 DSP

实验箱介绍



本章主要对开发系统选用的 DSP 芯片及开发系统的硬件使用方法进行介绍,使用户对本产品有一个具体深入的了解。

1.1 DSP 芯片简介

本产品选用的是 TI 公司的 TMS320C54X 系列的 DSP 芯片, TMS320C5X 是 TI 公司的第五代产品,是继 TMS320C1X 和 TMS320C2X 之后的第三代 16 位定点 DSP 处理器。TMS320C5X 的性能达到 20~50 MIPS,在典型应用中能耗降至 2.35 mA/MIPS。它的核心中央处理器 (CPU) 以 TMS320C25 的核心 CPU 为基础,增强型结构大幅度地提高了整体性能。

TMS320C5X 工作速度是 TMS320C25 的 2 倍以上,对于 TMS320C1X 和 TMS320C2X 具有源代码向下兼容特性。这种兼容性保留了过去开发的软件,便于系统升级到更高性能的 DSP 系统。TMS320C5X 系列有 TMS320C50/C51/C52/C53/C54 等多种产品,它们的主要区别是片内 RAM、ROM 等资源的多少。其中, TMS320C54X 具有以下优点。

- 改进的哈佛结构。围绕 1 组程序总线、3 组数据总线和 4 组地址总线建立的哈佛结构,使得性能和多功能性都得以提高。
- 具有高度并行性和专用硬件逻辑的 CPU 设计,使芯片性能大大提高。
- 高度专业化指令集,更适用于快捷算法的实现和高级语言编程的优化。
- 模块化结构的设计,使派生器件得到了更快的发展。
- 最新的 IC 制造工艺,提高了芯片性能,降低了功耗。
- 最新的静态设计技术使得芯片具有更低的功耗和更强的辐射能力。这些使得 C54X 特别适用于远程通信实时嵌入式应用的需要。

1.2 TMS320C54X 的主要特性

- 多总线结构,3 组 16 bit 数据总线和 1 组程序总线。
- 40 bit 算术逻辑单元 (ALU),包括一个 40 bit 桶形移位器和两个独立的 40 bit 累加器。
- 17 bit \times 17 bit 并行乘法器,连接一个 40 bit 的专用加法器,可用来进行非流水单周期乘/加 (MAC) 运算。
- 比较、选择和存储单元 (CSSU) 用于 Viterbi 运算器的加/比较/选择。
- 指数编码器在一个周期里计算一个 40 bit 累加器的指数值。

- 两个地址发生器中有 8 个辅助寄存器和两个辅助寄存器算术单元 (ARAUs)。
- 数据总线具有总线保持特性。
- C548 具有扩展寻址方式, 最大可寻址扩展空间为 $8\text{ M} \times 16\text{ bit}$ 。
- 可访问的存储器空间最大可为 $196\text{ K} \times 16\text{ bit}$ (64 K 程序存储器, 64 K 数据存储器 and 64 K I/O 存储器)。
- 支持单指令循环和块循环。
- 存储块移动指令提供了更好的程序和数据管理。
- 支持 32 bit 长操作数指令, 支持两个或 3 个操作数读指令, 支持并行存储和并行装入的算术指令, 支持条件存储指令及中断快速返回指令。
- 软件可编程等待状态发生器和可编程的存储单元转换。
- 连接内部振荡器或外部时钟源的锁相环 (PLL) 发生器。
- 支持 8 bit 或 16 bit 传送的全双工串口 (C541、LC541、LC545 和 LC546)。
- 时分多用 (TDM) 串口 (C542、LC542、LC543、LC548)。
- 缓冲串口 (BSP) (C542、LC542、LC543、LC545、LC546 和 LC548)。
- 8 bit 并行主机接口 (HPI) (C542、LC542、LC545 和 LC548)。
- 1 个 16 bit 定时器。
- 外部输入/输出 (XIO) 关闭控制, 禁止外部数据总线、地址总线和控制总线。
- 片内基于扫描的仿真逻辑, JTAG 边界扫描逻辑 (IEEE 1149.1)。
- 单周期定点指令执行时间可达 15 ns。

1.3 TMS320C54X 的结构

1.3.1 结构概述

TMS320C54X 是 16bit 定点 DSP, 采用改进的哈佛结构。C54X 有 1 组程序总线和 3 组数据总线, 高度并行性的算术逻辑单元 (ALU), 专用硬件逻辑, 片内存储器, 片内外设和高度专业化的指令集, 使该芯片速度更高, 操作更灵活。

程序和数据空间分开允许同时对程序指令和数据进行访问, 提供了很高的并行度。可以在一个周期里完成两个读和一个写操作。因此, 并行存储指令和专用指令可以在这种结构里得到充分利用。另外, 数据可以在数据空间和程序空间之间传送。并行性支持一系列算术、逻辑和位处理运算, 它们都能在一个机器周期里完成。另外, C54X 具有管理中断、循环运算和功能调用的控制结构。

1.3.2 总线结构

C54X 的结构是围绕 8 组主要的 16 bit 总线 (4 组程序/数据总线, 4 组地址总线) 建立的。

- 程序总线 (PB) 传送从程序存储器来的指令码和立即数。
- 3 组数据总线 (CB、DB 和 EB) 连接各种元器件, 如 CPU、数据地址产生逻辑、程序地址产生逻辑、片内外设和数据存储器。CB 和 DB 总线传送从数据存储器读出的操作数。EB 总线传送写入到存储器中的数据。
- 4 组地址总线 (PAB、CAB、DAB 和 EAB) 传送指令所需要的地址。

1.4 中央处理单元

C54X/LC54X 芯片的中央处理单元（CPU）包括以下内容。

- 1 个 40 bit 的算术逻辑单元（ALU）。
- 两个 40 bit 的累加器（ACCA 和 ACCB）。
- 1 个桶形移位器。
- 17 bit×17 bit 并行乘法器。
- 40 bit 加法器。
- 比较、选择和存储单元（CSSU）。
- 指数编码器。
- 各种 CPU 寄存器（CPU 寄存器是存储器映射的，能快速恢复和保存）。

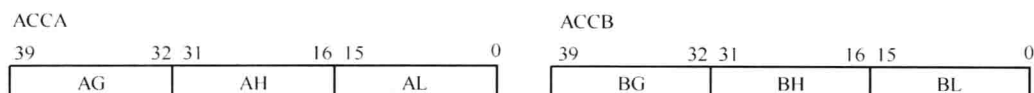
1.4.1 算术逻辑单元

C54X/LC54X 使用 40 bit 的算术逻辑单元（ALU）和两个 40 bit 的累加器（ACCA 和 ACCB）来完成二进制补码的算术运算。同时，ALU 也能完成布尔运算。

1.4.2 累加器

累加器 ACCA 和 ACCB 存放从 ALU 或乘法器/加法器单元输出的数据，累加器也能输出到 ALU 或乘法器/加法器中。累加器可分为 3 个部分。

- 保护位（32~39）。
- 高位字（16~31）。
- 低位字（0~15）。



保护位用来为计算机的前部留空（head margin），防止在迭代运算中产生溢出。AG、BG、AH、BH、AL、BL 都是存储器映射寄存器，由特定的指令将其内容存放到数据存储器中，以及从存储器中读出或写入 32 bit 累加器。同时，任何一个累加器都可以用来作为暂存器使用。

1.4.3 桶形移位器

C54X 的桶形移位器有一个与累加器或数据存储器（CB、DB）相连接的 40 bit 输入和一个与 ALU 或数据存储器（EB）相连接的 40 bit 输出。桶形移位器能把输入的数据进行 0~31 的左移或者 0~16 的右移。这种移位能力使处理器能完成数字定标、位提取、扩展算术和溢出保护等操作。

1.4.4 乘法器/加法器单元

乘法器/加法器与一个 40 bit 的累加器在一个指令周期内完成 17 bit×17 bit 的二进制补码

运算。乘法器有两个输入：一个是从暂存器 T 数据存储器操作数或一个累加器中选择，另一个是从程序存储、数据存储器、一个累加器或立即数中选择。快速的片内乘法器使 C54X 能有效完成卷积、相关和滤波等运算。

1.4.5 比较、选择和存储单元

比较、选择和存储单元 (CSSU) 完成累加器的高位字和低位字之间的最大值比较，即选择累加器中的较大字并存储在数据存储器中，不改变状态寄存器 ST0 中测试/控制位和传送寄存器 (TRN) 的值。

1.4.6 指数编码器

指数编码器是用于支持单周期指令 EXP 的专用硬件。

1.4.7 CPU 状态和控制寄存器

C54X 有 3 个状态和控制寄存器，分别为：状态寄存器 ST0、ST1 和处理方式状态寄存器 (PMST)。ST0 和 ST1 包括了各种条件和方式的状态，PMST 包括了存储器配置状态和控制信息。

1.5 中央存储器组织

C54X 存储器由 3 个独立可选择的空组成：程序、数据和 I/O 空间。所有的 C54X 芯片都包括随机存储器 (RAM) 和只读存储器 (ROM)。RAM 又分为两种：双访问 RAM (DARAM) 和单访问 RAM (SARAM)。C54X 还有映射到数据存储空间的 26 个 CPU 寄存器和外设寄存器。

1.5.1 片内 ROM

C541 有 $28\text{ K} \times 16\text{ bit}$ 片内 ROM。如果 C541 的处理方式状态寄存器中的数据 ROM (DROM) 位被置位，那么其中 8 K 的 ROM 可以映射到程序和数据空间。这就允许一条指令使用存储在 ROM 中的数据作为操作数。C545/C546 都是 $48\text{ K} \times 16\text{ bit}$ 片内可屏蔽 ROM。如果它们各自的处理器方式状态寄存器中 DROM 位被置位，那么其中 16 K 的 ROM 可以映射到程序和数据空间。C542/C543/C548 都有 $2\text{ K} \times 16$ 的片内 ROM。

在标准的 C54X 片内 ROM 中有一个引导程序，它可以把用户代码调入到程序存储器的任何一个位置。如果 MP/MC 在硬件复位时为低电平，执行从单元 FF80H 开始。这个单元存有转移到引导程序开始处的转移指令。

1.5.2 片内双访问 RAM

C541 有 $5\text{ K} \times 16\text{ bit}$ 片内双访问 RAM (DARAM, 1K 为一块)，C542 和 C543 分别有 $10\text{ K} \times 16\text{ bit}$ 的 DARAM (2 K 为一块)，C545 和 C546 有 $6\text{ K} \times 16\text{ bit}$ 的 DARAM (2 K 为一块)，C548 有 $8\text{ K} \times 16\text{ bit}$ 的 DARAM (2 K 为一块)。每块都能在一个机器周期里被访问两次。这种存储器往往优先存储数据值，也可以用来存储程序。复位时，DARAM 映射到数据存储空间。DARAM 也可以通过设置 PMST 中的 OVLY 位映射到程序/数据空间。

1.5.3 片内单访问 RAM

片内单访问 RAM (SARAM) 由几块组成，每块在一个机器周期里只能访问一次 (读或

写)。SARAM 也是优先存储数据，也可以映射到程序空间来存储程序代码。C54X 具有一个可屏蔽存储器的保护选项，用来保护片内存储器的内容。当选定这项时，所有外部产生的指令都不能访问片内存储空间。

1.5.4 存储器映射寄存器

数据存储空间包含了 CPU 和片内外设的存储器映射寄存器。这些寄存器位于数据存储空间的第 0 页，以简化对它们的访问，如表 1.1 所示。

表 1.1 C54X 系列 DSP 存储器映射寄存器

名称	地址		说明
	十进制	十六进制	
IMR	0	0	BSP ABU 接收缓冲大小寄存器
IFR	1	1	BSP ABU 接收缓冲大小寄存器
—	2~5	2~5	BSP ABU 接收缓冲大小寄存器
ST0	6	6	BSP ABU 接收缓冲大小寄存器
ST1	7	7	BSP ABU 接收缓冲大小寄存器
AL	8	8	BSP ABU 接收缓冲大小寄存器
AH	9	9	BSP ABU 接收缓冲大小寄存器
AG	10	A	BSP ABU 接收缓冲大小寄存器
BL	11	B	BSP ABU 接收缓冲大小寄存器
BH	12	C	BSP ABU 接收缓冲大小寄存器
BG	13	D	BSP ABU 接收缓冲大小寄存器
TREG	14	E	BSP ABU 接收缓冲大小寄存器
TRN	15	F	BSP ABU 接收缓冲大小寄存器
AR0	16	10	BSP ABU 接收缓冲大小寄存器
AR1	17	11	BSP ABU 接收缓冲大小寄存器
AR2	18	12	BSP ABU 接收缓冲大小寄存器
AR3	19	13	BSP ABU 接收缓冲大小寄存器
AR4	20	14	BSP ABU 接收缓冲大小寄存器
AR5	21	15	BSP ABU 接收缓冲大小寄存器
AR6	22	16	BSP ABU 接收缓冲大小寄存器
AR7	23	17	BSP ABU 接收缓冲大小寄存器
SP	24	18	BSP ABU 接收缓冲大小寄存器
BK	25	19	BSP ABU 接收缓冲大小寄存器
BRC	26	1A	BSP ABU 接收缓冲大小寄存器
RSA	27	1B	BSP ABU 接收缓冲大小寄存器
REA	28	1C	BSP ABU 接收缓冲大小寄存器

续表

名称	地址		说明
	十进制	十六进制	
PMST	29	1D	BSP ABU 接收缓冲大小寄存器
XPC	30	1E	BSP ABU 接收缓冲大小寄存器
—	31	1F	BSP ABU 接收缓冲大小寄存器
BDRR	32	20	BSP ABU 接收缓冲大小寄存器
BDXR	33	21	BSP ABU 接收缓冲大小寄存器
BSPC	34	22	BSP ABU 接收缓冲大小寄存器
BSPCE	35	23	BSP ABU 接收缓冲大小寄存器
TIM	36	24	BSP ABU 接收缓冲大小寄存器
PRD	37	25	BSP ABU 接收缓冲大小寄存器
TCR	38	26	BSP ABU 接收缓冲大小寄存器
—	39	27	BSP ABU 接收缓冲大小寄存器
SWWSR	40	28	BSP ABU 接收缓冲大小寄存器
BSCR	41	29	BSP ABU 接收缓冲大小寄存器
—	42~43	2A~2B	BSP ABU 接收缓冲大小寄存器
HPIC	44	2C	BSP ABU 接收缓冲大小寄存器
TRCV	48	30	BSP ABU 接收缓冲大小寄存器
TDXR	49	31	BSP ABU 接收缓冲大小寄存器
TSPC	50	32	BSP ABU 接收缓冲大小寄存器
TCSR	51	33	BSP ABU 接收缓冲大小寄存器
TRTA	52	34	BSP ABU 接收缓冲大小寄存器
TRAD	53	35	BSP ABU 接收缓冲大小寄存器
—	54~55	36~37	BSP ABU 接收缓冲大小寄存器
AXR	56	38	BSP ABU 接收缓冲大小寄存器
BKX	57	39	BSP ABU 接收缓冲大小寄存器
ARR	58	3A	BSP ABU 接收缓冲大小寄存器
BKR	59	3B	BSP ABU 接收缓冲大小寄存器

以下对一些寄存器做简单的介绍。

- 辅助寄存器 (AR0~AR7)。

8 个 16 bit 的辅助寄存器 (AR0~AR7) 能被 CALU 访问, 也能被辅助寄存器算术单元 (ARAUs) 修改。它们最主要的功能是产生 16 bit 的数据空间。

- 暂存器 (TREG)。

TREG 为乘法指令和乘/累加指令存放一个乘数, 它能为带有移位操作的指令, 如 ADD、LD 和 SUB 存放一个动态的 (执行时间可编程) 移位计数, 也能为 BITT 指令存放一个动态

地址。EXP 指令把计算出的指数值存入 TREG，而 NORM 指令将 TREG 的值归一化。

- 过渡寄存器 (TRN)。

TRN 是一个 16 bit 的寄存器，用来为得到新的度量值存放中间结果，以完成 Viterbi 算法。CMPS (比较、选择和存储) 指令在累加器高位字和低位字进行比较的基础上修改 TRN 的内容。

- 堆栈指针寄存器 (SP)。

SP 是存放栈顶地址的 16 bit 寄存器。SP 总是指向压入堆栈的最后一个数据。中断、陷阱、调用、返回和 PUSHD、PUSHM、POPD 以及 POPM 等指令都要进行堆栈处理。

- 循环缓冲大小寄存器 (BK)。

由 ARAUs 用来在循环寻址中确定数据块的大小。

- 块循环寄存器 (BRC、RSA、REA)。

块循环计数器 (BRC) 在块循环时确定一块代码所需循环的次数。块循环开始地址 (RSA) 是需要循环的程序块的开始地址。块循环尾地址 (REA) 是循环程序块的结束地址。

- 中断寄存器 (IMR、IFR)。

中断屏蔽寄存器 (IMR) 在需要的时候独立地屏蔽特定的中断。中断标志寄存器 (IFR) 用来指明各个中断的目前状态。

1.6 C54X 芯片外部设备

所有的 C54X 都有相同的 CPU，但它们的 CPU 对应了不同的片内外设。C54X 芯片有以下片内外设：通用 I/O 引脚 (BIO 和 XF)、软件可编程等待状态发生器、可编程的块切换逻辑、主机接口 (HPI)、硬件定时器、时钟发生器和串口。

1.6.1 通用 I/O 引脚

每一种 C54X 芯片都有两个通用 I/O 引脚——BIO 和 XF。BIO 是用来监测外部设备状态的输入引脚。在对时间要求很严格的循环不能被外设中断所打断的时候，可以用 BIO 脚来代替中断与外设相连，根据 BIO 输入的状态来执行一个转移。XF 用于发信号给外部设备，通过软件进行控制。

1.6.2 软件可编程等待状态发生器

软件可编程等待状态发生器都可以把外部总线周期扩展到 7 个机器周期，以适应较慢的片外存储器和 I/O 设备。它不需要任何外部硬件，只由软件完成。

1.6.3 可编程块切换逻辑

可编程块切换逻辑在访问越过存储器块边界，或从程序存储器跨越到数据存储器时，能自动插入一个周期。这个额外的周期允许存储器器件在其他器件开始驱动总线之前释放总线，以防止总线竞争。

1.6.4 主机接口

主机接口 (HPI) 是一个 8bit 的并口，提供 C54X 与主处理机的接口，如表 1.2 所示。C54X

和主处理机都可以访问 C54X 的片内存储器，并且通过它进行信息交换。

表 1.2 C54X 系列 DSP 主机接口

片内外设	C541	C542	C543	C545	C546	C548
主机接口	0	1	0	1	0	1

1.6.5 硬件定时器

C54X 有一个带有 4bit 预定标器 (PSC) 的 16bit 的定时电路。这个定时计数器在每个时钟周期中减 1，每当计数器减至 0 时就会产生一个定时中断。可以通过设置特定的状态位来使定时器停止、恢复运行、复位或停止。

1.6.6 时钟发生器

时钟发生器由一个内部振荡器和一个锁相环电路组成。它可以通过内部的晶振或外部的时钟源驱动。锁相环电路能使时钟源乘上一个特定的系数，以得到一个内部 CPU 时钟。

1.6.7 串口

各种 C54X 芯片配有不同的串口，分为 3 种类型：同步串口、缓冲串口和时分多用 (TDM) 串口，如表 1.3 所示。

表 1.3 C54X 系列 DSP 串口

串口	C541	C542	C543	C545	C546	C548
同步	2	0	0	1	1	0
缓冲	0	1	1	1	1	2
TDM	0	1	1	0	0	1

- 同步串口。

同步串口是高速、全双工串口，提供与编码器、A/D 转换器等串行设备之间的通信。如果一块 C54X 芯片中有多个同步串口，则它们是相同的但是独立的。每个同步串口都能工作到 1/4 机器周期频率 (CLKOUT)。同步串口发送器和接收器是双向缓冲的，单独由可屏蔽的外部中断信号控制，数据可以 bytes 或字传送。

- 缓冲串口。

缓冲串口 (BSP) 是在同步串口的基础上增加了自动缓冲单元，并以整 CLKOUT 频率计时。它是全双工和双缓冲的，以提供灵活的数据串长度。自动缓冲单元支持高速传送并能降低服务开销。

- 时分多用串口。

时分多用 (TDM) 串口是一个允许数据时分多用的同步串口。它既能工作在同步方式下也能工作在 TDM 方式下，在多处理器中得到广泛应用。

1.7 外部总线接口

C54X 能对 64K 的程序存储器、64K 的数据存储器和 64K 的并行 I/O 口寻址。对外部存

存储器或 I/O 的访问通过外部总线进行。独立的空间选择信号 DS、PS 和 IS 允许进行物理上分开的空间选择。

接口的外部输入信号和软件产生的等待状态允许处理器与各种不同速度的存储器和 I/O 设备相连。接口的保持模式使得外部设备能控制 C54X 的总线，这样外部设备就能访问程序、数据和 I/O 空间资源。

C54X 的大部分指令都能访问外部存储器，但访问 I/O 需要使用特殊的指令，如 PORTR 和 PORTW。

1.8 IEEE 1149.1 标准扫描逻辑

IEEE 1149.1 标准扫描逻辑电路用于仿真和测试，它提供对所连设备的边界扫描。同时，它也能用来测试引脚的连续性，以及完成 C54X 芯片的外围器件的操作测试。IEEE 1149.1 标准扫描逻辑与能访问片内所有资源的内部扫描电路相连。因此，C54X 能使用 IEEE 1149.1 标准串行扫描引脚和专用仿真引脚来完成在线仿真。

1.9 TMS320C54X 引脚和信号说明

TMS320C54X 基本采用薄的塑料或陶瓷四方扁平封装 (TQFP)，如图 1.1 所示。下面给出 C54X 的引脚说明及对应的信号说明，如表 1.4 所示。表 1.4 中的 I 是输入，O 是输出，Z 是高阻态，S 是电源。

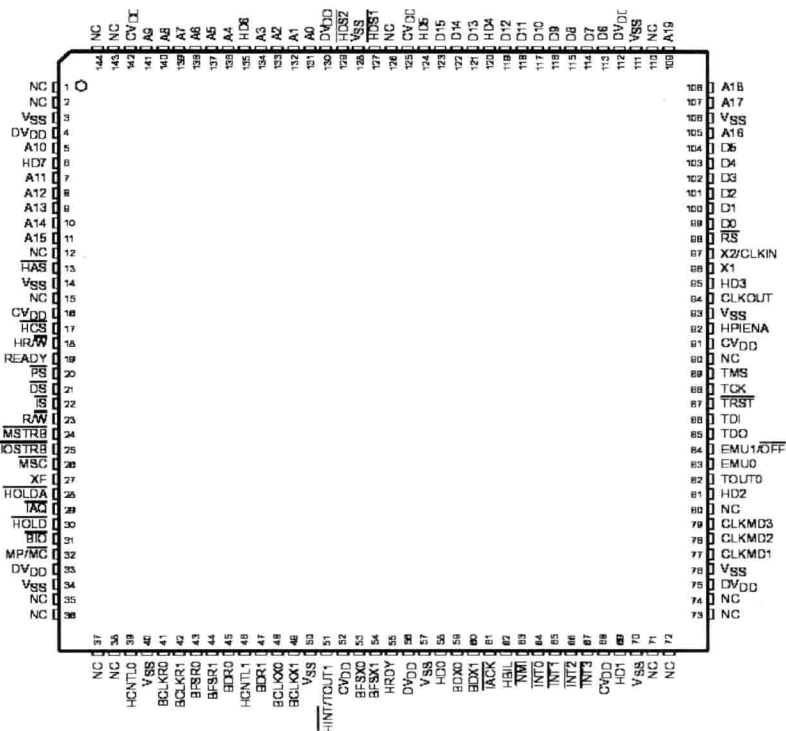


图 1.1 TMS320C54X 引脚图

表 1.4

C54X 系列 DSP 引脚信号说明

地址与数据信号		
A22~A0	O/Z	并行地址总线，用于寻址片外数据/程序存储器及 I/O。A15~A0 在保护模式下或 EMU1/OFF 为低电平时呈高阻态。A22~A16 用于扩展程序存储器寻址 (LC548only)。具有总线保持特性
D15~D0	I/O/Z	并行数据总线，在 CPU 和片外数据/程序存储器或 I/O 器件间传递数据。当没有输出或当 /RS 或 /HOLD 起作用时，D15~D0 呈高阻；当 EMU1/OFF 为低时，也呈高阻。具有总线保持特性
初始化、中断和复位操作		
/IACK	O/Z	中断响应信号，说明芯片收到了一个中断，程序计数器起位于 A15~A0 所指定的中断向量单元。当 EMU1/OFF 为低时，呈高阻态
/INT0~/INT3	I	外部用户中断输入。它们具有优先权，能通过中断屏蔽寄存器和中断方式位屏蔽。另外，/INT0~3 能通过中断标志寄存器复位
NMI	I	非屏蔽外部中断输入引脚
/RS	I	复位输入，PC 指向 0FF80H。影响各种寄存器和状态位
MP/MC	I	微处理器/微计算机方式选择引脚。如果复位时信号为低，那么内部程序 ROM 将映射到程序存储空间的前 28 K。否则，DSP 将访问片外存储器及其相应的地址
CNT	I	I/O 电平选择。对于 5 V，CNT 下拉至低电平，输入输出电平与 TTL 兼容。对于 3 V 则是与 CMOS 兼容的 I/O 接口电平
多处理信号		
/BIO	I	转移控制输入。/BIO 为低，执行一个条件转移指令
XF	O/Z	外部标志输出（软件可控信号）XF 可用于在多处理器结构中相互通信，也可作通用输出脚
存储器控制信号		
/DS、/PS、/IS	O/Z	数据、程序、I/O 空间选择信号。/DS、/PS、/IS 除非与一个特定的外部空间通信时为低，其他时候总为高。在保持方式或 EMU1/OFF 为低时进入高阻态
/MSTRB	O/Z	存储器选通信号。通常为高，在访问外部数据或程序存储器时为低
READY	I	数据准备好输入信号。说明一个外设正准备好数据传输
R/W	O/Z	读/写信号。与外设通信时的传递方向。保持方式或 EMU1/OFF 为低时进入高阻态
/IOSTRB	O/Z	I/O 选通信号。通常为高，在访问一个 I/O 设备时为低
/HOLD	I	保持输入。用于请求对地址、数据和控制线的控制。当收到 54X 的响应输入时，地址、数据和控制线进入高阻态
/HOLDA	O/Z	/HOLD 响应信号。对外部电路表明 DSP 进入保持状态，地址、数据和控制线呈高阻态。允许外部电路访问本地存储器
/MSC	O/Z	微状态完成信号，与 READY 线相连。当最后一个片内软件等待状态执行时，该信号变为低，迫使一个片外等待状态。当 EMU1/OFF 为低时，MSC 呈高阻态
/IAQ	O/Z	当有一条指令在地址总线上寻址时，该信号有效。当 EMU1/OFF 为低时，呈高阻态