

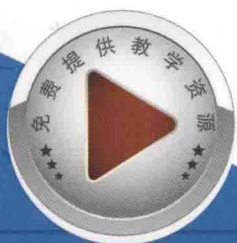


“十二五”普通高等教育本科国家级规划教材

EDA技术实用教程

——VHDL版（第五版）

潘松 黄继业 编著



- 讲技术，授技能，求职就业的帮手
- 布情景，述过程，教学改革的能手
- 举示例，重实践，能力培养的强手

 科学出版社



“十二五”普通高等教育本科国家级规划教材

EDA 技术实用教程

——VHDL 版

(第五版)

潘 松 黄继业 编著

科学出版社

北京

内 容 简 介

本书根据课堂教学和实验操作的要求,以提高实际工程设计能力为目的,深入浅出地对 EDA 技术、VHDL 硬件描述语言、FPGA 开发应用及相关知识做了系统和完整的介绍,使读者通过本书的学习并完成推荐的实验,能初步了解和掌握 EDA 的基本内容及实用技术。

本书包括 EDA 的基本知识、常用 EDA 工具的使用方法和目标器件的结构原理、以向导形式和实例为主的方法介绍的多种不同的设计输入方法、对 VHDL 的设计优化以及基于 EDA 技术的典型设计项目。各章都安排了习题和针对性较强的实验与设计。书中列举的大部分 VHDL 设计实例和实验示例实现的 EDA 工具平台是 Quartus II,硬件平台是 Cyclone III/IV 系列 FPGA,并在 EDA 实验系统上通过了硬件测试。

本书可作为高等院校电子工程、通信、工业自动化、计算机应用技术、电子对抗、仪器仪表、数字信号或图像处理等学科的本科生或研究生的电子设计、EDA 技术课程和 VHDL 硬件描述语言的教材及实验指导书,同时也可作为相关专业技术人员的自学参考书。

图书在版编目(CIP)数据

EDA 技术实用教程: VHDL 版/潘松,黄继业编著. —5 版. —北京:科学出版社, 2013

“十二五”普通高等教育本科国家级规划教材

ISBN 978-7-03-038212-2

I. ①E… II. ①潘…②黄… III. ①电子电路-电路设计-计算机辅助设计-高等学校-教材 IV. ①TN702

中国版本图书馆 CIP 数据核字 (2013) 第 171575 号

责任编辑: 赵卫江/责任校对: 王万红

责任印制: 吕春珉/封面设计: 曹 来

科学出版社出版

北京东黄城根北街 16 号

邮政编码: 100717

<http://www.sciencep.com>

骏主印刷厂印刷

科学出版社发行 各地新华书店经销

2002 年 10 月第 一 版 2013 年 8 月第 五 版

2005 年 2 月第 二 版 2014 年 1 月第二次印刷

2006 年 9 月第 三 版 开本: 787×1092 1/16

2010 年 6 月第 四 版 印张: 25 3/4

字数: 593 000

定价: 42.00 元

(如有印装质量问题, 我社负责调换〈骏杰〉)

销售部电话 010-62134988 编辑部电话 010-62138017 (HI01)

版权所有, 侵权必究

举报电话: 010-64030229; 010-64034315; 13501151303

前 言

本书以 VHDL 作为基本硬件描述语言来介绍 EDA 技术。作为教科书，与科学出版社出版的《EDA 技术实用教程——Verilog HDL 版》构成了姐妹篇。

为了适应 EDA 技术在高新技术行业就业中的需求和高校教学的要求，突出 EDA 技术的实用性，以及面向工程实际的特点和自主创新能力的培养，作者力图将 EDA 技术最新的发展成果、现代电子设计最前沿的理论和技術、国际业界普遍接受和认可的 EDA 软件开发平台的实用方法，通过本书合理的综合和萃取，奉献给广大读者。

随着 EDA 技术的发展和应用领域的扩大，EDA 技术在电子信息、通信、自动控制及计算机应用等领域的重要性日益突出。同时随着技术市场与人才市场对 EDA 技术需求的不断提高，产品的市场效率和技术要求也必然会反映到教学和科研领域中来。以最近几届全国大学生电子设计竞赛为例，涉及 EDA 技术的赛题从未缺席过。对诸如斯坦福大学、麻省理工学院等美国一些著名院校的电子与计算机实验室建设情况的调研也表明，其 EDA 技术的教学与实践的内容也十分密集，在其本科和研究生教学中有两个明显的特点：其一，各专业中 EDA 教学实验课程的普及率和渗透率极高；其二，几乎所有实验项目都部分或全部地融入了 EDA 技术，其中包括数字电路、计算机组成与设计、计算机接口技术、数字通信技术、嵌入式系统、DSP 等实验内容，并且更多地注重创新性实验。这显然是科技发展和市场需求双重影响下自然产生的结果。

基于工程领域中的 EDA 技术应用的巨大实用价值，以及重视 EDA 教学中实践能力和创新意识培养的极端重要性，我们对本书各章节做了相应的安排，其特点有以下三个。

1. 注重实践、实用和创新能力的培养

除在各章中安排了许多习题外，绝大部分章节还安排了针对性较强的实验与设计项目，使学生对每一章的课堂教学内容和教学效果能及时通过实验得以消化和强化，并尽可能地从学习一开始就有机会将理论知识与实践、自主设计紧密联系起来。

全书包含数十个实验及其相关的设计项目，这些项目涉及的技术领域宽，知识涉猎密集、针对性强，而且自主创新意识的启示性好。与本书的示例一样，所有的实验项目都通过了 EDA 工具的仿真测试并通过 FPGA 平台的硬件验证。每一个实验项目除给出详细的实验目的、实验原理和实验报告要求外，都含 2~5 个子项目或子任务。它们通常分为：第一（层次）实验任务是与该章某个阐述内容相关的验证性实验，通常提供详细的并被验证的设计源程序和实验方法。学生只需将提供的设计程序输入计算机，并按要求进行编译仿真，在实验系统上实现即可。使学生有一个初步的感性认识，这也提高了实验的效率；第二（层次）实验任务是要求在上一实验基础上做一些改进和发挥；第三个层次的实验通常是提出自主设计的要求和任务；第四、第五个实验层次则在仅给出一些提示的情况下提出自主创新性设计的要求。因此，教师可以根据学时数、教学实验的要求以及不同的学生对象，布置不同层次、含不同任务的实验项目。

2. 高效的教学模式成就速成

一般认为 EDA 技术的难点和学习费时的根源在于硬件描述语言。对此, 全书做了有针对性的安排: 根据专业特点, 摒弃传统的计算机语言的教学模式, 打破目前 HDL 教材通行的编排形式, 而以电子线路设计为基点, 从实例的介绍中引出 VHDL 语句语法内容。同时为了尽快进入 EDA 技术的实践阶段, 熟悉 EDA 开发工具及其相关硬件的使用方法, 及时安排了大量有针对性的实验项目, 以便读者能尽早进入数字系统工程设计经验的积累和能力提高阶段, 并能通过这些面向实际的实践和实验活动, 快速深化对硬件描述语言的理解和掌握对应的设计技巧。

本书通过一些简单而典型的 VHDL 设计示例和电路模型, 从具体电路和实用背景下引出相关的 VHDL 语言现象和语句规则, 并加以深入浅出地说明, 使得读者仅通过前期一些内容的学习便能迅速了解并掌握 VHDL 描述与逻辑电路间的基本关系, 从而极大地降低了 HDL 的学习难度, 大幅提高了学习效率, 快速实现了学以致用目的。我们过去多年的实践已证明这是一种高效学习硬件描述语言和 EDA 技术的好方法。这种学习流程也是目前国外流行的基于情景和工作过程的教学和学习模式, 是一种自顶向下的新的学习模式。

3. 注重教学选材的灵活性和完整性相结合

本书的结构特点决定了授课课时数可十分灵活, 即可长可短, 视具体的专业特点、课程定位及学习者的前期教育力度等因素而定, 在 20~50 学时之间选择。由于本书的特色和定位, 加之 EDA 技术课程的特质, 具体教学可以是粗放型的, 其中多数内容, 包括实践项目可直接放手于学生, 更多地让他们自己去查阅资料、提出问题、解决问题, 乃至创新与创造; 而授课教师, 甚至实验教师只需做一个启蒙者、引导者、鼓励者和学生成果的检验者和评判者。授课的过程多数只需点到为止, 大可不必拘泥细节, 面面俱到。但有一个原则, 即实验学时数应多多益善。事实上, 现在任何一门课程的学时数总是有限的, 为了有效倍增学生的实践和自主设计的时间, 可以借鉴清华大学的一项教改措施, 即其电子系本科生从一入学就人手获得一块 FPGA 实验开发板, 可从本科一年级一直用到研究生毕业。这是因为 EDA 技术本身就是一个可把全部实验和设计带回家的课程。我校对于这门课也基本采用了这一措施: 每个上 EDA 课的学生都可借出一套 EDA 实验板, 使他们能利用自己的计算机在课余时间完成自主设计项目, 强化学习效果。实践表明, 这种安排使得实验课时得到有效延长, 教学成效非常明显。

本书的定位目标是, 基于全书给出的完整的知识结构, 注重实践第一的观念, 强化创新意识的培养, 通过课堂合理的教学安排, 结合学生明晰的求知觉悟和踏实的实践精神, 为了即将离开学校面向招聘者、面向研究生导师、面向社会、面向未来的学生能多一份自信、多一点信心和多一点希望。因此我们建议应该积极鼓励学生利用课余时间尽可能学完本书的全部内容, 掌握本书介绍的所有 EDA 工具软件和相关开发手段, 并尽可能多地完成本书配置的实验和设计任务。

还有一个问题有必要在此探讨, 就是在前面曾提到的, 本书的定位之说。事实上, 自主创新能力的提高绝非一朝一夕之事。多年的教学实践告诉我们, 针对这一命题的教改必须从两方面入手, 一是教学内容, 二是设课时间; 两者互为联系, 不可偏废。

前者主要指建立一个内在相关性好、设课时间灵活，且易于将创新能力培养寓于知识传播之中的课程体系。

后者主要指在课程安排的时段上，将这一体系的课程尽可能地提前。这一举措是成功的关键，因为我们不可能想象到了本科三、四年级才去关注能力培养会有奇迹发生，更不可能指望一两门课程就能解决问题。尤其是以卓越工程师为培养目标的工科高等教育，自主创新能力的培养本身就是一项教学双方必须投入密集实践和探索的创新活动。

我校的 EDA 技术国家级精品课程正是针对这一教改目标建立的课程体系，而“数字电子技术基础”是这一体系的组成部分和先导课程。它的提前设课是整个课程体系提前的必要条件。通过数年的试点性教学实践和经验总结，现已成功在部分本科学生中将此课程的设课时间从原来的第 4 或第 5 学期提前到了第 1 或第 2 学期。而这一体系的其他相关课程，如 EDA 技术、单片机、SOC 片上系统、计算机接口、嵌入式系统和 DSP 等也相应提前，从而使学生到二年级时就具备了培养工程实践和自主开发能力的条件。

不可否认，数字电路课程的大幅提前必须要以改革其教学内容为前提，否则将传统的教学内容强行提前必将归于失败。为此，在总结了数字电路多年教改成果的基础上，我们推出了适应新需求的教材，即科学出版社出版的《数字电子技术基础》一书，很好地满足了当前的教改要求。此书创新性地解决了传统教材中的手工数字技术与现代自动化数字技术间的关系，使两者能平稳过渡，且有机融合，在有效促进理论与实践紧密结合的同时，强化实践训练，突显了创新意识启蒙的良好效果，同时实现了与后续课程的良好衔接。尽管这一切尚处于我校的局部教学实践中，但已清晰地展示了诸多颇具说服力的证明。例如相比于其他同类情况（如同年级，同专业，同授业课程等），那些曾经参加这一课程体系的学生在大学生电子设计竞赛、飞思卡尔车模大赛，以及一些国外企业主导的自主设计赛事中，都获得了更多的奖项和更好的成绩。而且这些学生的获奖比例逐年提高，例如我校在 2011 年全国大学生电子设计竞赛获一二等奖项（分别是 3 个和 6 个）的学生中，本科二年级学生的比例高达 80%（今年我校多数三年级学生选择考研复习，未参赛）。若按传统的工科本科教学流程，二年级就有能力获全国一等奖是不可想象的事！

其实，类似的教改活动和教改成绩，我校远非唯一。国内早有不少院校将数字电路放在第 1 或第 2 学期，其实践训练的内容包括超过数万至数十万逻辑门规模的数字系统自主设计训练，不少受益的学生在各类电子设计竞赛中也都获得了好成绩。前面提到的清华大学的教改活动也说明，他们至少有部分学生于本科一年级就有数字系统设计方面的训练；后来的调研也证明了这一点，如该校计算机专业本科二年级学生就能自主设计出各种极具创新特色的数字系统，如语音处理及数字立体声播放、硬件超级玛丽游戏显示与控制系统等；又如东南大学在一次省级数字电路课程（尚未学 EDA）电子设计竞赛中，有一组同学完成了指纹识别数字锁的设计而获一等奖；再如美国密歇根大学本科一年级学生就能设计数字电子琴这样的复杂系统，其中包括用 FPGA 控制 VGA 显示五线谱，PS2 键盘作为琴键及数字立体声音乐播放等。

有两个问题必须在此说明，第一个问题是关于本书对于 Quartus II 版本选择的问题。尽管目前 Altera 公司早已颁布了 Quartus II 12.0，但本书中的示例说明仍然选择 Quartus II 9.x。这是因为 Altera 公司已将 Quartus II 10.0 及此后版本的软件中曾经一贯内置的门级波形仿真器移除了，并推荐使用接口于 Quartus II 的 ModelSim-Altera 仿真器。然而这一举措对于初

学者并不是好消息。因为必须承认，Quartus II 9.x 及之前版本软件中一直内置的波形仿真器的易学、高效和便捷的巨大优势，对于 EDA 教学和初学者的学习是十分重要的。况且 Quartus II 9.x 与 Quartus II 12.0 相比，总体上变化不大，而且本书在第 14 章中针对 Test Bench 仿真，重点介绍了 ModelSim-Altera 的使用方法。

第二个问题是针对本书中的实验和实践项目所能提供的演示示例源设计文件的问题。本书中多数实验能够提供经硬件验证调试好的演示示例源设计文件，目的是为读者能顺利完成实验验证和设计；有的示例的目的是希望能启发或引导读者完成更有创意的设计，其中一些示例尽管看上去颇有创意，但都不能说是最佳或最终结果，这给读者留有許多改进和发挥的余地。此外还有少数示例无法提供源代码（只能提供演示文件），这是考虑到本书作者以外的设计者的著作权，但这些示例仍能给读者在设计的可行性、创意和创新方面以宝贵的启示。

为了本书的顺利出版，杭州康芯电子有限公司的高级工程师姜兆刚先生在 IP 核的应用、实验设计项目的验证和各种 EDA 软件工具的安装调试等方面完成了大量的和无可替代的工作，在此表示诚挚的谢意！

为了尽可能降低成本和售价，本书未配置光盘。与本书相关的资料，包括配套课件、实验示例源程序资料、相关设计项目的参考资料和附录中提到的 mif 文件编辑生成软件等文件资料都可免费索取，此外，对于一些与本书相关的工具软件，包括 Quartus II、Synplify Pro、ModelSim-Altera 和 DSP-Builder/MATLAB 等 EDA 软件的安装使用问题的咨询都可浏览网址 www.kx-soc.com，或与作者探讨（pmr123@sina.cn）。所有这些（主要是教学课件）也可直接与科学出版社联系（www.abook.cn）。

现代电子设计技术是发展的，相应的教学内容和教学方法也应不断地改进，还有许多问题值得深入探讨，我们真诚地欢迎读者对书中的错误与有失偏颇之处给予批评指正。

编者

2013 年 5 月

于杭州电子科技大学

目 录

| | |
|---------------------------|----|
| 第 1 章 EDA 技术概述 | 1 |
| 1.1 EDA 技术及其发展 | 1 |
| 1.2 EDA 技术实现目标 | 3 |
| 1.3 硬件描述语言 | 4 |
| 1.4 HDL 综合 | 6 |
| 1.5 自顶向下的设计技术 | 8 |
| 1.6 EDA 技术的优势 | 10 |
| 1.7 EDA 设计流程 | 12 |
| 1.7.1 设计输入 (原理图/HDL 文本编辑) | 12 |
| 1.7.2 综合 | 13 |
| 1.7.3 适配 | 14 |
| 1.7.4 时序仿真与功能仿真 | 14 |
| 1.7.5 编程下载 | 15 |
| 1.7.6 硬件测试 | 15 |
| 1.8 ASIC 及其设计流程 | 15 |
| 1.8.1 ASIC 设计简介 | 15 |
| 1.8.2 ASIC 设计一般流程简述 | 17 |
| 1.9 常用 EDA 工具 | 18 |
| 1.9.1 设计输入编辑器 | 19 |
| 1.9.2 HDL 综合器 | 19 |
| 1.9.3 仿真器 | 20 |
| 1.9.4 适配器 | 21 |
| 1.9.5 下载器 | 22 |
| 1.10 Quartus II 概述 | 22 |
| 1.11 IP 核 | 23 |
| 1.12 EDA 技术发展趋势管窥 | 25 |
| 习题 | 26 |
| 第 2 章 FPGA 与 CPLD 的结构原理 | 27 |
| 2.1 PLD 概述 | 27 |
| 2.1.1 PLD 的发展历程 | 27 |
| 2.1.2 PLD 分类 | 28 |

| | | |
|--------------|--------------------------------|-----------|
| 2.2 | 简单 PLD 结构原理 | 29 |
| 2.2.1 | 逻辑元件符号表示 | 29 |
| 2.2.2 | PROM 结构原理 | 30 |
| 2.2.3 | PLA 结构原理 | 32 |
| 2.2.4 | PAL 结构原理 | 33 |
| 2.2.5 | GAL 结构原理 | 34 |
| 2.3 | CPLD 的结构原理 | 36 |
| 2.4 | FPGA 的结构原理 | 39 |
| 2.4.1 | 查找表逻辑结构 | 39 |
| 2.4.2 | Cyclone III 系列器件的结构原理 | 40 |
| 2.5 | 硬件测试 | 44 |
| 2.5.1 | 内部逻辑测试 | 45 |
| 2.5.2 | JTAG 边界扫描 | 45 |
| 2.6 | PLD 产品概述 | 47 |
| 2.6.1 | Altera 公司的 PLD 器件 | 47 |
| 2.6.2 | Lattice 公司的 PLD 器件 | 49 |
| 2.6.3 | Xilinx 公司的 PLD 器件 | 50 |
| 2.6.4 | Actel 公司的 PLD 器件 | 51 |
| 2.6.5 | Altera 的 FPGA 配置方式 | 51 |
| 2.7 | CPLD/FPGA 的编程与配置 | 51 |
| 2.7.1 | CPLD 在系统编程 | 52 |
| 2.7.2 | FPGA 配置方式 | 52 |
| 2.7.3 | FPGA 专用配置器件 | 53 |
| 2.7.4 | 使用单片机配置 FPGA | 54 |
| 2.7.5 | 使用 CPLD 配置 FPGA | 56 |
| | 习题 | 56 |
| 第 3 章 | 组合电路的 VHDL 设计 | 57 |
| 3.1 | 多路选择器及其 VHDL 描述 | 57 |
| 3.2 | 半加器及其 VHDL 描述 | 61 |
| 3.3 | 4 选 1 多路选择器及其 VHDL 描述 | 66 |
| 3.3.1 | 4 选 1 多路选择器及 CASE 语句表述方式 | 66 |
| 3.3.2 | CASE 语句 | 67 |
| 3.3.3 | IEEE 库预定义标准逻辑位与矢量 | 69 |
| 3.3.4 | 其他预定义标准数据类型 | 70 |
| 3.3.5 | 信号定义和数据对象 | 71 |
| 3.3.6 | 并置操作符 & | 72 |
| 3.3.7 | 4 选 1 多路选择器的 VHDL 不同描述方式 | 72 |

| | | |
|--------------|-----------------------------------|-----------|
| 3.4 | 全加器及其 VHDL 表述 | 74 |
| 3.4.1 | 全加器设计及例化语句应用 | 74 |
| 3.4.2 | VHDL 例化语句 | 76 |
| 3.4.3 | 8 位加法器设计及算术操作符应用 | 77 |
| 3.5 | 乘法器及其 VHDL 表述 | 79 |
| 3.5.1 | 统计位矢中含 '1' 个数的电路模块设计 | 79 |
| 3.5.2 | FOR_LOOP 循环语句用法 | 80 |
| 3.5.3 | 移位相加型乘法器的 VHDL 表述方法 | 81 |
| 3.5.4 | GENERIC 参数定义语句 | 82 |
| 3.5.5 | 整数数据类型 | 82 |
| 3.5.6 | 省略赋值操作符 | 83 |
| 3.5.7 | 移位操作符 | 84 |
| 3.5.8 | 各类运算操作对数据类型的要求 | 85 |
| 3.5.9 | 数据类型转换函数 | 88 |
| 3.5.10 | GENERIC 参数传递映射语句 | 92 |
| | 习题 | 93 |
| 第 4 章 | 时序仿真与硬件实现 | 96 |
| 4.1 | VHDL 程序输入与仿真测试 | 96 |
| 4.1.1 | 编辑和输入设计文件 | 96 |
| 4.1.2 | 创建工程 | 97 |
| 4.1.3 | 全程编译前约束项目设置 | 98 |
| 4.1.4 | 全程综合与编译 | 99 |
| 4.1.5 | 仿真测试 | 101 |
| 4.1.6 | RTL 图观察器应用 | 103 |
| 4.2 | 引脚锁定与硬件测试 | 103 |
| 4.2.1 | 引脚锁定 | 103 |
| 4.2.2 | 编译文件下载 | 104 |
| 4.2.3 | JTAG 间接编程模式 | 106 |
| 4.2.4 | USB-Blaster 驱动程序安装方法 | 107 |
| 4.3 | 电路原理图设计流程 | 107 |
| 4.4 | HDL 版本设置及 Analysis & Synthesis 功能 | 110 |
| 4.5 | 利用属性表述实现引脚锁定 | 111 |
| 4.6 | keep 属性应用 | 112 |
| 4.7 | SignalProbe 使用方法 | 113 |
| 4.8 | 宏模块逻辑功能查询 | 114 |
| | 习题 | 115 |
| | 实验与设计 | 116 |

| | | |
|------------|-------------------------|------------|
| 4-1 | 多路选择器设计实验 | 116 |
| 4-2 | 8位加法器设计实验 | 116 |
| 4-3 | 8位硬件乘法器设计实验 | 117 |
| 4-4 | 十六进制7段数码显示译码器设计 | 117 |
| 第5章 | 时序电路的VHDL设计 | 119 |
| 5.1 | 基本时序元件的VHDL表述 | 119 |
| 5.1.1 | D触发器的VHDL描述 | 119 |
| 5.1.2 | 含异步复位和时钟使能的D触发器及其VHDL表述 | 122 |
| 5.1.3 | 含同步复位控制的D触发器及其VHDL表述 | 123 |
| 5.1.4 | 基本锁存器及其VHDL表述 | 124 |
| 5.1.5 | 含清0控制的锁存器及其VHDL表述 | 127 |
| 5.1.6 | VHDL实现时序电路的不同表述 | 127 |
| 5.1.7 | 双边沿触发时序电路设计讨论 | 129 |
| 5.2 | 计数器的VHDL设计 | 129 |
| 5.2.1 | 4位二进制加法计数器设计 | 129 |
| 5.2.2 | 计数器更常用的VHDL表达方式 | 130 |
| 5.2.3 | 实用计数器的VHDL设计 | 132 |
| 5.3 | 移位寄存器的VHDL设计 | 136 |
| 5.4 | 属性描述与定义语句 | 137 |
| | 习题 | 140 |
| | 实验与设计 | 141 |
| 5-1 | 高速硬件除法器设计 | 141 |
| 5-2 | 移位相加型8位硬件乘法器设计 | 142 |
| 5-3 | 半整数与奇数分频器设计 | 143 |
| 5-4 | 不同类型的移位寄存器设计实验 | 145 |
| 第6章 | Quartus II应用深入 | 146 |
| 6.1 | 时序电路硬件设计与仿真示例 | 146 |
| 6.1.1 | 编辑电路、创建工程和仿真测试 | 146 |
| 6.1.2 | FPGA硬件测试 | 147 |
| 6.2 | SignalTap II的使用方法 | 148 |
| 6.3 | 编辑SignalTap II的触发信号 | 152 |
| 6.4 | Fitter Settings项设置 | 153 |
| 6.5 | 功能块Chip Planner应用 | 153 |
| 6.5.1 | Chip Planner应用流程说明 | 154 |
| 6.5.2 | Chip Planner说明 | 155 |
| 6.6 | Synplify的应用及接口方法 | 156 |

| | | |
|--------------|--|------------|
| 6.6.1 | Synplify 使用流程 | 156 |
| 6.6.2 | Synplify 与 Quartus II 接口 | 159 |
| | 习题 | 161 |
| | 实验与设计 | 161 |
| 6-1 | 计数器设计实验 | 161 |
| 6-2 | 数码扫描显示电路设计 | 162 |
| 6-3 | 串行静态显示控制电路设计 | 162 |
| 6-4 | 基于 VHDL 代码的频率计设计 | 163 |
| 6-5 | VGA 彩条信号显示控制电路设计 | 164 |
| 第 7 章 | 宏功能模块应用 | 169 |
| 7.1 | 计数器 LPM 模块调用 | 169 |
| 7.1.1 | 计数器模块文本的调用与参数设置 | 169 |
| 7.1.2 | 创建工程与仿真测试 | 172 |
| 7.2 | 利用属性控制乘法器的构建 | 173 |
| 7.3 | LPM 随机存储器的设置和调用 | 174 |
| 7.3.1 | 存储器初始化文件 | 174 |
| 7.3.2 | LPM_RAM 的设置和调用 | 175 |
| 7.3.3 | 仿真测试 RAM 宏模块 | 178 |
| 7.3.4 | VHDL 的存储器描述及相关属性 | 178 |
| 7.3.5 | 数据类型定义语句 | 179 |
| 7.3.6 | 存储器配置文件属性定义和结构设置 | 183 |
| 7.4 | LPM_ROM 的定制和使用示例 | 184 |
| 7.4.1 | LPM_ROM 的定制调用和测试 | 184 |
| 7.4.2 | 简易正弦信号发生器设计 | 185 |
| 7.4.3 | 正弦信号发生器硬件实现和测试 | 186 |
| 7.5 | 在系统存储器数据读写编辑器应用 | 187 |
| 7.6 | LPM 嵌入式锁相环调用 | 188 |
| 7.7 | In-System Sources and Probes Editor 使用方法 | 191 |
| 7.8 | NCO 核数控振荡器使用方法 | 193 |
| 7.9 | FIR 核使用方法 | 195 |
| 7.10 | DDS 实现原理与应用 | 197 |
| 7.10.1 | DDS 原理 | 197 |
| 7.10.2 | DDS 信号发生器设计示例 | 199 |
| | 习题 | 201 |
| | 实验与设计 | 201 |
| 7-1 | 查表式硬件运算器设计 | 201 |
| 7-2 | 正弦信号发生器设计 | 202 |

| | | |
|--------------|-------------------|------------|
| 7-3 | DDS 正弦信号发生器设计 | 202 |
| 7-4 | 简易逻辑分析仪设计 | 202 |
| 7-5 | 移相信号发生器设计 | 204 |
| 7-6 | VGA 简单图像显示控制模块设计 | 205 |
| 第 8 章 | VHDL 设计深入 | 207 |
| 8.1 | 数据对象 | 207 |
| 8.1.1 | 常数 | 207 |
| 8.1.2 | 变量 | 208 |
| 8.1.3 | 信号 | 209 |
| 8.1.4 | 进程中的信号赋值与变量赋值 | 211 |
| 8.2 | 含高阻输出的电路设计 | 216 |
| 8.2.1 | 三态门设计 | 216 |
| 8.2.2 | 双向端口的设计方法 | 217 |
| 8.2.3 | 三态总线电路设计 | 218 |
| 8.3 | 顺序语句归纳 | 220 |
| 8.3.1 | 进程语句格式 | 220 |
| 8.3.2 | 进程结构组成 | 221 |
| 8.3.3 | 进程要点 | 221 |
| 8.4 | 并行赋值语句讨论 | 222 |
| 8.5 | IF 语句概述 | 223 |
| 8.6 | 仿真延时 | 225 |
| 8.6.1 | 固有延时 | 225 |
| 8.6.2 | 传输延时 | 226 |
| 8.6.3 | 仿真 δ | 227 |
| 8.7 | VHDL 的描述风格 | 227 |
| 8.7.1 | RTL 描述 | 227 |
| 8.7.2 | 行为描述 | 228 |
| 8.7.3 | 数据流描述 | 229 |
| 8.7.4 | 结构描述 | 229 |
| 习题 | | 230 |
| 实验与设计 | | 230 |
| 8-1 | 4×4 阵列键盘键信号检测电路设计 | 230 |
| 8-2 | 乐曲硬件演奏电路设计 | 231 |
| 8-3 | PS2 键盘控制模型电子琴电路设计 | 234 |
| 8-4 | 直流电机综合测控系统设计 | 237 |
| 8-5 | AM 幅度调制信号发生器设计 | 239 |

| | |
|-----------------------------|-----|
| 第 9 章 VHDL 设计优化 | 241 |
| 9.1 资源优化 | 241 |
| 9.1.1 资源共享 | 241 |
| 9.1.2 逻辑优化 | 243 |
| 9.1.3 串行化 | 244 |
| 9.2 速度优化 | 245 |
| 9.2.1 流水线设计 | 246 |
| 9.2.2 寄存器配平 | 248 |
| 9.2.3 关键路径法 | 249 |
| 9.2.4 乒乓操作法 | 250 |
| 9.2.5 加法树法 | 251 |
| 习题 | 251 |
| 实验与设计 | 252 |
| 9-1 采用流水线技术设计高速数字相关器 | 252 |
| 9-2 线性反馈移位寄存器设计 | 253 |
| 9-3 SPWM 脉宽调制控制系统设计 | 254 |
| 9-4 数字彩色液晶显示控制电路设计 | 256 |
| 第 10 章 VHDL 有限状态机设计 | 257 |
| 10.1 VHDL 状态机的一般形式 | 257 |
| 10.1.1 状态机的特点与优势 | 257 |
| 10.1.2 状态机的一般结构 | 258 |
| 10.1.3 状态机设计初始约束与表述 | 262 |
| 10.2 Moore 型有限状态机的设计 | 263 |
| 10.2.1 多进程结构状态机 | 263 |
| 10.2.2 序列检测器之状态机设计 | 267 |
| 10.3 Mealy 型有限状态机的设计 | 268 |
| 10.4 状态编码 | 272 |
| 10.4.1 直接输出型编码 | 272 |
| 10.4.2 顺序编码 | 274 |
| 10.4.3 一位热码状态编码 | 275 |
| 10.4.4 状态编码设置 | 275 |
| 10.5 安全状态机设计 | 277 |
| 10.5.1 程序直接导引法 | 277 |
| 10.5.2 状态编码监测法 | 278 |
| 10.5.3 借助 EDA 优化控制工具生成安全状态机 | 279 |
| 10.6 硬件数字技术排除毛刺 | 279 |

| | |
|-------------------------------------|------------|
| 10.6.1 延时方式 | 279 |
| 10.6.2 逻辑方式去毛刺 | 281 |
| 10.6.3 定时方式去毛刺 | 282 |
| 习题 | 283 |
| 实验与设计 | 283 |
| 10-1 序列检测器设计 | 283 |
| 10-2 并行 ADC 采样控制电路实现与硬件验证 | 284 |
| 10-3 数据采集模块设计 | 285 |
| 10-4 五功能智能逻辑笔设计 | 286 |
| 10-5 通用异步收发器 UART 设计 | 287 |
| 10-6 串行 ADC/DAC 采样或信号输出控制电路设计 | 289 |
| 10-7 硬件消抖动电路设计 | 289 |
| 第 11 章 16 位实用 CPU 创新设计 | 290 |
| 11.1 KX9016 的结构与特色 | 290 |
| 11.2 KX9016 基本硬件系统设计 | 392 |
| 11.2.1 单步节拍发生模块 | 292 |
| 11.2.2 运算器 | 294 |
| 11.2.3 比较器 | 295 |
| 11.2.4 基本寄存器与寄存器阵列组 | 296 |
| 11.2.5 移位器 | 299 |
| 11.2.6 程序与数据存储寄存器 | 300 |
| 11.3 KX9016v1 指令系统设计 | 301 |
| 11.3.1 指令格式 | 301 |
| 11.3.2 指令操作码 | 302 |
| 11.3.3 软件程序设计实例 | 303 |
| 11.3.4 KX9016v1 控制器设计 | 305 |
| 11.3.5 指令设计实例详解 | 309 |
| 11.4 KX9016 的时序仿真与硬件测试 | 310 |
| 11.4.1 时序仿真与指令执行波形分析 | 310 |
| 11.4.2 CPU 工作情况的硬件测试 | 312 |
| 11.5 KX9016 应用程序设计实例和系统优化 | 314 |
| 11.5.1 除法算法及其硬件实现 | 315 |
| 11.5.2 乘法算法及其硬件实现 | 315 |
| 11.5.3 KX9016v1 的硬件系统优化 | 317 |
| 习题 | 318 |
| 实验与设计 | 319 |
| 11-1 16 位 CPU 验证性设计综合实验 | 319 |

| | | |
|---------------|--------------------------|------------|
| 11-2 | 新指令设计及程序测试实验 | 319 |
| 11-3 | 16 位 CPU 的优化设计与创新 | 320 |
| 11-4 | CPU 创新设计竞赛 | 321 |
| 第 12 章 | MCU 与 FPGA 片上系统开发 | 323 |
| 12.1 | FPGA 扩展 MCU 开发技术 | 323 |
| 12.1.1 | FPGA 扩展方案及其系统设计技术 | 324 |
| 12.1.2 | 基于单片机 IP 软核的 SOC 设计方案 | 327 |
| 12.2 | 基于单片机核的 FPGA 片上系统设计 | 330 |
| 实验与设计 | | 333 |
| 12-1 | 脉宽/占空比/等精度频率多功能测试仪设计 | 333 |
| 第 13 章 | VHDL 语法补充说明 | 340 |
| 13.1 | VHDL 库 | 340 |
| 13.1.1 | 库的种类 | 340 |
| 13.1.2 | 库的用法 | 342 |
| 13.2 | VHDL 程序包 | 343 |
| 13.3 | VHDL 文字规则补充说明 | 346 |
| 13.3.1 | 数字 | 346 |
| 13.3.2 | 字符串 | 346 |
| 13.3.3 | 标识符及其表述规则 | 347 |
| 13.3.4 | 下标名 | 348 |
| 13.4 | 子程序 | 348 |
| 13.4.1 | 函数 | 349 |
| 13.4.2 | 重载函数 | 351 |
| 13.4.3 | 决断函数 | 354 |
| 13.4.4 | 过程 | 354 |
| 13.4.5 | 重载过程 | 356 |
| 13.5 | 数据类型 | 357 |
| 13.6 | VHDL 操作符补充说明 | 359 |
| 13.6.1 | 逻辑操作符 | 359 |
| 13.6.2 | 关系操作符 | 360 |
| 13.6.3 | 算术操作符 | 360 |
| 13.7 | VHDL 基本语句补充说明 | 362 |
| 13.7.1 | NEXT 语句 | 362 |
| 13.7.2 | EXIT 语句 | 363 |
| 13.7.3 | WAIT 语句 | 364 |
| 13.7.4 | 子程序调用语句 | 367 |

| | |
|---|------------|
| 13.7.5 RETURN 语句 | 369 |
| 13.8 VHDL 并行语句补充说明 | 370 |
| 13.8.1 并行信号赋值语句 | 371 |
| 13.8.2 块语句 | 371 |
| 13.8.3 并行过程调用语句 | 372 |
| 13.8.4 生成语句 | 374 |
| 13.8.5 REPORT 语句 | 376 |
| 13.8.6 断言语句 | 377 |
| 习题 | 379 |
| 第 14 章 VHDL Test Bench 仿真 | 380 |
| 14.1 VHDL 行为仿真流程 | 381 |
| 14.2 VHDL 测试基准实例 | 383 |
| 14.3 VHDL Test Bench 测试流程 | 385 |
| 习题 | 388 |
| 实验与设计 | 388 |
| 14-1 在 ModelSim 上对 VHDL Test Bench 进行仿真 | 388 |
| 附录 EDA 开发系统及相关软硬件 | 390 |
| 参考文献 | 396 |