



普通高等教育“十一五”国家级规划教材

SHUZI DIANLU YU LUOJI SHEJI

# 数字电路与 逻辑设计

(第2版)

胡春静 郭琳 孙文生 刘培植◎主 编  
刘丽华◎副主编



北京邮电大学出版社  
www.buptpress.com



普通高等教育“十一五”国家级规划教材

# 数字电路与逻辑设计 (第2版)

刘培植 主 编

胡春静 郭 琳 副主编  
孙文生 刘丽华



北京邮电大学出版社  
[www.buptpress.com](http://www.buptpress.com)

## 内 容 简 介

“数字电路与逻辑设计”是电子、信息与通信类专业的专业基础课,也是相关专业工程技术人员的必修内容。本教材系统地介绍数字技术的基础知识、逻辑器件(门电路、可编程逻辑器件、数模混合电路等)的工作原理及应用,组合逻辑电路与时序逻辑电路的分析和设计方法、脉冲电路以及硬件设计描述语言等内容。通过学习,使读者掌握较坚实的数字电路和数字系统理论知识,对数字逻辑电路和数字系统的构成、描述、分析、设计等有较深入的理解,具备独立进行逻辑电路分析、使用中小规模数字电路和可编程逻辑器件进行逻辑设计的能力。

本教材注重前后学习内容的连贯性,注重理论联系实际,在讲述数字电路分析和设计理论的基础上,结合常用器件来分析和设计各种实用电路,跟踪数字电路和数字系统技术的发展,强调新技术的使用,以及分析问题和解决问题能力的培养。

### 图书在版编目(CIP)数据

数字电路与逻辑设计/刘培植主编.--2版.--北京:北京邮电大学出版社,2013.1

ISBN 978-7-5635-3387-9

I. ①数… II. ①刘… III. ①数字电路—逻辑设计—教材 IV. ①TN79

中国版本图书馆CIP数据核字(2012)第316438号

---

书 名: 数字电路与逻辑设计(第2版)

主 编: 刘培植

副 主 编: 胡春静 郭 琳 孙文生 刘丽华

责任编辑: 刘 颖

出版发行: 北京邮电大学出版社

社 址: 北京市海淀区西土城路10号(邮编:100876)

发 行 部: 电话: 010-62282185 传真: 010-62283578

E-mail: publish@bupt.edu.cn

经 销: 各地新华书店

印 刷: 北京联兴华印刷厂

开 本: 787 mm×1 092 mm 1/16

印 张: 28.75

字 数: 697千字

印 数: 1—3 000册

版 次: 2013年1月第2版 2013年1月第1次印刷

---

ISBN 978-7-5635-3387-9

定 价: 58.00元

· 如有印装质量问题,请与北京邮电大学出版社发行部联系 ·

# 再版前言

本教材自 2009 年第 1 版出版以来,受到了众多师生和读者的关注。通过近几年本校和兄弟院校的教学实践,编写组收集了教师和读者对本教材的意见和建议,并根据近年来数字电子技术的新发展和教学改革与实践,对原教材进行了修订。

在本次修订工作中,依照教育部关于拓宽专业口径,调整知识、能力、素质结构,构建适应新世纪需要的高质量人才培养模式的要求,在保证基本教学内容和基本知识点的前提下,注重教材对电子、信息和通信等相关专业的适用性,在中小规模数字集成电路和可编程逻辑器件的分析、设计方面更贴近实用性,通过增加应用举例,采用循序渐进、由浅及深的表述方式,使教材的可读性更强,部分实例源自作者在通信系统中的设计,具有一定的实用参考价值。考虑到保持教材的连贯性和与教材相配套的《数字电路与逻辑设计学习指导》的一致性,新版教材保持了原有章节的结构特征。

本次修订工作主要涉及以下几个方面:

第 1 章和第 2 章(刘培植、刘丽华修订)精简了在计算机基础和电子电路基础等课程中应掌握的数制、晶体管和场效应管工作原理等内容,将篇幅让位于实际数字集成电路介绍,增加了关于 LVTTTL、LVCMOS、电平转换和通信接口等当前常用器件的特性及相关知识,使读者所学的知识更贴近实际。第 3 章和第 4 章(胡春静修订)增加了难点内容的详细分析及例题,对组合逻辑集成电路及触发器在计算机接口中的应用方面作了更多的介绍。第 5 章和第 6 章(刘培植修订)细化了时序逻辑电路的分析及设计过程,适当增加了使用时序图对器件逻辑功能的描述。第 7 章和第 8 章(郭琳修订)增加了常用的 SRAM 和

DRAM 介绍以及硬件描述语言在逻辑设计中的应用实例。第 9 章和第 10 章(孙文生修订)增加了权电流型、权电容网络、双极性输出的数模转换、V-F 变换型模数转换以及石英晶体振荡器的应用等内容,介绍了实用模数转换器及集成压控振荡器的应用实例。

本次修订的主旨是使教材更具相关专业的适用性和实用参考价值,力求通俗易懂,便于自学。虽然有了许多改进,但由于编者水平有限,书中难免存在错误和不足之处,敬请读者批评指正。

编 者

# 前 言

本书根据教育部高等学校电子信息科学与工程类基础课教学指导分委员会“基础课程教学基本要求”及北京邮电大学和其他院校最新的教学大纲要求,参考国内外相关教材和实用数字电路技术资料,并在教材《数字电路设计与数字系统》多年使用的基础上,重新编写修订而成。

随着技术的进步,数字逻辑电路和数字系统的分析、设计方法也在快速地演变和发展。现在,在一般数字系统设计中,普遍采用了规模越来越大的可编程逻辑器件,设计方法从传统的单纯硬件设计,变为计算机软硬件辅助设计的方法。即电子设计自动化(EDA)和电子系统设计自动化(ESDA)成为现代电子系统设计和制造的主要技术手段。

本书强调适应数字电路与系统分析和设计技术的发展,适应新一代电子、通信人才培养的需要,关注与本教材相关课程内容的前后连贯性,突出数字逻辑电路的基础理论、分析方法和设计方法的学习,增加了较多的设计实例介绍和应用方面的内容,相对体现所学内容的实用性。特别是在可编程逻辑器件(PLD)和硬件描述语言(VHDL)方面作了相对详细的介绍,为读者独立分析、设计数字电路和数字系统,较快掌握分析设计工具,建立规范有序的思维习惯,提高分析和解决实际问题的能力打下良好基础。另外,本书中部分实例源自作者在通信系统中的设计,具有一定的实用参考价值。

本书共分10章。第1、2章由刘丽华同志编写,内容包括数制与编码、逻辑代数基础及逻辑函数的化简、逻辑门电路及特性等。第3、4章由胡春静同志编写,该部分主要介绍了组合电路的分析与设计方法以及各种触发器的特点和参

数。第5、6章由刘培植同志编写,其内容主要对用中、小规模集成时序逻辑电路的分析与设计方法以及应用进行了详细的介绍。第7、8章介绍了常用的可编程逻辑器件及硬件描述语言及其应用方法,该部分由郭琳同志编写。第9、10章由孙文生同志编写,主要介绍数模变换原理以及脉冲波形的产生与变换数字系统的设计方法。

虽然本书作者都有多年的本课程教学经历,但还会由于水平和经验的限制,书中会存在一些不足之处,希望读者给予批评、指正。

编 者

# 目 录

第 1 章 数字技术基础	1
1.1 数制与编码	2
1.1.1 数制	2
1.1.2 不同数制间的转换	3
1.1.3 二进制编码	5
1.2 逻辑代数基础	7
1.2.1 逻辑变量与逻辑运算	7
1.2.2 复合逻辑运算	9
1.2.3 逻辑代数的基本定律和基本规则	12
1.2.4 逻辑代数的常用公式	13
1.2.5 正逻辑与负逻辑	14
1.3 逻辑函数及其表示方法	15
1.3.1 逻辑函数	15
1.3.2 逻辑函数的表示方法	15
1.3.3 逻辑函数的两种标准表达式	17
1.4 逻辑函数的简化	19
1.4.1 代数简化法	19
1.4.2 卡诺图化简	21
1.4.3 具有任意项和约束项的逻辑函数及其简化	26
习题	28
第 2 章 逻辑门电路	30
2.1 晶体管的开关特性	30
2.1.1 二极管的开关特性	30
2.1.2 双极型晶体三极管的开关特性	31
2.2 晶体三极管反相器	33
2.2.1 反相器的工作原理	33
2.2.2 反相器的负载能力	34



2.3	TTL 集成逻辑门 .....	36
2.3.1	标准 TTL 与非门的电路结构和工作原理 .....	37
2.3.2	TTL 与非门的特性及参数 .....	39
2.3.3	或非、与或非及异或门 .....	45
2.3.4	集电极开路门电路(OC 门) .....	47
2.3.5	三态门 .....	51
2.3.6	TTL 改进系列门电路简介 .....	53
2.3.7	TTL 的选用及应注意的问题 .....	55
2.4	ECL 逻辑门 .....	56
2.5	I <sup>2</sup> L 逻辑门电路 .....	58
2.5.1	I <sup>2</sup> L 的基本单元电路 .....	59
2.5.2	I <sup>2</sup> L 门电路 .....	60
2.5.3	I <sup>2</sup> L 门电路的特点 .....	61
2.6	CMOS 逻辑门 .....	61
2.6.1	NMOS 门电路 .....	62
2.6.2	CMOS 非门 .....	64
2.6.3	CMOS 与非门 .....	65
2.6.4	CMOS 或非门 .....	66
2.6.5	CMOS 与或非门 .....	66
2.6.6	CMOS 漏极开路与非门电路(OD 与非门) .....	67
2.6.7	CMOS 传输门及模拟开关 .....	68
2.6.8	CMOS 三态门 .....	69
2.6.9	CMOM 逻辑门特点及应用 .....	69
2.7	逻辑电平及逻辑电平转换 .....	70
	习题 .....	75
<b>第 3 章</b>	<b>组合电路的分析与设计 .....</b>	<b>81</b>
3.1	组合逻辑电路的特点 .....	81
3.2	组合逻辑电路的分析 .....	81
3.3	小规模组合逻辑电路的设计 .....	83
3.3.1	由设计要求列真值表 .....	84
3.3.2	逻辑函数的两级门实现 .....	85
3.3.3	逻辑函数的三级门实现 .....	86
3.3.4	组合电路实际设计中的几个问题 .....	91
3.3.5	组合电路设计实例 .....	96
3.4	组合逻辑电路的冒险 .....	103
3.4.1	逻辑冒险与消除方法 .....	103
3.4.2	功能冒险与消除方法 .....	107
3.4.3	冒险消除方法的比较 .....	110

3.4.4	动态冒险 .....	110
3.5	常用的中规模组合逻辑电路与应用 .....	111
3.5.1	集成数码比较器 .....	111
3.5.2	编码器与优先编码器 .....	115
3.5.3	译码器 .....	119
3.5.4	数据选择器 .....	129
3.5.5	数据分配器 .....	136
3.5.6	奇偶校验与可靠性编码 .....	139
3.5.7	运算电路 .....	143
	习题 .....	149
<b>第4章</b>	<b>集成触发器</b> .....	<b>159</b>
4.1	时序电路的特点 .....	159
4.2	触发器的基本特性及其记忆作用 .....	159
4.3	基本 RS 触发器 .....	160
4.3.1	电路结构及工作原理 .....	160
4.3.2	描述触发器(时序电路)的方法 .....	161
4.3.3	基本 RS 触发器的特点 .....	163
4.4	各种钟控触发器的逻辑功能 .....	163
4.4.1	钟控 RS 触发器 .....	163
4.4.2	钟控 D 触发器 .....	164
4.4.3	锁存器 .....	165
4.4.4	钟控 JK 触发器 .....	166
4.4.5	钟控 T 触发器 .....	166
4.4.6	各种触发器之间的转换 .....	167
4.4.7	钟控触发器的缺点 .....	168
4.5	TTL 集成主从触发器 .....	169
4.5.1	基本工作原理 .....	169
4.5.2	主从 JK 触发器的一次翻转 .....	170
4.5.3	异步置 0 置 1 输入 .....	171
4.5.4	主从触发器的特点 .....	172
4.6	集成边沿触发器 .....	172
4.6.1	负边沿 JK 触发器 .....	172
4.6.2	维持-阻塞 D 触发器 .....	173
4.6.3	JK 触发器和 D 触发器的实际产品 .....	175
4.6.4	触发器的逻辑符号 .....	175
4.7	CMOS 触发器 .....	176
4.7.1	CMOS 钟控 D 触发器 .....	176
4.7.2	CMOS 主从 D 触发器 .....	177

4.7.3	CMOS 主从 JK 触发器 .....	178
4.8	集成触发器的选用和参数 .....	179
4.8.1	逻辑功能的选择 .....	179
4.8.2	触发方式的选择 .....	179
4.8.3	触发器的参数 .....	179
	习题 .....	181
<b>第 5 章</b>	<b>时序逻辑电路</b> .....	<b>187</b>
5.1	概述 .....	187
5.2	同步时序逻辑电路分析 .....	190
5.2.1	常用时序电路简介 .....	190
5.2.2	同步时序逻辑电路分析方法 .....	191
5.2.3	一般同步时序电路分析举例 .....	192
5.2.4	移位寄存器及其应用电路的分析 .....	196
5.2.5	异步时序逻辑电路的分析方法 .....	204
5.3	常用时序电路的设计 .....	207
5.3.1	常用时序电路的设计步骤 .....	207
5.3.2	同步计数器的设计 .....	207
5.3.3	序列信号发生器设计 .....	212
5.3.4	M 序列发生器 .....	215
5.4	一般时序逻辑电路的设计方法 .....	217
5.4.1	一般同步时序逻辑电路的设计方法 .....	217
5.4.2	采用小规模集成器件设计异步计数器 .....	229
	习题 .....	233
<b>第 6 章</b>	<b>中规模时序集成电路及应用</b> .....	<b>242</b>
6.1	中规模异步计数器 .....	242
6.2	中规模同步计数器 .....	244
6.2.1	同步计数器的分类 .....	244
6.2.2	同步集成计数器简介 .....	245
6.3	中规模计数器的应用 .....	249
6.3.1	中规模计数器构成任意进制计数器 .....	249
6.3.2	中规模计数器的级联 .....	253
6.3.3	中规模计数器构成的常用功能电路 .....	256
6.4	中规模移位寄存器 .....	260
6.4.1	中规模移位寄存器的功能 .....	260
6.4.2	中规模移位寄存器介绍 .....	260
6.5	中规模移存器的应用 .....	263
6.5.1	中规模移存器的扩展 .....	263

6.5.2	中规模移寄存器构成串-并变换器	264
6.5.3	中规模移寄存器构成并-串变换器	265
6.5.4	中规模移寄存器构成计数器	267
6.5.5	中规模移寄存器构成分频器	268
6.5.6	中规模移寄存器构成序列信号发生器	268
	习题	270
<b>第7章</b>	<b>可编程逻辑器件</b>	<b>276</b>
7.1	存储器及其在可编程逻辑实现方面的应用	276
7.1.1	只读存储器	276
7.1.2	PROM 的种类	278
7.1.3	随机存储器	281
7.1.4	用存储器实现逻辑处理	283
7.2	PLA、PAL、GAL	288
7.2.1	PLA	288
7.2.2	PAL	289
7.2.3	GAL	290
7.3	EPLD	293
7.3.1	MAX7000 系列的系统结构	293
7.3.2	MAX7000 系列的 LAB 和 MC	294
7.4	CPLD	296
7.4.1	FLEX10K 的系统结构	296
7.4.2	FLEX10K 的嵌入式阵列块	297
7.4.3	FLEX10K 的逻辑阵列块	298
7.4.4	FLEX10K 的逻辑单元	298
7.4.5	FLEX10K 的快速连线带	300
7.4.6	FLEX10K 的输入/输出单元	301
7.5	FPGA	302
7.5.1	可配置逻辑模块	303
7.5.2	输入/输出模块	304
7.5.3	块状 RAM	305
7.5.4	可编程互连资源	307
7.5.5	延迟锁相环模块	308
7.5.6	边界扫描测试	309
	习题	310
<b>第8章</b>	<b>硬件描述语言 VHDL</b>	<b>315</b>
8.1	电子设计自动化与硬件描述语言	315
8.1.1	电子设计自动化	315

8.1.2	硬件描述语言 .....	316
8.2	VHDL 程序的基本结构 .....	317
8.2.1	实体 .....	317
8.2.2	结构体 .....	319
8.2.3	VHDL 的库与程序包 .....	321
8.2.4	配置 .....	324
8.3	VHDL 中的数据对象和数据类型 .....	324
8.3.1	VHDL 中的数据对象 .....	324
8.3.2	VHDL 中的数据类型 .....	327
8.4	VHDL 中的属性和运算符 .....	331
8.4.1	VHDL 中的属性 .....	331
8.4.2	VHDL 中的运算符 .....	332
8.5	VHDL 程序的语句组织结构 .....	333
8.5.1	块语句结构 .....	333
8.5.2	进程语句结构 .....	334
8.5.3	子程序语句结构 .....	337
8.5.4	元件例化语句结构 .....	340
8.6	VHDL 的主要描述语句 .....	344
8.6.1	并行描述语句 .....	344
8.6.2	顺序描述语句 .....	346
8.7	用 VHDL 解决组合逻辑和时序逻辑问题 .....	353
8.7.1	用 VHDL 解决组合逻辑问题 .....	353
8.7.2	用 VHDL 解决时序逻辑问题 .....	355
	习题 .....	358
<b>第 9 章</b>	<b>数模和模数转换 .....</b>	<b>362</b>
9.1	数模转换器 DAC .....	362
9.1.1	数模转换的基本原理 .....	363
9.1.2	权电阻网络 DAC .....	364
9.1.3	T 形电阻网络 DAC .....	367
9.1.4	倒 T 形电阻网络 DAC .....	368
9.1.5	树形开关网络 DAC .....	370
*9.1.6	权电流型 DAC .....	371
*9.1.7	权电容网络 DAC .....	374
*9.1.8	具有双极性输出的 DAC .....	375
*9.1.9	串行输入 DAC .....	376
9.1.10	DAC 的主要技术指标 .....	378
9.1.11	集成 D/A 转换器及其应用 .....	380
9.2	模数转换器 .....	384

9.2.1	模数转换器的基本原理 .....	385
9.2.3	并行比较型 ADC .....	388
9.2.3	计数型 ADC .....	390
9.2.4	逐次渐进型 ADC .....	391
9.2.5	双积分型 ADC .....	393
* 9.2.6	V-F 变换型 ADC .....	396
* 9.2.7	串行输出 ADC .....	397
9.2.8	ADC 的主要技术指标 .....	398
9.2.9	集成 ADC 及其应用 .....	399
	习题 .....	404
<b>第 10 章</b>	<b>脉冲波形的产生与变换 .....</b>	<b>411</b>
10.1	波形的基础知识 .....	411
10.2	施密特触发器 .....	412
10.2.1	用门电路组成施密特触发器 .....	412
10.2.2	集成施密特触发器 .....	415
10.2.3	施密特触发器的应用 .....	419
10.3	单稳态触发器 .....	421
10.3.1	用门电路组成的单稳态触发器 .....	421
10.3.2	施密特触发器构成的单稳态触发器 .....	425
10.3.3	集成单稳态触发器 .....	426
10.3.4	单稳态触发器的主要应用 .....	431
10.4	多谐振荡器 .....	432
10.4.1	由门电路组成的多谐振荡器 .....	432
10.4.3	由施密特触发器组成的多谐振荡器 .....	434
10.4.4	压控振荡器 .....	435
10.4.5	石英晶体振荡器 .....	437
10.5	555 定时器及其应用 .....	438
10.5.1	555 定时器的结构及工作原理 .....	439
10.5.2	由 555 定时器组成的施密特触发器 .....	440
10.5.3	由 555 定时器组成的单稳态触发器 .....	441
10.5.4	由 555 定时器组成的多谐振荡器 .....	442
	习题 .....	443

# 第 1 章 数字技术基础

本章主要介绍数字技术的基础知识,包括数字电路中常用的计数制、逻辑代数的基础理论、逻辑函数的表示及其简化方法等内容。

自然界中的许多物理量(如距离、温度、压力、亮度、流量等)在时间和数值上都是连续变化的,这些物理量在一定范围内可在任意时间点上取得任意精度的实数,我们称这类物理量为模拟量。为了将这些物理量进行分析、传输、显示,工程上通常转换成电压或电流来模拟、处理这些实际的物理量,对应的电压或电流称为模拟信号,例如正弦变化的交流信号,它在某一瞬间的值可以是一个数值区间内的任何值。处理模拟信号的电路被称为模拟电路(analog circuit)。模拟电路主要研究输出与输入信号之间幅度、相位、阻抗、失真等方面的内容。一般情况下,模拟电路中所使用的电子器件要求工作在线性区。这类电路包括放大电路、模拟运算电路、滤波电路、钳位电路等。

另外一类信号,它们只在特定的时间点上取得特定的数值,每次数值的增减变化都是某一个最小单位的整数倍(如果是二进制信号,在数值上只有 0 和 1),也就是在时间上和数值上都是离散的,这一类信号叫做数字信号。数字信号可以用来表示某些物理量,也可以仅仅表示数字信号输入和输出之间的逻辑关系。处理数字信号的电路称为数字电路(digital circuit)。二进制数字电路中,常使用高电平(1 电平)和低电平(0 电平)来表示电路的状态,每个 0 或 1 称为一个比特(bit),是数据传输、处理和存储的最小单位。数字电路主要研究输出与输入信号之间的逻辑关系,包括各种逻辑运算、时延、抗干扰能力、带负载能力等方面内容。一般情况下,数字电路中所使用的电子器件工作在线性区,即工作于开关状态。这类电路包括地址译码器、计数器、寄存器等。

图 1.0.1 给出了模拟信号与数字信号的示意图。

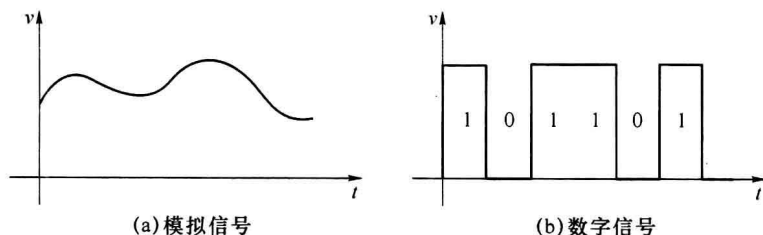


图 1.0.1 模拟信号与数字信号

除模拟电路与数字电路外,还有一类电路称为数模混合电路,该类电路中既包含了模拟电路,也包含了数字电路,如电压比较器、多谐振荡器、限幅器、数模和模数转换器等。

# 1.1 数制与编码

## 1.1.1 数制

数制是进位记数制的简称,是用一组固定的符号和统一的规则来表示数值的方法。现在常用的计数制有二进制、八进制、十进制、十六进制。每一种记数制所使用的数码个数称为基数,如二进制的基数为2,十进制基数为10。在表示数值的大小时,通常需要使用从低位到高位的多位数码表示,各个数码处于数码组合不同位置时所代表的数值不同,即数码在不同位置对应有不同的权值。表1.1.1是十进制数对应的二进制、八进制和十六进制数。表1.1.2给出的是二进制各位对应的权值。

表 1.1.1 十进制对应的二进制、八进制、十六进制数

十进制	二进制	八进制	十六进制	十进制	二进制	八进制	十六进制	十进制	二进制	八进制	十六进制
0	0000	0	0	6	0110	6	6	12	1100	14	C
1	0001	1	1	7	0111	7	7	13	1101	15	D
2	0010	2	2	8	1000	10	8	14	1110	16	E
3	0011	3	3	9	1001	11	9	15	1111	17	F
4	0100	4	4	10	1010	12	A	16	10000	20	10
5	0101	5	5	11	1011	13	B				

表 1.1.2 二进制各位的权值

二进制位数	权	十进制表示	二进制位数	权	十进制表示	二进制位数	权	十进制表示
13	$2^{12}$	4 096	7	$2^6$	64	1	$2^0$	1
12	$2^{11}$	2 048	6	$2^5$	32	-1	$2^{-1}$	0.5
11	$2^{10}$	1 024	5	$2^4$	16	-2	$2^{-2}$	0.25
10	$2^9$	512	4	$2^3$	8	-3	$2^{-3}$	0.125
9	$2^8$	256	3	$2^2$	4	-4	$2^{-4}$	0.0625
8	$2^7$	128	2	$2^1$	2	-5	$2^{-5}$	0.03125

任何进制数都可以按权展开求和,从而得到十进制数的对应数值。将一个整数位为  $n$  位、小数位为  $m$  位的  $R$  进制数  $N$  按权展开的表示式为

$$\begin{aligned}
 (N)_R &= (k_{n-1} \times R^{n-1} + k_{n-2} \times R^{n-2} + \dots + k_1 \times R^1 + k_0 \times R^0 + \\
 &\quad k_{-1} \times R^{-1} + k_{-2} \times R^{-2} + \dots + k_{-m} \times R^{-m})_{10} \\
 &= \left( \sum_{i=-m}^{n-1} k_i \times R^i \right)_{10} \tag{1.1.1}
 \end{aligned}$$

式(1.1.1)中  $(N)_R$  为  $R$  进制的数  $N$ ,  $\left( \sum_{i=-m}^{n-1} k_i \times R^i \right)_{10}$  表示展开求和后对应的十进制



数,括号外的下角标表示进制(基数)。

以一个十进制数 8 921 为例,8、9、2、1 称为系数,每个系数所处的位置不同,则对应的权值不同。其运算规律为逢十进一,借一当十。将其按权值展开可以表示为

$$(8\ 921)_{10} = (8 \times 10^3 + 9 \times 10^2 + 2 \times 10^1 + 1 \times 10^0)_{10}$$

若将二进制数(11011.011)<sub>2</sub> 按权展开,得到十进制数为

$$\begin{aligned} (11011.011)_2 &= (1 \times 2^4 + 1 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2} + 1 \times 2^{-3})_{10} \\ &= (16 + 8 + 0 + 2 + 1 + 0 + 0.25 + 0.125)_{10} \\ &= (27.375)_{10} \end{aligned}$$

### 1.1.2 不同数制间的转换

#### 1. 十进制与非十进制之间的转换

##### (1) 非十进制数转换为十进制数

非十进制数转换为十进制数只需按式(1.1.1),将每位数码作为系数乘以权值并求和即可。

**【例 1.1.1】** 将(12AF.B4)<sub>16</sub> 转换成十进制数。

解:

$$\begin{aligned} (12AF.B4)_{16} &= (1 \times 16^3 + 2 \times 16^2 + 10 \times 16^1 + 15 \times 16^0 + 11 \times 16^{-1} + 4 \times 16^{-2})_{10} \\ &= (4\ 096 + 512 + 160 + 15 + 0.687\ 5 + 0.015\ 625)_{10} \\ &= (4\ 783.703\ 125)_{10} \end{aligned}$$

##### (2) 十进制数转换为非十进制数

十进制数转换为非十进制数时需要将整数和小数分别处理。

##### ① 整数部分的转换

整数部分的转换采用基数连除法。方法是用十进制整数除以目的数制的基数,第一次相除所得的余数为目的数的最低位,得到的商再除以该基数,所得的余数为目的数的次低位,依此类推,直到商为 0,最后所得的余数为目的数的最高位。

**【例 1.1.2】** 将(53)<sub>10</sub> 转换成二进制数。

解:

目的基数	十进制整数	余数
2	53	1 最低位LSB
2	26	0
2	13	1
2	6	0
2	3	1
2	1	1 最高位MSB
	0	

经过多次除以基数 2,得到转换结果为(53)<sub>10</sub>=(110101)<sub>2</sub>。这里需要强调的是最先得到的余数为最低位。