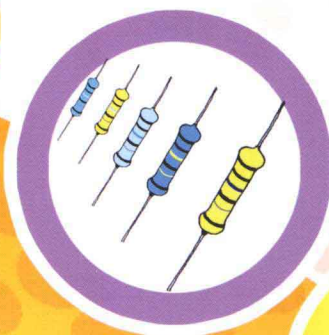


双色  
印刷

# EDA技术实践教程

赵艳华 主编



EDA JISHU  
SHIJIAN  
JIAOCHENG



中国电力出版社  
CHINA ELECTRIC POWER PRESS

# EDA技术实践教程

赵艳华 主 编  
龚丽农 李新成 副主编  
和晓锋 温 利



中国电力出版社  
CHINA ELECTRIC POWER PRESS

## 内容提要

本书根据电子设计自动化 EDA 实践教学的特点,分基础知识篇和实验与课程设计篇,由浅入深地讲解了 EDA 软件 Quartus II 的开发流程,并结合课程进度和实践环节的需要,编写了实验项目。书中第 1 章和第 2 章介绍了 Quartus II 6.0 的开发流程和使用技巧,可供初学者进行基础操作和入门学习。第 3 章简明扼要的列出了 VHDL 硬件描述语言和 Verilog HDL 语言的语法要素和语法格式,供实验者速查参考。第 4 章和第 5 章介绍了两种常见的 EDA 实验系统的构成和使用方法。第 6 章是基础实验部分,根据课程进度,可选择开展其中的部分实验。第 7 章是综合实验项目,可作为课程设计和实习实践环节的选题进行设计。

本书采用双色印刷,版面活泼、明晰,易为学生接受。编写融通用性、专业性、知识性、趣味性于一体,为 EDA 实验课程的理想教材。

本书可作为高等学校电子、电气类专业及相关专业的本、专科生实验教材及参考书。

### 图书在版编目(CIP)数据

EDA 技术实践教学/赵艳华主编. —北京:中国电力出版社,2014.2

ISBN 978-7-5123-5200-1

I. ①E… II. ①赵… III. ①电子电路—电路设计—计算机辅助设计—教材 IV. ①TN792

中国版本图书馆 CIP 数据核字(2013)第 272879 号

中国电力出版社出版、发行

(北京市东城区北京站西街 19 号 100005 <http://www.cepp.sgcc.com.cn>)

航远印刷有限公司印刷

各地新华书店经售

\*

2014 年 2 月第一版 2014 年 2 月北京第一次印刷

787 毫米×1092 毫米 16 开本 10 印张 255 千字

印数 0001—3000 册 定价 28.00 元

### 敬告读者

本书封底贴有防伪标签,刮开涂层可查询真伪  
本书如有印装质量问题,我社发行部负责退换

版权专有 翻印必究

# 前言



随着 EDA 技术的发展,其在电子信息、通信、自动控制及计算机领域的重要性日益突出。相应的,随着技术市场与人才市场对 EDA 技术需求的不断提高,产品的市场和技术要求也必然反映到教学和科研领域中来。

实验技能是科技工作者的一项基本功,实验教学是高等院校重要的教学环节。EDA 的实验教学中面临着软件操作复杂、理论教学学时有限、学生语法掌握粗略浅显等问题,因此,一本能够辅助学生顺利开展入门实验的教程就显得尤为重要。

本书针对 EDA 的实验教学环节的特点与需求,详细介绍了 EDA 软件 Quartus II 的开发流程,并结合课程进度和实践环节的需要,编写了实验项目。软件介绍中,除了基本操作流程,还将设计中常见的软件问题进行了说明,能够帮助学生尽快的掌握软件使用方法。

本书第 1 章和第 2 章较为详细地介绍了 Quartus II 6.0 的开发流程和使用技巧,可供初学者进行基础操作和入门学习。第 3 章简明扼要地列出了 VHDL 硬件描述语言和 Verilog HDL 语言的语法要素和语法格式,供实验者在实验过程中速查参考。第 4 章和第 5 章介绍了两种常见的 EDA 实验系统的构成和使用方法。第 6 章是基础实验部分,根据课程进度,可选择开展其中的部分实验。第 7 章是综合实验项目,可作为课程设计和实习实践环节的选题进行设计。

参与本书编写的有赵艳华、龚丽农、李新成、和晓锋、温利,全书由赵艳华统稿。其中第 3 章由龚丽农、温利、和晓锋编写,第 5 章由李新成编写,其余章节由赵艳华编写。本书编写过程中得到了自控教研室多位老师的大力支持,在此一并表示感谢。

由于编者水平有限,时间仓促,书中难免存在不妥和疏漏之处,恳请读者批评指正。

编者

# 目 录



## 前言

## 基础知识篇

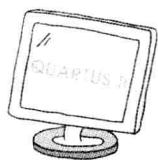
|                                   |    |
|-----------------------------------|----|
| 第 1 章 Quartus II 6.0 软件操作指南 ..... | 3  |
| 1.1 Quartus II 6.0 简介 .....       | 3  |
| 1.2 设计流程操作指南 .....                | 4  |
| 1.2.1 建立新工程 .....                 | 4  |
| 1.2.2 设计输入 .....                  | 9  |
| 1.2.3 分析与综合 .....                 | 11 |
| 1.2.4 适配 .....                    | 12 |
| 1.2.5 全程编译 .....                  | 12 |
| 1.2.6 时序仿真 .....                  | 13 |
| 1.2.7 电路观察器 .....                 | 19 |
| 1.2.8 打开原有工程 .....                | 19 |
| 1.2.9 引脚分配与下载 .....               | 19 |
| 1.3 Project Navigator 与工程管理 ..... | 23 |
| 1.3.1 【Hierarchy】标签页 .....        | 24 |
| 1.3.2 【Files】标签页 .....            | 25 |
| 1.3.3 工程文件管理 .....                | 26 |
| 第 2 章 Quartus II 应用技巧 .....       | 30 |
| 2.1 原理图编辑器 .....                  | 30 |
| 2.1.1 原理图编辑工具栏 .....              | 30 |
| 2.1.2 添加原理图符号 .....               | 32 |
| 2.1.3 导线绘制与命名 .....               | 33 |
| 2.2 波形文件编辑器 .....                 | 37 |
| 2.2.1 波形编辑界面 .....                | 37 |
| 2.2.2 波形编辑工具栏 .....               | 39 |
| 2.2.3 仿真设置 .....                  | 42 |
| 2.3 用原理图输入法进行设计 .....             | 43 |
| 2.4 资源分配编辑器 .....                 | 51 |
| 2.4.1 用户界面和主要功能 .....             | 51 |

|       |                          |     |
|-------|--------------------------|-----|
| 2.4.2 | 【Pin Planner】            | 52  |
| 2.5   | 工程设置                     | 54  |
| 2.6   | 嵌入式逻辑分析仪的应用              | 59  |
| 2.6.1 | SignalTap II 文件的建立       | 59  |
| 2.6.2 | 逻辑分析仪的使用操作               | 61  |
| 2.7   | 切换界面模式                   | 65  |
| 第3章   | 实用语法速查                   | 67  |
| 3.1   | VHDL 语法要素速查              | 67  |
| 3.1.1 | VHDL 标识符命名规则             | 67  |
| 3.1.2 | VHDL 数值表达方式              | 68  |
| 3.1.3 | VHDL 操作符                 | 69  |
| 3.2   | VHDL 语句格式速查              | 72  |
| 3.3   | Verilog HDL 语法要素         | 82  |
| 3.3.1 | Verilog HDL 标识符          | 82  |
| 3.3.2 | Verilog HDL 注释           | 82  |
| 3.3.3 | Verilog 的四种逻辑值           | 82  |
| 3.3.4 | Verilog HDL 数据类型         | 83  |
| 3.3.5 | 运算符                      | 85  |
| 3.4   | Verilog HDL 语句格式速查       | 88  |
| 3.4.1 | 设计单元：模块                  | 88  |
| 3.4.2 | 声明                       | 89  |
| 3.4.3 | 模块并行执行语句格式               | 90  |
| 3.4.4 | 顺序执行语句                   | 92  |
| 第4章   | GW48 教学实验系统说明            | 94  |
| 4.1   | GW48 系列教学实验系统原理与使用介绍     | 94  |
| 4.1.1 | GW48 系统使用注意事项            | 94  |
| 4.1.2 | 系统构成与使用方法                | 94  |
| 4.2   | 实验电路结构图                  | 100 |
| 4.2.1 | 实验电路信号资源符号图说明            | 100 |
| 4.2.2 | 各实验电路结构图特点               | 101 |
| 4.3   | GW48-PK 系统结构图信号名与芯片引脚对照表 | 112 |
| 第5章   | RC-EDA 实验开发系统简介          | 117 |

## 实验与课程设计篇

|     |             |     |
|-----|-------------|-----|
| 第6章 | 基础实验        | 127 |
| 6.1 | 实验操作注意事项    | 127 |
| 6.2 | 实验总结与实验报告要求 | 127 |

|                                     |     |
|-------------------------------------|-----|
| 6.3 基础实验项目 .....                    | 128 |
| 实验 1 仪器的熟悉及简单组合电路的设计 .....          | 128 |
| 实验 2 4 位硬件加法器 VHDL 设计 .....         | 128 |
| 实验 3 触发器的设计 .....                   | 129 |
| 实验 4 含异步清零和同步时钟使能的 4 位加法计数器 .....   | 130 |
| 实验 5 7 段数码显示译码器设计 .....             | 130 |
| 实验 6 组合逻辑电路设计 .....                 | 132 |
| 实验 7 三人裁判表决器设计 .....                | 134 |
| 实验 8 扫描显示电路的驱动 .....                | 134 |
| 实验 9 用状态机实现序列检测器的设计 .....           | 134 |
| 实验 10 用状态机对 ADC0809 的采样控制电路实现 ..... | 135 |
| 实验 11 组合电路设计 .....                  | 135 |
| 实验 12 VGA 显示接口设计实验 .....            | 136 |
| 实验 13 二进制码转换成 BCD 码 .....           | 137 |
| 第 7 章 课程设计 .....                    | 139 |
| 7.1 概述 .....                        | 139 |
| 7.2 课程设计内容 .....                    | 139 |
| 设计 1 数字式竞赛抢答器 .....                 | 139 |
| 设计 2 数字钟 .....                      | 140 |
| 设计 3 数字频率计 .....                    | 140 |
| 设计 4 拔河游戏机 .....                    | 141 |
| 设计 5 乒乓球比赛游戏机 .....                 | 141 |
| 设计 6 交通信号灯控制器 .....                 | 142 |
| 设计 7 电子密码锁 .....                    | 143 |
| 设计 8 彩灯控制器 .....                    | 143 |
| 设计 9 脉冲按键电话显示器 .....                | 143 |
| 设计 10 简易电子琴 .....                   | 144 |
| 设计 11 出租车自动计费器 .....                | 144 |
| 设计 12 洗衣机控制器 .....                  | 145 |
| 设计 13 秒表设计 .....                    | 145 |
| 设计 14 简易函数信号发生器设计 .....             | 145 |
| 设计 15 采用流水线技术设计高速数字相关器 .....        | 146 |
| 设计 16 循环冗余校验 (CRC) 模块设计 .....       | 147 |
| 设计 17 FPGA 步进电机细分驱动控制设计 .....       | 150 |
| 设计 18 直流电机的 PWM 控制 .....            | 151 |
| 设计 19 测相仪设计 .....                   | 153 |



# 基础知识篇



- Quartus II 6.0 软件操作指南
- Quartus II 应用技巧
- 实用语法速查
- GW48教学实验系统说明
- RC-EDA实验开发系统简介



# 第 1 章

## Quartus II 6.0 软件操作指南



### 1.1 Quartus II 6.0 简介

对于初步接触电子设计自动化 (Electronics Design Automation, EDA) 设计技术的读者, 首先需要熟悉开发软件的应用环境, 因此本章将着重介绍 Quartus II 6.0 的应用方法。本章介绍中的应用实例, 均属比较简单的设计, 读者可先不必深究语法细节, 而将重点放在熟练运用开发环境上。

Altera Quartus II 软件提供完整的多平台设计环境, 能够直接满足特定的设计需要, 为 CPLD/FPGA 开发和可编程片上系统 (SOPC) 提供全面的设计环境。Quartus II 软件含有 FPGA 和 CPLD 设计所有阶段的解决方案。在 Quartus II 6.0 中, 设计者可以依照个人偏好, 自定义开发环境的布局、菜单、命令和图表等。初次打开 Quartus II 6.0 软件时, 可在 Quartus II 用户界面和 MAX+PLUS II 用户界面之间进行选择, 满足不同类型用户的需求。

在桌面上双击 Quartus II 的快捷图标或者执行【程序】/【Altera】/【Quartus II 6.0】/【Quartus II 6.0】命令, 启动 Quartus II 6.0 程序, 出现如图 1-1 所示的启动界面。

进入用户界面后, 可见其默认界面如图 1-2 所示。用户界面由标题栏、菜单栏、工具栏、工程导航窗口、状态显示窗口、信息提示窗口及工程工作区等区域构成。进入用户界面后, 用户可以在菜单栏上执行【Tools】/【Customize】命令, 在弹出的【Customize】对话框中根据个人操作习惯, 自定义 Quartus II 软件的布局、菜单、命令和图标。

典型的 Quartus II 设计流程如图 1-3 所示。结合本流程图, 本章将引导读者逐步建立工程、完成设计输入、进行仿真, 直至完成编程配置。本章内容将着重于步骤介绍, 对各个编辑器及实用工具不做详细介绍。读者可参考第 4 章内容, 熟悉它们的详细操作与设置。另外读者在操作过程中, 对不熟悉的界面或工具, 可查找 Quartus II 的帮助信息 (【Help】菜单), 获取相关介绍。

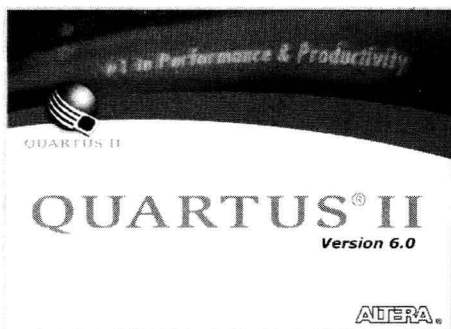


图 1-1 Quartus II 6.0 启动界面

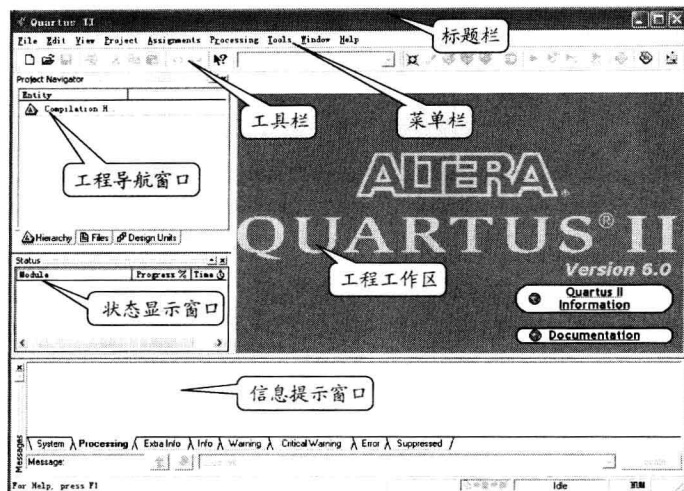


图 1-2 Quartus II 6.0 用户界面

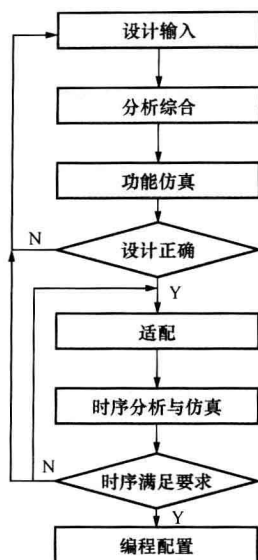


图 1-3 Quartus II 典型的 EDA 设计流程

## 1.2 设计流程操作指南

和目前多数软件开发环境相同，Quartus II 6.0 对设计项目也采取工程管理模式。即在一个工程下，可以包含多个设计文件，通过工程管理，可以随时根据设计需要调整各个设计文件之间的层次结构关系。可以将其他设计资源加入本工程，也可将某些设计文件从本工程中移除。工程管理使得 EDA 开发过程变得更加灵活。

### 1.2.1 建立新工程

完成一个设计任务，或者进行一项系统设计，都需要新建一个工程。Quartus II 6.0（以下简称 Quartus II）工程包含在可编程器件中最终实现设计需要的所有设计文件、配置文件、层次管理文件、软件源文件和其他相关文件。在 Quartus II 中，工程管理能够实现如下功能：使用 Quartus II 模块编辑器、文本编辑器、MegaWizard 插件管理器和 EDA 设计输入工具可以建立包括 Altera 宏功能模块、参数化宏单元库（LPM）和知识产权（IP）核在内的各种设计；使用修订，可以比较工程多个版本的设置和分配，更快、更有效地满足设计要求。

Quartus II 为用户提供了新工程建立向导【New Project Wizard】，通过该向导，用户可以完成建立新工程所需的基本步骤：定义工程的工作文件夹、设置工程名称、指定一个设计实体为工程的顶层实体（顶层实体可在工程设计过程中随时改变）。下面结合实验一的设计内容“二选一多路选择器”介绍如何通过【New Project Wizard】建立新工程。读者可跟随本书的介绍进行实际操作，更利于理解和掌握。



#### 【实例讲解 1-1】 建立一个新的 Quartus II 工程

启动 Quartus II 6.0，系统会在启动后自动弹出如图 1-4 所示的询问对话框，询问是否建

立新工程。单击【是】按钮，进入新建工程向导【New Project Wizard】。

若未弹出上述询问对话框，在启动后的 Quartus II 6.0 界面中，在菜单栏上执行【File】/【New Project Wizard】命令，也可以进入该向导。该向导首页是介绍页面，如图 1-5 所示。

该页介绍了【New Project Wizard】的 5 项功能，包括：

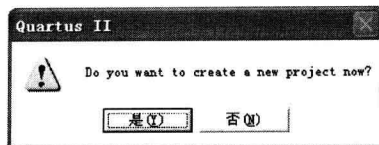


图 1-4 建立新工程询问对话框

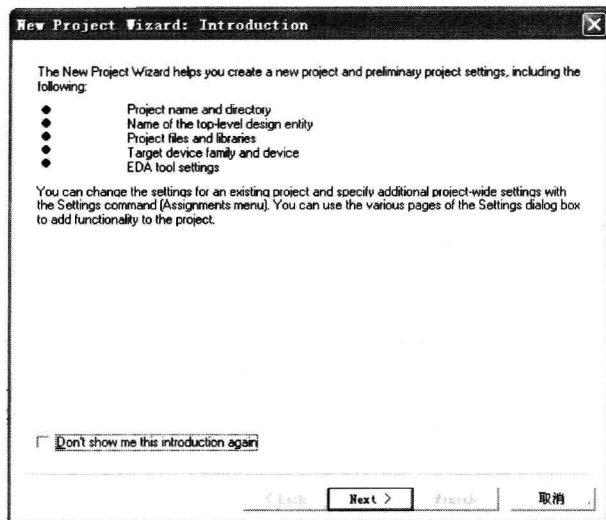


图 1-5 新建工程向导介绍页

- (1) 设置工程名称和工作文件夹。
- (2) 指定顶层实体的名称。
- (3) 工程中要包含的设计文件及库文件。
- (4) 该设计要使用的 CPLD/FPGA 目标器件的器件家族（系列）和具体器件型号。
- (5) EDA 仿真工具的设置。

这 5 项功能将在后续的页面中，每页完成一项。另外，该页还提示用户，用户可以在系统主菜单的【Assignments】菜单中的【Settings】对话框中更改工程的各项设置，或者添加一些不同的工程设置。即本向导帮助用户建立初步的工程设置，用户可以在以后方便地利用菜单命令和对话框修订设置项或添加功能设置，本书将在后续介绍中说明这些菜单命令和对话框功能。

由于该页只是信息介绍页，用户熟悉这些内容后，可以勾选底部的复选框，不再显示该介绍信息。

单击【Next】按钮，进入【New Project Wizard】设置的第 1 页——【Directory, Name, Top-Level Entity】页面，如图 1-6 所示。在该页进行工作文件夹、工程名称、顶层实体名称的设置。

在该页面内包含了 3 个设置项。第一项即设置工作文件夹，单击右侧的浏览按钮，选择用户设计的工作文件夹。本例中，工作文件夹选择 f:/EDA Examples/MUX21A。

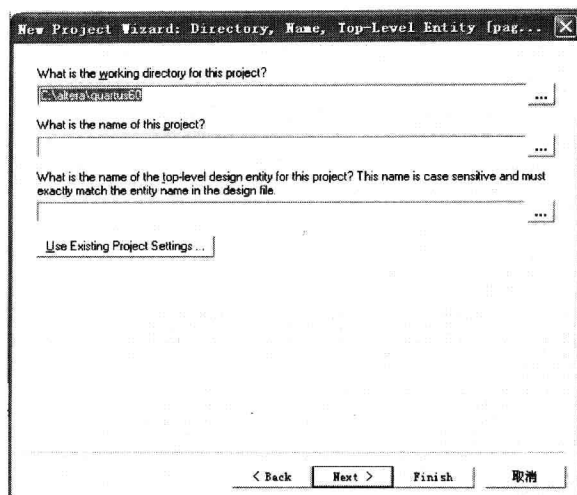


图 1-6 工程名称与工作文件夹设置对话框

**注 意**

选择工作文件夹时，不能选择硬盘各分区的根目录作为工作文件夹，否则会导致工程不能编译综合。



第二项即设置工程名称，输入工程名称时，系统会自动的在第三栏内同步的写出相同的顶层实体名称。如果用户要将顶层实体命名为不同的名称，可自行更改。但需注意，顶层实体名称必须与具体设计文件的实体名保持一致，并且在编译综合时应确保该设计文件作为顶层文件。初次接触的用户，建议保持该一致性，避免出现无法编译综合的情况。待熟悉系统各项设置之后，可随意设置顶层实体名称。本例中，将工程名和顶层实体名同设为“mux21a”，如图 1-7 所示。

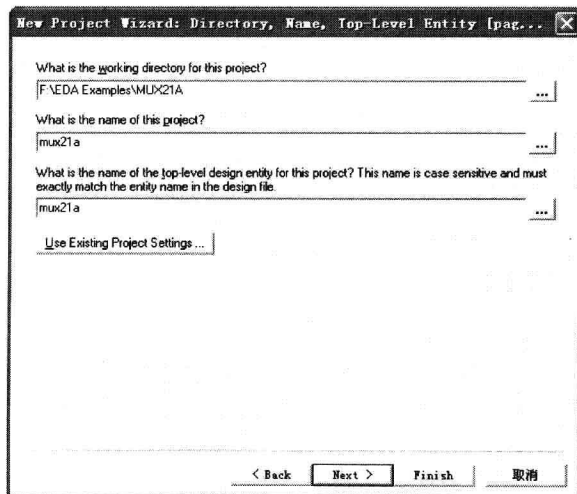


图 1-7 文件夹工程名称及实体设置

单击【Next】按钮，进入【New Project Wizard】的第2页——【Add Files（文件添加）】页面，如图1-8所示。

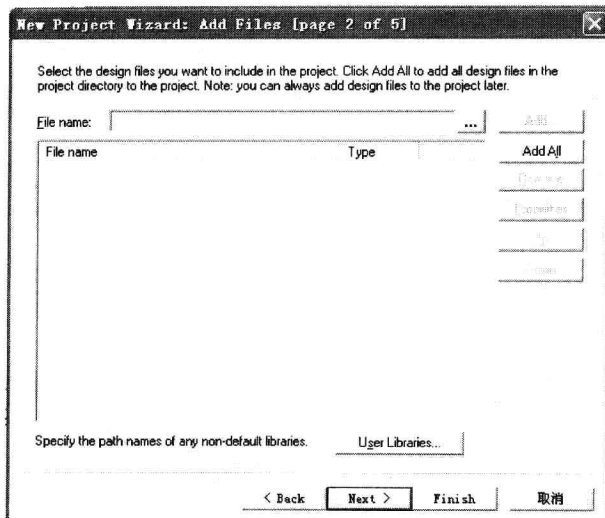


图1-8 文件添加对话框

在该页进行设计文件及库文件的添加工作。单击【File name】文本框右侧的浏览按钮, 可以选择不同路径下的设计文件，加入本工程。通过本页，也可以移除设计文件。单击下部的【User Libraries】按钮，弹出【User Libraries】对话框，将非默认库文件路径加入本工程，使其中的设计资源对本工程可见。本例中，要新建设计文件，所以不进行任何文件添加工作，也不需要添加其他库资源。

单击【浏览】按钮，进入【New Project Wizard】的第3页——【Family & Device Settings】[器件家族（系列）与型号设置]页面，如图1-9所示。

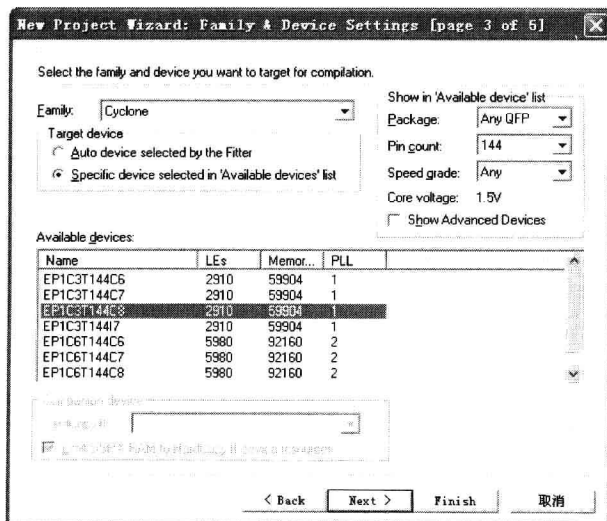


图1-9 器件家族与型号设置对话框

在该页进行目标器件的选择和指定,用户根据自己的硬件资源进行相应的选择,在选择具体器件的时候,首先要指定正确的器件家族(Family)。在【Family】文本框的下拉列表中选择正确的器件系列。各系列的芯片型号众多,可在【Available device】选项区域中看到属于该系列的器件型号列表,为了快速定位器件型号,可以使用页面右侧上方的过滤项。该过滤选项通过三栏内容:【Package(封装形式)】、【Pin count(引脚数)】、【Speed grade(速度等级)】来滤除不符合要求的器件型号,从而快速找到目标器件。

本例中,将目标器件选定为 Cyclone 系列的 EP1C3T144C8。用户可根据手头的硬件资源选择与目标器件相同的型号。因为适配与下载的过程要与硬件结合,如果器件型号选取与目标硬件不一致,会导致下载失败。

单击【Next】按钮,进入【New Project Wizard】的第4页——【EDA Tool Settings(EDA工具设置)】页面,如图1-10所示。

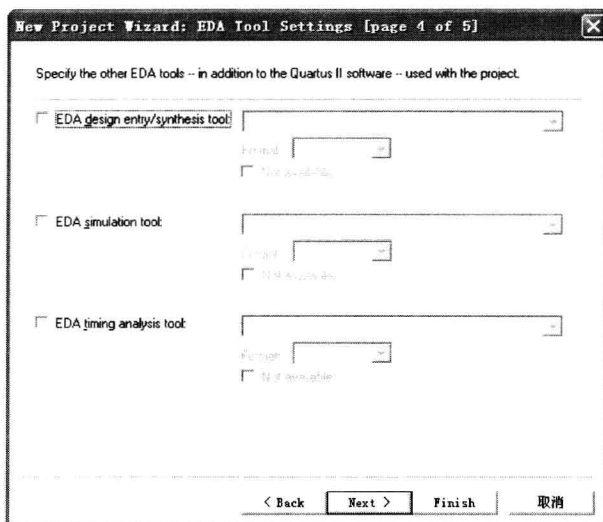


图 1-10 EDA 工具页面

在该页面内,用户可以选择 Altera 公司以外的第三方公司提供的其他 EDA 工具软件,前提是这些软件已经安装。本例中使用 Quartus II 自带的工具软件即可,不经任何设置。

单击【Next】按钮,进入【New Project Wizard】的第5页——【Summary(工程信息汇总)】页面,如图1-11所示。

该页将用户通过新建工程向导【New Project Wizard】建立的新工程的所有信息进行总结,显示出来,用户如发现有需要修正的地方可单击【Back】按钮,回到前方页面修正。若所有设置均正确,则单击【Finish】按钮,完成新工程建立。

进入该工程设计界面如图1-12所示。

通过上面建立新工程的操作,读者应该基本掌握了【New Project Wizard】的使用。在工程建立过程中,若没有设计文件添加,或者不需要额外的 EDA 工具,则第2页和第4页的设置可以忽略。

工程设置为设计搭建了一个工作平台,具体设计功能的实现,则依靠设计文件来实现,接下来的工作就是设计输入。

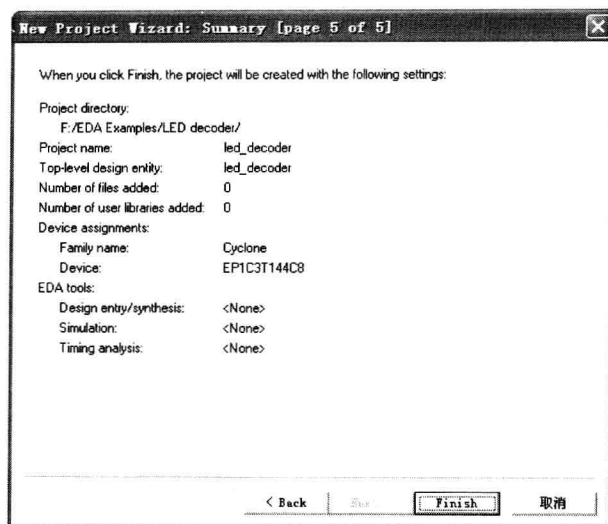


图 1-11 工程信息汇总页面

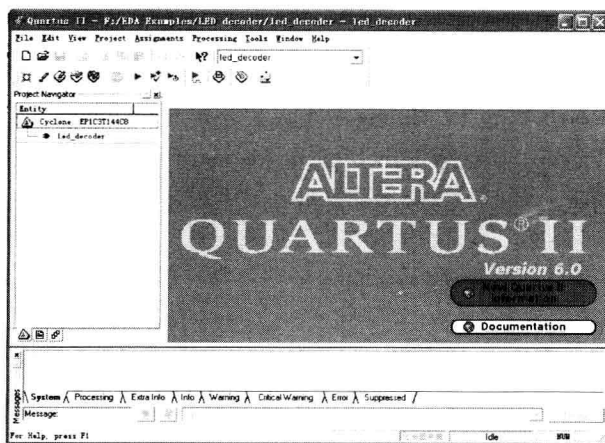


图 1-12 工程 LED decoder 的设计界面

### 1.2.2 设计输入

Quartus II 6.0 支持多种设计输入方式。设计输入可以采用文本形式的文件（如 VHDL、Verilog HDL、AHDL 等）、存储器数据文件（如 HEX、MIF 等）、波形文件输入、原理图设计输入等。还可以采用第三方 EDA 工具产生的文件（如 EDIF、HDL、VQM 等）。另外，在一个工程中，还支持集中设计输入方法的混合输入方法。

下面简单介绍几种常用的设计输入方式。

#### 1. Verilog HDL/VHDL 硬件描述语言设计输入

硬件描述语言（Hardware Description Language, HDL）设计是大型设计中通常采用的方式。目前比较流行或通用的 HDL 语言有 VHDL、Verilog HDL 等。它们的共同特点是易于实现自顶向下的设计方法，易于模块划分和复用，移植性好、通用性强，具有较好的硬件平台无关性，设计不因芯片工艺和结构的改变而改变，利于向 ASIC 的移植。HDL 语言文件是纯文本文件，用任何文本编辑器都可以编辑。有些编辑器集成了语言检查、语法辅助模板等功

能, 给 HDL 语言设计和调试提供了极大便利。

Candence 公司是一家著名的 EDA 公司, 在该公司的努力下, Verilog HDL 于 1995 年成为 IEEE 标准, 也是民间公司第一个硬件描述语言标准, 即 Verilog HDL 1364—1995。由于 Verilog HDL 语言是从 C 语言发展而来的, 因此有 C 语言基础的设计人员能够较快入门。

### 2. AHDL (Altera Hardware Description Language, AHDL) 设计输入

ALTERA 公司作为半导体器件公司, 其 CPLD 器件在世界市场上占主导地位。该公司不仅是硬件生产厂商, 也是 EDA 工具开发商。它的 EDA 工具软件 Quartus II 由于人机界面友好、易于使用、性能优良, 而在 FPGA、CPLD 器件设计领域得到广泛应用。AHDL 是 Altera 公司开发的针对本公司器件的硬件描述语言, 只能用于 Altera 公司生产的 CPLD/FPGA 器件, 其代码不能移植到其他公司的器件上 (如 Xilinx、Lattice 等), 所以通用性不强。AHDL 语法简洁, 是完全集成到 Quartus II 软件系统中的一种高级、模块化语言。但由于通用性差, 使用较少。

### 3. 模块/原理图设计输入 (Block Diagram/Schematic Files)

原理图输入是 CPLD/FPGA 设计中惯常采用的基本方法。各种 EDA 设计环境都包含这种输入方法。原理图输入法直观、易用, 可直接调用元件库中的功能模块, 以原理图的方式连接。功能强大、门类齐全的设计库是原理图设计输入方式顺利实施的重要保证。而元件库通常由不同公司提供, 也就具有不同的结构特点, 因此, 涉及在不同公司器件间进行设计移植的时候, 往往需要做较大改动甚至重新设计。

### 4. 利用 Mega Wizard Plug-In Manager 生成宏功能模块/IP 核

利用 Quartus II 提供的 Mega Wizard Plug-In Manager 生成可参数化设计的宏功能模块, 能够很好地整合硬件资源, 同时可以降低开发难度, 缩短开发周期。

HDL 语言来自不同地方, 由不同语言演变而来, 为了各平台之间相互转换, 又推出了 EDIF (Electronic Design Interchange Format)。它不是一种语言, 而是用于不同数据格式的 EDA 工具之间的交换设计数据。

在本示例工程中, 以文本方式输入用 VHDL 语言描述的七段数码管译码器的设计。读者可跟随下面的操作步骤进行实际操作。

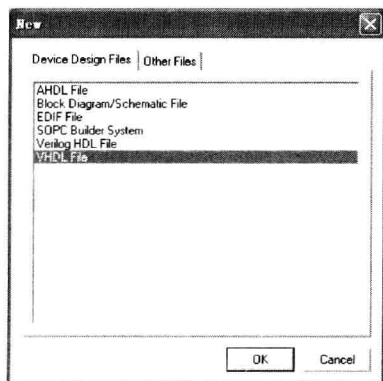


图 1-13 新建设计文件对话框



### 【实例讲解 1-2】VHDL 文本设计输入

(1) 在主菜单上执行【File】/【New】命令, 或者单击工具栏上的新建按钮 , 系统弹出【New】对话框, 如图 1-13 所示。

(2) 选择 VHDL File 文件类型, 单击【OK】按钮, 建立空白 VHDL 设计文件 VHDL1.vhd。单击【保存】按钮 , 或者在主菜单上执行【File】/【Save】命令, 保存设计文件, 注意命名为“mux21a.vhd”, 与工程建立时设置的顶层实体名称一致。

将数码管译码器的 VHDL 语言描述输入, 代码如下

所示。保存程序, 设计输入就完成了。

```
ENTITY mux21a IS  
    PORT(a,b,s : IN bit;
```