



普通高等教育“十二五”规划教材

EDA技术与应用

陈忠平 高金定 主 编

袁碧胜 龚 亮 高见芳 侯玉宝 胡彦伦 副主编



中国电力出版社
CHINA ELECTRIC POWER PRESS



普通高等教育“十二五”规划教材

EDA技术与应用

主 编 陈忠平 高金定

副主编 袁碧胜 龚 亮 高见芳 侯玉宝 胡彦伦

编 写 李锐敏 陈建忠 周少华 龙晓庆

主 审 胡凤忠



中国电力出版社
CHINA ELECTRIC POWER PRESS

内 容 提 要

本书为普通高等教育“十二五”规划教材。

本书共 10 章，主要内容包括 EDA 技术概述、CPLD/FPGA 大规模可编程逻辑器件、VHDL 硬件描述语言、Quartus II 软件的使用、常用数字电路的 VHDL 实现、LPM 宏功能块与 IP 核应用、SOPC 技术、FPGA 的显示及键盘控制、FPGA 的应用设计实例以及 EDA 技术实验等。本书根据现代电子系统的设计特点，从实验、实践、实用的角度，通过丰富的实例系统地介绍了 EDA 技术的理论基础和电子系统的 VHDL 设计方法。本书内容丰富新颖，结构清晰，理论联系实际，通俗易懂，通过大量范例的讲解，便于读者对内容的理解和掌握。

本书可作为高等院校电子信息、电气、通信、自动控制、计算机及相近专业的本科或高职高专的 EDA 技术教材，也可作为广大电子设计人员的设计参考书或使用手册。

图书在版编目 (CIP) 数据

EDA 技术与应用/陈忠平, 高金定主编. —北京: 中国电力出版社, 2013. 11

普通高等教育“十二五”规划教材

ISBN 978-7-5128-5035-9

I. ①E… II. ①陈…②高… III. ①电子电路—电路设计—计算机辅助设计—高等学校—教材 IV. ①TN702

中国版本图书馆 CIP 数据核字 (2013) 第 238793 号

中国电力出版社出版、发行

(北京市东城区北京站西街 19 号 100005 <http://www.cepp.sgcc.com.cn>)

航远印刷有限公司印刷

各地新华书店经售

*

2013 年 11 月第一版 2013 年 11 月北京第一次印刷

787 毫米×1092 毫米 16 开本 22.75 印张 560 千字

定价 39.00 元

敬告读者

本书封底贴有防伪标签, 刮开涂层可查询真伪
本书如有印装质量问题, 我社发行部负责退换

版权专有 翻印必究

前 言

EDA 技术是 20 世纪 90 年代初发展起来的,在当今数字化和网络化的信息技术革命大潮中,基于 CPLD/FPGA 的 EDA 技术获得了飞速的发展,EDA 技术已成为电子产品开发研制的动力源和加速器,是现代电子设计的核心。EDA 技术在电子信息、通信、自动控制及计算机等领域的应用非常广泛。目前大多数高等院校已将电路仿真分析融入电子技术基础的教学中,大多高职院校开设印制电路板的设计课程,综合本科开设可编程器件的 EDA 技术。针对电子信息和自动化类培养模式的新需求以及教育部颁布的新学科专业调整方案 and 高校教材建设目标,力求通俗易懂、简明扼要、便于教学和自学的指导思想编写了本书。

本书共 10 章,分述如下:

第 1 章简要介绍了 EDA 技术及其发展,EDA 的主要内容及主要厂商,EDA 技术设计流程,数字系统的设计模型、方法、准则和步骤,EDA 技术的应用形式与应用场合。

第 2 章首先介绍了 PLD 的发展历程和分类方法及常用 CPLD 和 FPGA 的标识含义,然后分别讲述了 CPLD 和 FPGA 的内部结构与工作原理,接着讲解了 CPLD 和 FPGA 的编程与配置方法,最后对 CPLD 和 FPGA 进行性能比较,并为读者指明了 CPLD 和 FPGA 的选用方法。

第 3 章通过简单的程序示例介绍了 VHDL 程序的基本结构(如库、程序包、实体、结构体、配置)、语言要素(如文字规则、数据对象、数据类型、操作符等)、VHDL 顺序和并行语句(如赋值语句、流程控制语句、并行信号赋值语句、元件例化与映射语句等),通过这些知识的讲解,使读者能够轻松学习 VHDL 语言,并能快速地掌握 VHDL 程序的基本语法。

第 4 章 EDA 技术的核心是利用计算机完成电路设计的全程自动化,掌握 EDA 工具软件的使用,是 EDA 技术学习的重要一环。因此,本章首先对 Quartus II 进行初步的讲解,然后介绍了 Quartus II 软件的安装,接着从原理图、文本两方面讲述设计文件的输入,最后讲解了 Quartus II 设计项目的编译、仿真与编程方法。

第 5 章通过使用硬件描述语言 VHDL 实现的设计实例,介绍了 EDA 技术在组合逻辑电路、时序逻辑电路、存储器电路和状态机等常用数字电路设计中的应用。

第 6 章主要讲解了宏功能模块的使用方法,如 LPM_COUNTER 计数器宏模块的定制、流水线乘法累加器加法器模块、乘法器模块和锁存器模块的调用、LPM_RAM 随机存储器宏模块的调用、LPM_ROM 只读存储器宏模块的调用、LPM_PLL 锁相环的定制。

第 7 章首先对 SOPC 技术、SOPC Builder 进行了简单介绍,然后讲述了 SOPC 系统设计流程,并对 SOPC 系统架构进行了较详细的叙述。最后以拉幕式与闭幕式的花样灯显示系统为例,详细讲述了基于 Nios II 的 SOPC 系统开发过程。

第 8 章以单元实践项目形式介绍了 FPGA 的显示及键盘控制的硬件结构原理及其控制电路的 VHDL 的设计实现方法,给出各单元项目在 Quartus II 软件和 FPGA 实验开发平台上的设计仿真与下载测试的详细操作步骤。通过本章实践项目的训练,读者能够理解常用接

口电路的硬件结构原理及其驱动接口电路的 VHDL 设计方法,掌握 Quartus II 软件和 FPGA 实验开发平台的使用方法,熟悉 FPGA 实现数字控制系统电路的基本设计制作流程。

第 9 章以综合实践项目形式介绍数字控制系统电路的设计原理及其控制电路的 VHDL 代码设计,重点讲述了硬件电路、VHDL 程序设计、波形仿真及硬件验证。通过本章实践项目的学习,读者能够理解与掌握利用 FPGA 实现数字系统控制电路的实用开发技术。

第 10 章介绍了门电路及触发器、逻辑电路、宏功能块与 SOPC 技术、FPGA 综合应用等四大类,共 26 个实验。读者通过本章提供的 26 个实验操作,可以很好地掌握 EDA 的开发设计方法和 Quartus II、Nios II IDE 等工具软件的使用技能,提高 EDA 技术的应用和实践能力。

本书根据实际电路设计过程安排教学内容,实用性强;实例电路简单,选用软件成熟,取材和编排上,由浅入深,通俗易懂;基础技术内容详尽,实践性强;每章后面附有总结和思考题,便于进一步拓展学习。突出应用,强化学生实践能力。特别说明:本书由于软件原因,一些截图里面的元件符号仍采用旧符号,电路原理图里面的元件符号均采用国际新符号。

本书由陈忠平(湖南工程职业技术学院信息工程系)、高金定(湖南涉外经济学院电子信息科学与技术系)担任主编,袁碧胜(长沙航天工业学校)、龚亮(湖南工程职业技术学院)、高见芳(湖南科技职业技术学院)、侯玉宝(湖南涉外经济学院电子信息科学与技术系)、胡彦伦(湖南衡阳技师学院)担任副主编。湖南航天诚远精密机械有限公司刘琼高工对本书也提出了宝贵意见。湖南工程职业技术学院的李锐敏、陈建忠、周少华、龙晓庆参与了第 1 章、第 10 章的编写工作。

本书由湖南涉外经济学院电子信息科学与技术系的胡凤忠教授(研究员)担任主审,他对本书提出了宝贵意见。同时,在本书编写过程中,参考了相关领域专家、学者的著作和文献。在此一并致谢。

由于编者知识水平和经验有限,书中难免存在缺点和错漏,敬请广大读者批评指正。

编者

2013 年 7 月

目 录

前言

1 EDA 技术概述	1
1.1 EDA 技术及其发展	1
1.2 EDA 主要内容及主要 EDA 厂商	5
1.3 EDA 设计流程	9
1.4 数字系统的设计	13
1.5 EDA 技术的应用	17
小结	18
习题	19
2 CPLD/FPGA 大规模可编程逻辑器件	20
2.1 可编程逻辑器件概述	20
2.2 CPLD/FPGA 结构与工作原理	24
2.3 CPLD/FPGA 的编程与配置	34
2.4 CPLD/FPGA 的比较和选用	42
小结	44
习题	44
3 VHDL 硬件描述语言	46
3.1 硬件描述语言概述	46
3.2 VHDL 程序结构	49
3.3 VHDL 语言要素	61
3.4 VHDL 顺序语句	78
3.5 VHDL 并行语句	102
小结	115
习题	116
4 Quartus II 软件的使用	119
4.1 Quartus II 的初步认识	119
4.2 Quartus II 的安装	122
4.3 Quartus II 的设计文件输入	126
4.4 Quartus II 设计项目的编译	134
4.5 Quartus II 设计项目的仿真与器件编程	136
小结	141
习题	142
5 常用数字电路的 VHDL 实现	143
5.1 组合逻辑电路的 VHDL 实现	143
5.2 时序逻辑电路的 VHDL 实现	153
5.3 存储器电路的 VHDL 实现	169

5.4	状态机的 VHDL 实现	174
	小结	182
	习题	183
6	LPM 宏功能块与 IP 核应用	184
6.1	宏功能模块概述	184
6.2	LPM 计数器宏模块	187
6.3	流水线乘法累加器的设计	191
6.4	LPM 随机存储器宏模块	196
6.5	LPM 只读存储器宏模块	201
6.6	LPM 锁相环宏模块	207
	小结	211
	习题	211
7	SOPC 技术	212
7.1	SOPC 技术简介	212
7.2	SOPC Builder 简介	215
7.3	SOPC 系统设计流程	217
7.4	SOPC 系统架构	218
7.5	基于 Nios II 的 SOPC 开发实例	229
	小结	249
	习题	250
8	FPGA 的显示及键盘控制	251
8.1	流水灯显示控制	251
8.2	8 位数码管动态显示控制	257
8.3	矩阵键盘控制	264
8.4	LCD1602 液晶显示控制	274
	小结	289
	习题	289
9	FPGA 的应用设计实例	291
9.1	模拟交通信号灯控制设计	291
9.2	数字频率计的设计	300
9.3	数字秒表的设计	304
9.4	音乐播放器的设计	309
9.5	步进电动机控制设计	320
	小结	326
	习题	326
10	EDA 技术实验	328
10.1	门电路及触发器实验	328
10.2	逻辑电路实验	337
10.3	宏功能块与 SOPC 技术实验	343
10.4	FPGA 综合应用实验	347
	附录 VHDL 保留字	356
	参考文献	357

1 EDA 技术概述

在当今数字化和网络化的信息技术大潮中,电子技术获得了飞速发展。随着电子技术的快速发展,电子系统的应用领域日益扩大,电子系统的功能和结构也具有更高的综合性、层次性和复杂性。在计算机技术的推动下,电子系统设计所采用的技术越来越先进,同时也使现代电子产品的性能进一步得到提高。因此,利用现代电子技术设计高性能、高可靠性的电子系统已成为设计人员必须掌握的一门技术。

1.1 EDA 技术及其发展

伴随着计算机、集成电路和电子系统设计的发展,融合了计算数学、优化理论、图论和拓扑学等多学科精髓发展起来的电子设计自动化(Electronic Design Automation, EDA)技术,正在成为现代电子设计技术的核心。

1.1.1 EDA 技术的含义

EDA 技术就是依靠功能强大的电子计算机,在 EDA 工具软件平台上,对以硬件描述语言(Hardware Description Language, HDL)为系统逻辑描述手段完成的设计文件,自动地完成逻辑编译、化简、分割、综合、优化和仿真,直至下载到可编程逻辑器件 CPLD/FPGA 或专用集成电路 ASIC 芯片中,实现既定的电子电路设计功能的一门新兴技术,或称为 IES/ASIC 自动设计技术。

EDA 技术是一种实现电子系统或电子产品自动化设计的技术,与电子技术、微电子技术的发展密切相关。同时它吸收了计算机科学领域的大多数最新研究成果,以计算机作为基本工作平台,利用计算机图形学、拓扑逻辑学、计算数学以及人工智能学等多种计算机应用学科的最新成果而开发出来的一整套电子 CAD 通用软件工具,是一种帮助电子设计工程师从事电子组件产品和系统设计的综合技术。EDA 技术的出现,为电子系统设计带来了一场革命性的变化。本书讨论的对象专指狭义的 EDA 技术,除了狭义的 EDA 技术外,广义的 EDA 技术中,还包括计算机辅助分析 CAA 技术(如 PSPICE、Multisim、MATLAB、Proteus 等)和印刷电路板计算机辅助设计 PCB-CAD 技术(如 Protel、Cadence、OrCAD、PADS Layout 等)。在广义的 EDA 技术中,CAA 技术和 PCB-CAD 技术具备逻辑综合和逻辑适配的功能,因此它并不能称为真正意义上的 EDA 技术,所以许多学者及工程师认为将广义的 EDA 技术称为现代电子设计技术更为合适。

1. EDA 技术特点

利用 EDA 技术(特指 IES/ASIC 自动设计技术)进行电子系统的设计,具有以下特点。

- (1) 用软件的方式对系统进行硬件设计;
- (2) 用软件方式设计的系统到硬件系统的转换是由开发软件自动完成的;
- (3) 设计过程中可用有关软件进行各种仿真;
- (4) 具有高层综合和优化的功能,能在系统级对系统进行综合、优化和仿真;

- (5) 采用大规模可编程器件实现系统；
- (6) 所设计的系统可现场编程，在线升级；
- (7) 提供开放性和标准化的操作环境，可实现资源共享、设计的移植；
- (8) 采用平面规划技术，可对逻辑综合和物理版图设计进行联合管理；
- (9) 带有嵌入 IP (Intellectual Property, 知识产权) 核的 ASIC (Application Specific Integrated Circuit, 专用集成电路) 设计，提供软、硬件协同设计工具；
- (10) 支持多人的并行设计，适合团队协作、分工设计。

2. EDA 技术的应用要素

EDA 技术的应用要素主要包括以下几个方面。

- (1) 大规模可编程逻辑器件。它是应用 EDA 技术完成电子系统设计的载体。
- (2) 硬件描述语言。它用来描述系统的结构和功能，是 EDA 技术的主要表达手段。
- (3) 软件开发工具。它是进行电子设计的智能化设计工具。
- (4) 实验开发平台。它是实现可编程逻辑器件编程下载和硬件验证的工具。

1.1.2 EDA 技术的发展和展望

早在 20 世纪 60 年代中期，人们就开始着眼于开发出各种计算机辅助设计工具来帮助设计人员进行集成电路和电子系统的设计。集成电路技术的发展，不断对 EDA 技术提出新的要求，并促进了 EDA 技术的发展。

1. EDA 技术的发展历程

EDA 技术伴随着计算机、集成电路和电子系统设计的发展，经历了计算机辅助设计 (Computer Assist Design, CAD)、计算机辅助工程设计 (Computer Assist Engineering Design, CAED) 和电子系统设计自动化 (Electronic System Design Automation, ESDA) 这三个阶段。

(1) CAD 阶段。20 世纪 70 年代，随着中小规模集成电路的开发应用，传统的手工制图设计印刷电路板和集成电路的方法已无法满足设计精度和效率的要求，因此工程师们开始进行二维平面图形的计算机辅助设计，以便解脱繁杂、机械的版图设计工作，这就产生了第 1 代 EDA 工具——CAD (计算机辅助设计)。这是 EDA 发展的初级阶段，其主要特征是利用计算机辅助进行电路原理图编辑，PCB 布图布线。它可以减少设计人员的烦琐重复劳动，但自动化程度低，需要人工干预整个设计过程。这类专用软件大多以计算机为工作平台，易于学用，设计中小规模电子系统可靠有效，现仍有很多这类专用软件被广泛应用于工程设计中。

(2) CAED 阶段。20 世纪 80 年代，为适应电子产品在规模和制作上的需要，出现了以计算机仿真和自动布线为核心技术的第 2 代 EDA 技术，即 CAED 计算机辅助工程设计阶段。这一阶段的主要特征是以逻辑模拟、定时分析、故障仿真、自动布局布线为核心，重点解决电路设计的功能检测等问题，使设计能在产品制作之前预知产品的功能与性能，已经具备了自动布局布线、电路的逻辑仿真、电路分析和测试等功能，其作用已不仅仅是辅助设计，而且可以代替人进行某种思维。与 CAD 相比，CAED 除了纯粹的图形绘制功能外，又增加了电路功能设计和结构设计，并且通过电气连接网络表将两者结合在一起，从而实现工程设计。

(3) ESDA 阶段。20 世纪 90 年代，尽管 CAD/CAED 技术取得了巨大的成功，但并没

有把人从繁重的设计工作中彻底解放出来。在整个设计过程中,自动化和智能化程度还不高,各种 EDA 软件界面千差万别,学习使用比较困难,并且互不兼容,直接影响到设计环节间的衔接。基于以上不足,EDA 技术继续发展,进入了以支持高级语言描述、可进行系统级仿真和综合技术为特征的第 3 代 EDA 技术——ESDA 电子系统设计自动化阶段。这一阶段采用一种新的设计概念自顶而下 (Top-Down) 的设计方式和并行工程 (Concurrent Engineering) 的设计方法,设计者的精力主要集中在所要电子产品的准确定义上,EDA 系统去完成电子产品的系统级至物理级的设计。ESDA 极大地提高了系统设计的效率,使广大的电子设计师开始实现“概念驱动工程”的梦想。设计师们摆脱了大量的辅助设计工作,而把精力集中于创造性的方案与概念构思上,从而极大地提高了设计效率,使设计更复杂的电路和系统成为可能,产品的研制周期大大缩短。

2. EDA 技术的发展趋势

EDA 技术给电子系统设计带来了革命性的变化,在仿真和设计两方面支持标准硬件描述语言的功能强大的 EDA 软件不断更新、增加,使电子 EDA 技术得到了更快的发展。

(1) 可编程逻辑器件的发展趋势。可编程逻辑器件已经成为当今世界上最富吸引力的半导体器件,在现代电子系统设计中扮演着越来越重要的角色。过去的几年里,可编程逻辑器件 (Programmable Logic Device, PLD) 市场的增长主要来自大规模可编程逻辑器件,即复杂可编程逻辑器件 (Complex Programmable Logic Device, CPLD) 和现场可编程门阵列 (Field Programmable Gate Array, FPGA),其未来的发展趋势如下。

1) 向高密度、高速度、宽频带方向发展。电子系统的发展必须以电子器件为基础。随着电子系统复杂度的提高,高密度、高速度和宽频带的可编程逻辑产品已经成为主流器件,其规模也不断扩大,从最初的几百门到现在的上百万门,有些已具备了片上系统 (System on a Chip, SOC) 集成的能力。这些高密度、大规模的可编程逻辑器件的出现,给现代电子系统 (复杂系统) 的设计与实现带来了巨大的帮助。设计方法和设计效率的飞跃,带来了器件的巨大需求,这种需求又促使器件生产工艺的不断进步,随着每次工艺的改进,可编程逻辑器件的规模都有很大扩展。

2) 向系统内可重构的方向发展。系统内可重构是指可编程 ASIC 在置入用户系统后仍具有改变其内部功能的能力。采用在系统内可重构技术,可以像对待软件那样通过编程来配置系统内硬件的功能,从而在电子系统中引入“软硬件”的全新概念。它不仅使电子系统的设计和产品性能的改进和扩充变得十分简便,还使新一代电子系统具有极强的灵活性和适应性,为许多复杂信号的处理和信息加工的实现提供了新的思路和方法。

3) 向可预测延时方向发展。当前的数字系统中,由于数据处理量的激增,要求其具有大的数据吞吐量,加之多媒体技术的迅速发展,要求能够对图像进行实时处理,就要求有高速的硬件系统。为了保证高速系统的稳定性,可编程逻辑器件的延时可预测性是十分重要的。用户在进行系统重构的同时,担心的是延时特性会不会因为重新布线而改变,延时特性的改变将导致重构系统的不可靠,这对高速的数字系统而言将是非常可怕的。因此,为了适应未来复杂高速电子系统的要求,可编程逻辑器件的高速可预测延时是非常必要的。

4) 向混合可编程技术方向发展。可编程逻辑器件的广泛应用使得电子系统的构成和设计方法均发生了很大的变化。但是,有关可编程器件的研究和开发工作多数都集中在数字逻辑电路上,直到 1999 年 11 月, Lattice 公司推出了在系统可编程模拟电路,为 EDA 技术的

应用开拓了更广阔的前景。其允许设计者使用开发软件在计算机中设计、修改模拟电路，进行电路特性仿真，最后通过编程电缆将设计方案下载至芯片中。已有多家公司开展了这方面的研究，并且推出了各自的模拟与数字混合型的可编程器件，相信在未来几年里，模拟电路及数模混合电路可编程技术将得到更大的发展。

5) 向低电压、低功耗方面发展。集成技术的飞速发展，工艺水平的不断提高，节能潮流在全世界的兴起，也为半导体工业提出了向降低工作电压、降低功耗的方向发展。可编程 ASIC 产品作为电子系统的重要组成部分，也不可避免地向 $3.3\text{V} \rightarrow 2.5\text{V} \rightarrow 1.8\text{V}$ 的标准靠拢，以便适应其他数字器件，扩大应用范围，满足节能的要求。

(2) 开发工具的发展趋势。面对当今飞速发展的电子产品市场，电子设计人员需要更加实用、快捷的开发工具，使用统一的集成化设计环境，改变优先考虑具体物理实现方式的传统设计思路，将精力集中到设计构思、方案比较和寻找优化设计等方面，以最快的速度开发出性能优良、质量一流的电子产品。开发工具的发展趋势如下。

1) 具有混合信号处理能力。目前，数字集成电路设计的 EDA 工具远比模拟集成电路的 EDA 工具多，模拟集成电路 EDA 工具开发的难度较大。但是，由于物理量本身多以模拟形式存在，实现高性能复杂电子系统的设计必然离不开模拟信号。20 世纪 90 年代以来，EDA 工具厂商都比较重视数模混合信号设计工具的开发。美国 Cadence、Synopsys 等公司开发的 EDA 工具已经具有了数模混合设计能力，这些 EDA 开发工具能完成含有模数变换、数字信号处理、专用集成电路宏单元、数模变换和各种压控振荡器在内的混合系统设计。

2) 高效的仿真工具。在整个电子系统设计过程中，仿真是花费时间最多的工作，也是占用 EDA 工具时间最多的一个环节。通常，可以将电子系统设计的仿真过程分为两个阶段，即设计前期的系统级仿真和设计过程中的电路级仿真。系统级仿真主要验证系统的功能，如验证设计的有效性等；电路级仿真主要验证系统的性能，决定怎样实现设计，如测试设计的精度、处理和保证设计要求等。要提高仿真的效率，一方面是要建立合理的仿真算法；另一方面是要更好地解决系统级仿真中，系统模型的建模和电路级仿真中电路模型的建模技术。在未来的 EDA 技术中，仿真工具将有较大的发展空间。

3) 理想的逻辑综合、优化工具。逻辑综合功能是将高层次系统行为设计自动翻译成门级逻辑的电路描述，做到了实际与工艺的独立。优化则是对于上述综合生成的电路网表，根据逻辑方程功能等效的原则，用更小、更快的综合结果替代一些复杂的逻辑电路单元，根据指定目标库映射成新的网表。随着电子系统的集成规模越来越大，几乎不可能直接面向电路图做设计，要将设计者的精力从烦琐的逻辑图设计和分析中转移到设计前期算法开发上。逻辑综合、优化工具就是要把设计者的算法完整高效地生成电路网表。

(3) 系统描述方式的发展趋势。

1) 描述方式简便化。早期的 EDA 工具设计输入时普遍采用原理图输入方式，以文字和图形作为设计载体和文件，将设计信息加载到后续的 EDA 工具，完成设计分析工作。原理图输入方式的优点是直观，能满足以设计分析为主的一般要求，但原理图输入方式不适合用 EDA 综合工具。

20 世纪 80 年代，电子设计开始采用新的综合工具，设计工作由逻辑图设计描述转向以各种硬件描述语言为主的编程方式。用硬件描述语言描述设计，更接近系统行为描述，且便于综合，更适于传递和修改设计信息，还可以建立独立于工艺的设计文件，不便之处是不太

直观,要求设计师具有硬件语言编程能力,但是编程能力需要长时间的培养。

到了 20 世纪 90 年代,一些 EDA 公司相继推出了一批图形化的设计输入工具。这些输入工具允许设计师用他们最方便并熟悉的设计方式(如框图、状态图、真值表和逻辑方程)建立设计文件,然后由 EDA 工具自动生成综合所需的硬件描述语言文件。图形化的描述方式具有简单直观、容易掌握的优点,是未来主要的发展趋势。

2) 描述方式高效化和统一化。C/C++ 语言是软件工程师在开发商业软件时的标准语言,也是使用最为广泛的高级语言。许多公司已经提出了不少方案,尝试在 C 语言的基础上设计下一代硬件描述语言。随着算法描述抽象层次的提高,使用 C/C++ 语言设计系统的优势将更加明显,设计者可以快速而简洁地构建功能函数,通过标准库和函数调用技术,创建更庞大、更复杂和更高速的系统。

但是,目前的 C/C++ 语言描述方式与硬件描述语言之间还有一段距离,还有待于更多 EDA 软件厂家和可编程逻辑器件公司的支持。随着 EDA 技术的不断成熟,软件和硬件的概念将日益模糊,使用单一的高级语言直接设计整个系统将是一个统一化的发展趋势。

1.2 EDA 主要内容及主要 EDA 厂商

1.2.1 EDA 技术的主要内容

作为一门发展迅速,有着广阔应用前景的新技术,EDA 技术涉及面广,内容丰富。要系统、全面掌握 EDA 技术,必须掌握一系列的相关知识和理论。比如作为载体的大规模可编程逻辑器件,作为主要表达手段的硬件描述语言,作为智能化设计工具的软件开发环境和作为下载和硬件验证工具的实验室开发系统等。

1. 大规模可编程逻辑器件

大规模可编程逻辑器件是利用 EDA 技术进行电子系统设计的载体。可编程逻辑器件是 20 世纪 70 年代发展起来的一种由用户编程以实现某种逻辑功能的新型逻辑器件,也是一种半定制的集成电路。

经过多年的发展,可编程逻辑器件已经由最初简单的可编程逻辑阵列(Programmable Logic Array, PLA)、可编程阵列逻辑(Programmable Array Logic, PAL)、通用阵列逻辑(Generic Array Logic, GAL)发展到目前应用最为广泛的 CPLD 与 FPGA。国际上生产 CPLD/FPGA 的主流公司,并且在国内占据市场份额较大的主要是 Xilinx、Altera 和 Lattice 等公司。

FPGA 是一种基于查找表 LUT (Look Up Table) 的可编程逻辑器件,在结构上主要分为可编程逻辑单元、可编程输入/输出单元和可编程连接三个部分。FPGA 内部阵列块之间采用分段式进行互连,结构比较灵活,但是延时不可预测;比较适合于触发器多、逻辑相对简单的数据型系统。FPGA 保存逻辑功能的物理结构多为 SRAM 型,即掉电后将丢失原有的逻辑信息,所以在使用中需要为 FPGA 芯片配置一个专用 ROM,将设计好的逻辑信息烧录到此配置芯片中。系统上电时,FPGA 就能自动从配置芯片中读取逻辑信息。

CPLD 是一种基于乘积项的可编程逻辑器件,主要由可编程逻辑宏单元、可编程输入/输出单元和可编程内部连线组成。CPLD 内部采用的固定长度的线进行各逻辑块的互连,因此,与 FPGA 相比,引脚到引脚的延时时间几乎是固定的,与逻辑设计无关,这使得设计

调试比较简单，逻辑设计中的毛刺现象比较容易处理，性价比较高。CPLD 具有很宽的输入结构，比较适合逻辑复杂、输入变量多、对触发器的需求量相对较少的逻辑型系统。另外，CPLD 结构大多为 EEPROM 或 Flash ROM 形式，具有编程后即可固定下载的逻辑功能，掉电后信息不丢失。

相比 PLA、GAL 而言，集成度高、速度快、可靠性好是 CPLD/FPGA 最显著的特点。在集成度方面，CPLD/FPGA 几乎可以将整个系统下载到同一芯片中，实现所谓 SOC 片上系统，大大缩小了产品体积，使之易于管理和屏蔽。在可靠性方面，只要设计得当，CPLD/FPGA 完全不存在类似于 MCU 的复位不可靠和 PC 可能跑飞的问题。CPLD/FPGA 还可将时钟延时缩短至 ns 级，大大提升了产品的系统性能。由于开发工具的通用性、设计语言的标准化以及设计过程与目标芯片的硬件结构的独立性，设计成功的各种逻辑功能块软件可以很好地兼容和移植，从而使得产品设计效率得到了大幅提高。美国 IT 公司认为，一个 ASIC 80% 的功能可用于 IP 核等现成逻辑合成。而未来大系统的 FPGA/CPLD 设计仅仅是各类再应用逻辑与 IP 核 (Core) 的拼装，其设计周期将更短。

2. 硬件描述语言

硬件描述语言 (Hardware Description Language, HDL) 是一种对于数字电路和系统进行性能描述的模拟语言，即利用高级语言来描述硬件电路的功能、信号连接关系以及各器件间的时序关系。

常用的 HDL 主要有 VHDL、Verilog HDL、ABEL、System Verilog 和 System C。学术界自 20 世纪 70 年代已经开始使用 HDL，发展至今已经有三十余年的历史。但是，最初由于各个 EDA 公司均开发支持自己公司产品的硬件描述语言，导致硬件描述语言品种繁多，互相之间不能通用，语言本身的性能也不够完善，影响了这种设计工具的推广。直到 20 世纪 80 年代，开始研究和应用标准化的硬件描述语言，VHDL 和 Verilog HDL 两种硬件描述语言先后成为 IEEE 的标准，采用硬件语言描述的设计方法才得到了广泛的应用。

VHDL 语言主要用于描述数字系统的结构、行为、功能和接口。它作为 IEEE 的工业标准硬件描述语言，在电子工程领域已成为事实上的通用硬件描述语言。

Verilog HDL 语言具有简捷、高效、易学易用、功能强大等特点，支持的 EDA 工具较多，适用于 RTL 级和门电路级的描述，其综合过程较 VHDL 稍简单，但其在高级描述方面不如 VHDL。

ABEL 作为一种支持各种不同输入方式的 HDL，被广泛用于各种可编程逻辑器件的软件功能设计，由于其语言描述的独立性，因此适用于各种不同规模的可编程器件的设计。

随着超大规模的集成电路的集成度越来越高，设计也趋于复杂。传统的设计方法，如原理图输入，HDL 语言描述在进行系统设计时，设计效率往往较低，特别是在算法由软件转换为硬件的环节上，设计者要耗费大量的时间和精力手工进行算法的转换。System C 是一种新的设计方法，也是一个 C++ 库，可以方便地实现一种软件算法的硬件实现及完成系统级的设计。

VHDL 和 Verilog HDL 作为 IEEE 的工业标准硬件描述语言，承担起几乎全部的数字系统设计任务。在电子工程领域，它们已经成为事实上的通用硬件描述语言。当前，VHDL 和 Verilog HDL 在现在的 EDA 设计中使用得最多，也拥有几乎所有主流 EDA 工具的支持，而 System Verilog 和 System C 还处于完善过程中。而从 EDA 技术的发展趋势来看，采用

System C 是一个发展方向, System C 将逐渐成为一种重要的设计手段。

3. 软件开发工具

软件开发工具是利用 EDA 技术进行电子系统设计的智能化的自动化设计工具, 目前比较流行的主流厂家的 EDA 软件工具有 Altera 公司推出的 MAX+plus II、Quartus II, Lattice 公司推出的 ispEXPERT 和 Xilinx 公司推出的 Foundation、ISE。其中 MAX+plus II、Foundation 推出较早, 已被其后推出的 Quartus II 和 ISE 所代替。另外还有一些第三方 EDA 工具, 是指其他厂商提供的软件工具, 如由 Model 技术公司开发的目前业界通用的仿真工具 Modelsim, 由 Synplicity 公司出品的业界流行的综合工具 Synplify/Synplify Pro 等。

Quartus II 是 Altera 公司近几年推出的 EDA 软件工具, 其设计工具完全支持 VHDL 和 Verilog 的设计流程, 其内部嵌有 VHDL、Verilog HDL 逻辑综合器。可以直接调用如 Leonardo Spectrum、Synplify Pro 和 FPGA Compiler II 等第三方综合工具。同样, Quartus II 具备仿真功能, 也支持第三方的仿真工具, 如 Modelsim。此外, Quartus II 为 Altera SOPC (a System on a Programmable Chip) 系统开发包进行系统模型设计提供了集成综合环境, 它与 MATLAB 和 DSP Builder 结合可以进行基于 FPGA 的 DSP 系统开发; 与 SOPC Builder 结合, 实现 SOPC (System on a Programmable Chip) 系统开发。

ispEXPERT System 是 ispEXPERT 的主要集成环境。通过它可以进行 VHDL、Verilog HDL 及 ABEL 语言的设计输入、综合、适配、仿真和在系统下载。ispEXPERT System 是目前流行的 EDA 软件中最容易掌握的设计工具之一, 它界面友好, 操作方便, 功能强大, 并与第三方 EDA 工具兼容良好。

ISE 是 Xilinx 公司最新集成开发的 EDA 工具。它采用自动化的、完整的集成设计开发环境, 提供从设计输入到综合、布线、仿真、下载的全部解决方案, 方便同其他 EDA 工具接口, 并支持 200MHz 以上的调整存储器接口, 是业界强大的 EDA 设计工具之一。

4. 实验室开发系统

实验室硬件开发平台是利用 EDA 技术进行电子系统设计的下载工具及硬件验证工具。硬件开发平台提供 CPLD/FPGA 芯片下载电路及 EDA 实验/开发的外围资源 (类似于用于单片机开发的仿真器), 供硬件验证用。一般包括: ①实验或开发所需的各类基本信号发生模块, 包括时钟、脉冲、开关信号等; ②CPLD/FPGA 输出信息显示模块, 包括数码显示、发光管显示、声响指示等; ③监控程序模块, 提供“电路重构软配置”; ④CPLD/FPGA 目标芯片和编程下载电路; ⑤通信接口电路, 如 RS-232 接口、USB 接口电路等。

1.2.2 主要 EDA 技术厂商

随着可编程逻辑器件应用的日益广泛, 许多 IC 制造厂家涉足 CPLD/FPGA 领域。下面, 对主要 EDA 厂商进行简单介绍。

(1) Altera。Altera 公司于 1983 年成立, 是专业设计、生产和销售高性能、高密度可编程逻辑器件 (PLD) 及相应开发工具的一家公司, 也是世界上“可编程芯片系统”(System On a Programmable Chip, SOPC) 解决方案倡导者。1984 年 Altera 公司推出 EP300 系列——世界上第一个易抹除可编程逻辑器件, 成为世界上第一个 PLD 器件供应商, 同时也成功开发了第一个基于 PC 机的开发系统。20 世纪 90 年代以后发展很快, 它成为最大可编程器件供应商之一。目前, Altera 公司拥有各类封装的 PLD 器件超过 500 种, 能够满足用户不同的需要。目前, 主流 CPLD 产品为 2004 年年底推出的 MAX II, 该产品采用 FPGA

结构, 0.18 μm Flash 工艺, 配置芯片集成在内部, 和普通 PLD 一样上电即可工作。Altera 的主流 FPGA 分为两大类, 一种侧重低成本应用, 容量中等, 性能可以满足一般的逻辑设计要求, 如 Cyclone (飓风)、Cyclone II、Cyclone III、Cyclone IV、Cyclone V; 还有一种侧重于高性能应用, 容量大, 能满足各类高端应用, 如 Startix、Stratix II、Stratix V 等, 用户可以根据自己的实际应用要求进行选择。

(2) Xilinx。Xilinx 公司于 1984 年成立, 是最大的可编程逻辑器件供应商之一。Xilinx 研发、制造并销售范围广泛的高级集成电路、软件设计工具以及作为预定义系统级功能的 IP (Intellectual Property) 核。Xilinx 首创了现场可编程逻辑阵列 (FPGA) 这一创新性的技术, 并于 1985 年首次推出商业化产品。目前 Xilinx 满足了全世界对 FPGA 产品一半以上的需求, 其产品已经被广泛应用于从无线电话基站到 DVD 播放机的数字电子应用技术中。目前, 主流 CPLD 产品为采用 Flash 工艺的 XC9500 和 1.8V 低功耗产品 CoolRunner-II。Xilinx 的主流 FPGA 分为两大类, 一种侧重低成本应用, 容量中等, 性能可以满足一般的逻辑设计要求, 如 Spartan 系列; 还有一种侧重于高性能应用, 容量大, 能满足各类高端应用, 如 Virtex 系列, 用户可以根据自己的实际应用要求进行选择。

(3) Lattice。Lattice 公司成立于 1983 年, 是在线可编程 (In System Programmable, ISP) 技术的发明者。ISP 技术极大地促进了 PLD 产品的发展。Lattice 公司提供业界最广泛范围的现场可编程门阵列 (FPGA)、可编程逻辑器件 (PLD) 及其相关软件, 包括现场可编程系统芯片 (FPSC)、复杂的可编程逻辑器件 (CPLD)、可编程混合信号产品 (ispPAC) 和可编程数字互连器件 (ispGDX)。与 Altera 和 Xilinx 相比, Lattice 的开发工具略逊一筹, 大规模 CPLD、FPGA 的竞争力还不够强, 但其中小规模 CPLD/FPGA 比较有特色, 种类齐全, 性能不错。1999 年 Lattice 收购 Vantis (原 AMD 子公司); 2001 年收购 Lucent 微电子的 FPGA 部门; 2002 年并购了 Agere 公司的 FPGA 部门, 是世界第三大可编程逻辑器件供应商。目前主流产品是 ispMACH4000、Mach XO 系列 CPLD 和 Lattice EC/ECP 系列 FPGA。此外, 在混合信号芯片上, 也有诸多建树, 如可编程模拟芯片 ispPAC、可编程电源管理、时钟管理等。

(4) Actel。Actel 公司成立于 1985 年, 是现场可编程门阵列器件 (FPGA) 的专业制造商。Actel 为反熔丝 (一次性烧写) PLD 的领导者, 由于反熔丝 PLD 抗辐射、耐高低温、功耗低、速度快, 所以在军品和宇航领域有较大优势, 而 Altera 和 Xilinx 公司一般不涉足军品和宇航级市场。Actel 公司于 1988 年推出第一个抗熔断 FPGA 产品, 它的 FPGA 产品被广泛应用于通信、计算机、工业控制、军事、航空和其他电子系统。由于采用了独特的抗熔丝硅体系结构, Actel 公司的 FPGA 产品具有可靠性高、抗辐射强、能够在极端环境条件下使用等特点, 因而被美国宇航局的太空飞船、哈勃望远镜修复、火星探测器、国际空间站等项目所采用。Actel 公司的产品主要以 FPGA 为主, 其中包括 SX-A 系列、SX 系列、MX 系列、ProASIC 系列、1200XL、3200DX、ACT3 和 ACT1 等。

(5) QuickLogic。QuickLogic 公司成立于 1988 年, 是一家集开发与销售 CPLD/FPGA 的公司。以一次性反熔丝工艺为主, 有一些集成硬核的 FPGA 比较有特色, 但总体上在我国销售量不大。

(6) Atmel。Atmel 公司成立于 1984 年, 是世界上高级半导体产品设计、制造和营销的领先者, 产品包括了微处理器、可编程逻辑器件、非易失性存储器、安全芯片、混合信号及

RF 射频集成电路。CPLD/FPGA 不是 Atmel 的主要业务，但其中小规模 CPLD 做得不错。FPSLIC (tm) (现场可编程的系统级集成电路) 是 Atmel 的一个革命性的产品，它将微控制器的处理能力和 FPGA 的灵活性有机地组合在了一起：AVR 核、外设、SRAM 程序存储器，以及 FPGA 模块。Atmel 也做了一些与 Altera 和 Xilinx 兼容的芯片，但在品质上与原厂家还有一些差距，在高可靠性产品中使用较少，多用在低端产品上。

虽然目前世界上有十几家生产 CPLD/FPGA 的公司，但最大的三家是 Altera、Xilinx 和 Lattice，其中 Altera 和 Xilinx 占有了 60% 以上的市场份额。在欧洲，使用 Xilinx 产品的用户较多；在日本和亚太地区，使用 Altera 产品的用户较多；在美国，则平分秋色。全球 CPLD/FPGA 产品 60% 以上是由 Altera 和 Xilinx 提供的，可以说 Altera 和 Xilinx 共同决定了 PLD 技术的发展方向。

1.3 EDA 设计流程

1.3.1 CPLD/FPGA 设计流程

CPLD/FPGA 的设计流程包括设计准备、设计输入、设计处理、器件编程和设计完成这 5 个步骤，以及功能仿真、时序仿真和器件测试这 3 个设计验证过程，如图 1-1 所示。

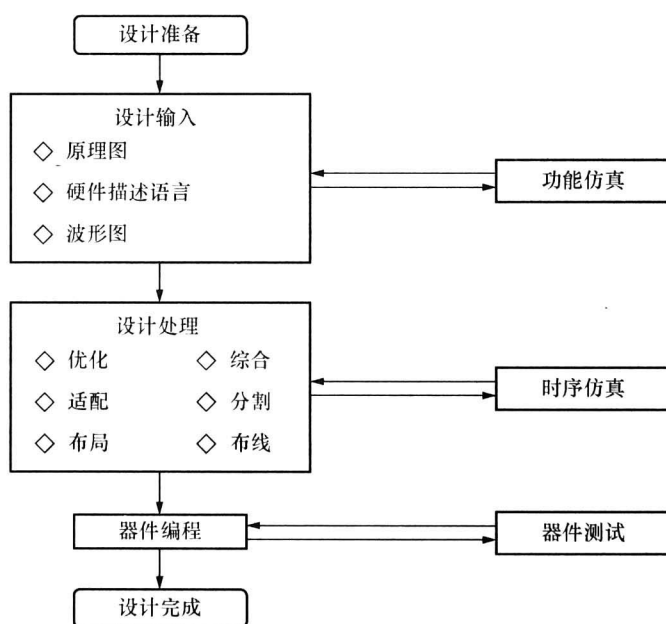


图 1-1 CPLD/FPGA 设计流程

1. 设计准备

设计准备是指设计者在进行设计之前，依据任务要求，确定系统所要完成的功能及复杂程度，器件资源的利用和所需成本等要做的准备工作，如进行方案论证、系统设计和器件选择等。它包括定义 I/O 端口，选择合适的 CPLD/FPGA 器件、对 EDA 项目进行逻辑划分等步骤。

2. 设计输入

设计输入是指将设计的系统或电路按照 EDA 开发软件要求的某种形式表示出来，并输

入计算机的过程。设计输入方式有多种，包括图形输入方式、波形图输入方式、采用硬件描述语言的文本输入方式等。

(1) 原理图输入方式。原理图输入是一种最直接的设计输入方式，它使用 EDA 工具软件提供的元器件库及各种符号和连线画出设计电路的原理图，形成图形输入文件。这种方式适用于设计者对系统及各部分电路很熟悉的情况，或在系统对时间特性要求较高的场合。其优点是容易实现仿真，便于信号的观察和电路的调整。

(2) 硬件描述语言的文本输入方式。硬件描述语言的文本输入是一种普遍性的输入方法，大部分的 EDA 工具软件都支持文本方式的编辑和编译。目前，常用的高层硬件描述语言有 VHDL 和 Verilog HDL，运用硬件描述语言设计已是当前的趋势。

(3) 波形图输入方式。波形图输入方式主要用于建立和编辑波形设计文件，以及输入仿真向量和功能测试向量。波形图设计输入方式适用于时序逻辑和有重复性的逻辑函数，系统软件可以根据用户定义的输入/输出波形自动生成逻辑关系。

3. 设计处理

在设计处理阶段，编译软件将对设计输入文件进行逻辑化简、综合和优化，并适当地用一片或多片器件自动地进行适配，最后产生编程用的编程文件。设计处理主要包括设计编译和检查、逻辑优化和综合、适配和分割、布局和布线、生成编程数据文件等过程。

(1) 设计编译和检查。设计输入完成之后，立即进行编译。在编译过程中，首先进行语法检验，如检查原理图的信号线是否漏接，信号有无双重来源，文本输入文件中关键字有无错误等各种语法错误，并及时标出错误的位置，供设计者修改。然后进行设计规则检查，检查总的设计有无超出器件资源或规定的限制并将编译报告列出，指明违反规则和潜在不可靠电路的情况以供设计者修改。

(2) 逻辑优化和综合。逻辑优化是化简所有的逻辑方程或用户自建的宏，使设计所占用的资源最少。综合的目的是将多个模块化设计文件合并为一个网表文件，并使图层设计平面化。

(3) 适配和分割。在适配和分割过程中，确定优化以后的逻辑能否与下载目标器件 CPLD 或 FPGA 中的宏单元和 I/O 单元适配，然后将设计分割为多个便于适配的逻辑小块形式映射到器件相应的宏单元中。如果整个设计不能装入一片器件时，可以将整个设计自动分割成多块并装入同一系列的多片器件中去。

(4) 布局和布线。布局和布线工作是在设计检验通过以后由软件自动完成的，它能以最优的方式对逻辑元件布局，并准确地实现元件间的布线互联。布局和布线完成后，软件会自动生成布线报告，提供有关设计中各部分资源的使用情况等信息。

(5) 生成编程数据文件。设计处理的最后一步是产生可供器件编程使用的数据文件。对 CPLD 来说，是产生 JEDEC 熔丝图文件（由电子器件工程联合会制定的标准格式，简称 JED 文件）；对于 FPGA 来说，是生成比特流数据文件（Bit-stream Generation, BG）。

4. 设计校验

设计校验过程包括功能仿真和时序仿真，这两项工作是在设计处理过程中同时进行的。功能仿真是在设计输入完成之后，选择具体器件进行编译之前进行的逻辑功能验证，因此又称为前仿真。此时的仿真没有延时信息或由系统添加的微小标准延时，这对于初步的功能检测非常方便。仿真前，要先利用波形编辑器或硬件描述语言等建立波形文件或测试向量（即