



国际信息工程先进技术译丛



Springer

# FPGA设计—— 基于团队的最佳实践

## FPGA Design

### Best Practices for Team-based Design

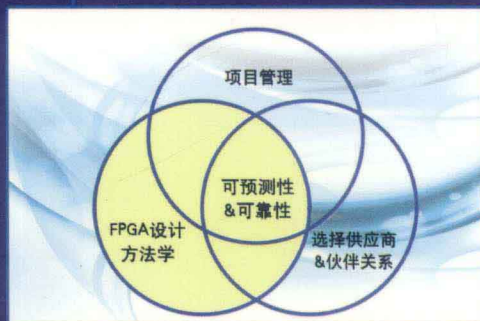
(美国) Philip Simpson 著

何 春 译

夏宇闻 审



机械工业出版社  
CHINA MACHINE PRESS



国际信息工程先进技术译丛

# FPGA 设计： 基于团队的最佳实践

Philip Simpson 著

何春 译

夏宇闻 审



机械工业出版社

本书根据 FPGA 设计实践中的经验总结,介绍了一套适用于 FPGA 设计的最佳实用设计方法学。该方法学涉及了整个 FPGA 设计流程,从编写设计规范到 RTL 代码设计,再到设计验证,几乎涵盖了从基本到高级的所有技巧。全书共分为 14 章,主要包括设计初期的项目管理、设计说明书、FPGA 器件选择、团队设计环境,以及设计过程中的电路板布局、功耗和热分析、RTL 代码设计、IP 及设计重用、硬件到软件的接口、功能验证、时序收敛,设计完成后的在线调试和设计签收等内容,并针对设计中常见的问题和设计优化提供了具体的指导。

本书主要讲述了 FPGA 设计过程中的经验、方法及技巧,有助于客户解决复杂 FPGA 设计中的各类问题,对获得高性能设计及缩短设计周期有很大的帮助。

本书可以作为电子工程类、自动控制类、计算机类本科高年级及研究生教学用书,也可供其他工程人员自学与参考。

Translation from English language edition:

FPGA Design: Best Practices for Team-based Design

by Philip Simpson

Copyright © 2010 Springer Science + Business Media, LLC

All Rights Reserved.

本书中文简体字版由 Springer 授权机械工业出版社出版,未经出版者书面许可,不得以任何方式复制或发行本书的任何部分。版权所有,翻印必究。

本书版权登记号:图字 01-2012-2202 号

## 图书在版编目 (CIP) 数据

FPGA 设计:基于团队的最佳实践/(美)辛普森  
(Simpson, P.) 著;何春泽. —北京:机械工业出版社,  
2013. 11

(国际信息工程先进技术译丛)

书名原文:FPGA design best practices for team-  
based design

ISBN 978 - 7 - 111 - 45264 - 5

I. ①F… II. ①辛…②何… III. ①可程序逻辑器  
件 - 系统设计 IV. ①TP332. 1

中国版本图书馆 CIP 数据核字 (2013) 第 310719 号

机械工业出版社 (北京市百万庄大街 22 号 邮政编码 100037)

策划编辑:林春泉 责任编辑:吕 潇

责任校对:陈秀丽 责任印制:张 楠

北京京丰印刷厂印刷

2014 年 1 月第 1 版·第 1 次印刷

169mm × 239mm · 9.25 印张 · 176 千字

0 001—3 000 册

标准书号:ISBN 978 - 7 - 111 - 45264 - 5

定价:49.00 元



凡购本书,如有缺页、倒页、脱页,由本社发行部调换

电话服务

网络服务

社服务中心:(010) 88361066

教材网: <http://www.cmpedu.com>

销售一部:(010) 68326294

机工官网: <http://www.cmpbook.com>

销售二部:(010) 88379649

机工官博: <http://weibo.com/cmp1952>

读者购书热线:(010) 88379203

封面无防伪标均为盗版

## 译者序

我是电子科技大学的一名青年教师，面对研究生利用 FPGA 做项目过程中的种种困惑，我意识到他们迫切需要在掌握了利用硬件描述语言（HDL）进行编码的基本技巧后，能获得设计方法论方面的指导。这样才能提升设计效率，提高设计系统的性能。我常常在他们提出问题或碰到困难时，将多年来在 FPGA 设计领域积累的经验和体会传授给他们，但终究感觉自己的知识不够系统和全面。

1997 年，我的导师赵和平（航天 501 部）派我到北京航空航天大学，参与到与夏宇闻老师的项目合作中，并顺利地完成了 RS（255，223）编码/解码器设计研究的硕士课题。我在夏老师的具体指导下，掌握了利用 Verilog 设计的基本方法，受益匪浅。在北航学习期间，我了解到夏老师经常阅读国外书籍和文献、学识渊博，认真负责，待人诚恳，乐于提携年轻老师。2012 年初，我向夏老师请教业界有没有关于 FPGA 设计方法学的书时。他立即推荐了 Springer 出版社在 2010 年出版的《FPGA Design: Best Practices for Team-based Design》。

我在大致阅读了这本由 Altera 公司副总裁 Philip Simpson 编写的书后，感觉它几乎涵盖了利用 FPGA 进行系统设计的整个流程，在关键的地方又有所侧重。这本书源于 FPGA 设计过程中的实践经验，介绍的方法学涉及 FPGA 的项目管理、设计规划、资源利用、设计环境、电路板设计、功耗与热分析、RTL 代码设计、IP 和设计重用、软硬件接口、功能验证、时序收敛、在线系统调试和设计交付等多方面的内容。最重要的是这本书全面地介绍了团队合作完成 FPGA 设计的具体方法，对如何组织团队合作进行 FPGA 设计，提出了建设性的意见和建议。这在当今复杂系统的 FPGA 设计中非常实用。书中论述的一些方法，是我不知晓的，是我曾在实践中碰得头破血流才体会到的。越读这本书，越觉得有相见恨晚的感觉。书中所介绍的方法可以供广大 FPGA 设计者、项目管理者学习和借鉴，对缩短 FPGA 项目的设计周期，提高设计性能有很大的帮助。因此，我下决心将这本书翻译出来，把基于团队设计的最佳 FPGA 设计方法学介绍给大家。

夏老师在翻译之初曾给我提了一些专业的建议和指导。当时，我认为已经把握了一些翻译的精髓。然而，随着翻译的进展，遇到的困难远远超过了我的预期。我感觉高质量的翻译工作确实是博大精深的。对于本书而言，如何真实地反映作者的思想，一方面需要有深厚的专业知识，还要能够使用简明扼要、通俗易懂、通顺的文字进行表达。往往一个句子、甚至一个词语的翻译都需要斟酌很久。有时，我觉得翻译得“已经很好”的一段译文，过几天再看，都还有很大

的改进空间。即便如此，每次当我把自己认可的一段译文发给夏老师审阅，夏老师总会提出很多的修改意见。而经夏老师亲手修改后的译文是如此巧妙与贴切，使我感到与夏老师在专业知识、文字功底和翻译水平等方面的巨大差距。

在整个翻译过程中，夏老师所体现出的认真负责的态度让我无比尊敬和钦佩，深深地影响着我。他让我深刻地体会到“翻译无小事”。虽然耗用的时间成倍增加，但是回过头看最后译文的质量有大幅度的提高，十分值得！

在这本书即将出版之际，首先要感谢夏老师在整个翻译过程中给我的具体指导和鼓励，感谢夏老师对每段译文细致负责的修改和审核；还要感谢 Altera 公司上海分公司范名超高级工程师对 13 章译文的极大帮助；感谢北京惠尔科技赵宗明工程师对第 1 章到第 5 章译文所提的修改建议；感谢陈卓立、崔海霞、朱娟、贺江等同学所付出的努力。

一份投入，一份收获。源于实际，用于实际。愿所有认真阅读这本书的人，收获丰厚！

何 春  
2013 年 7 月

## 审校者序

我是北京航空航天大学电子信息工程学院的一名退休教师。在我近 50 年的工作生涯中，主要工作内容是数字系统的设计。20 年前，我已认识到 FPGA 在数字系统设计方面的巨大潜力，也深刻理解掌握 Verilog 硬件描述语言是完成复杂数字系统设计的关键。因此，多年来我一直坚持不断地在教学中推广基于 Verilog 语言的 FPGA 设计方法学。

2011 年底机械出版社的林春泉编审向我咨询有关数字系统设计的新书。我立即推荐了我刚读过的由施普林格出版集团 2010 年出版的《FPGA Design: Best Practices for Team-based Design》。

该书由 Philip Simpson 编写。他是 Altera 公司的资深技术专家，该书源于他多年来为许多 FPGA 设计客户服务所取得的宝贵经验。书的内容十分广泛，几乎涵盖了 FPGA 设计工程的所有方面，书中特别强调团队合作完成设计的具体方法，给我留下了极其深刻的印象。书中论述的方法，与我 40 多年来在工程实践中积累的经验不谋而合，而且总结得十分具体全面。我认为书中所介绍的方法对中国广大的 FPGA 设计者有很大的参考价值。

不久，电子科技大学的何老师也向我咨询 FPGA 设计方法学的新书。于是我也向她推荐了该书，并希望她能花点时间把它翻译成通俗易懂的中文。她刚开始有些犹豫，在我答应为她的译稿做修改和审阅后她就同意了，随后我就把她介绍给林编审，并签订了翻译合同。

在整整一年的翻译过程中，何老师经常通过电子邮件与我交流。虽然我用了不少时间修改审核译文，但是由于水平有限，不免存在遗漏和错误，敬请细心的读者不吝指教。

在本书出版之际，让我感谢曾经为本书出版做出过贡献的所有同仁。

夏宇闻

北京航空航天大学电子工程学院退休教授

北京至芯科技公司 FPGA 设计培训顾问

2013 年 9 月

# 原 书 序

2006 年 8 月一位工程副总裁，Altera 公司的客户之一，找到 Altera 公司的工程副总裁 米夏·布里奇 (Misha Burich)，向他咨询怎样才能可靠地预测 FPGA 系统设计的成本、进度和质量。

那时，我正负责为 Altera 设计软件制定设计流程的需求，并正为该需求做深入的调研。

当我和那位工程副总裁一起讨论，了解他们的 FPGA 设计流程中哪些能可靠地运行、哪些不能可靠地运行时，我意识到该问题不只是个别客户所特有的。许多利用 FPGA 进行设计的公司都存在这个问题。这些公司有一个共同的特点，那就是它们的许多设计团队分布在不同的地点，每个团队擅长完成的 FPGA 项目各不相同。若将这些设计小组的设计经验整合在一起，其范围十分宽广。然而，设计工具中却没有相应的流程可以让这些设计团队能互相分享设计模块。

在分析了几百位来访客户提供的数据后，我发现在工程团队之间，设计重用的实施十分困难。同时我也注意到，即使在同一公司的不同设计团队之间，甚至同一个设计团队中，各人所使用的设计方法学都有可能不同。

最近，Altera 公司已经在自己的 FPGA 设计软件和 IP 研发流程中解决了这个问题。

基于 Altera 公司在帮助许多客户完成 FPGA 设计时所取得的成功经验和技能，我与 Altera 公司工程部的顶尖天才们一起研发了这个最佳的实用设计方法学。我把该方法介绍给了一些客户，他们实施后，都取得了巨大的成功。

通过分析过去客户的数据和近三年来客户的反馈，可以越来越清楚地看到设计中团队合作的困难在这个行业中广泛地存在着，它不仅只限于某个 FPGA 设计公司，而是遍及整个行业。

因此，在过去三年中，我一直在修改和调整 FPGA 设计的最佳实用设计方法学，试着在几个客户中实施，都取得了巨大的成功。本书全面涵盖了 FPGA 设计的最佳实用方法学。现在，让我把本书奉献给所有利用 FPGA 器件实现系统设计的团队。

菲利普·辛普森  
美国加州圣何塞



# 目 录

译者序

审校者序

原书序

第 1 章 FPGA 设计成功的最佳实践 ..... 1

1.1 引言 ..... 1

第 2 章 项目管理 ..... 4

2.1 项目管理的作用 ..... 4

2.1.1 项目管理阶段 ..... 4

2.1.2 项目持续时间的估算 ..... 4

2.1.3 计划 ..... 5

第 3 章 设计说明书 ..... 7

3.1 设计说明书：沟通是成功的关键 ..... 7

3.1.1 高级功能说明书 ..... 7

3.1.2 功能设计说明书 ..... 8

第 4 章 资源调查 ..... 12

4.1 引言 ..... 12

4.2 工程资源 ..... 12

4.3 第三方 IP ..... 13

4.4 FPGA 器件的选择 ..... 13

4.4.1 FPGA 器件的特殊功能 ..... 14

4.4.2 FPGA 的规模选型（密度） ..... 14

4.4.3 速度需求 ..... 16

4.4.4 引脚 ..... 16

4.4.5 功耗 ..... 16

4.4.6 IP 的可用性 ..... 17

4.4.7 器件的可用性 ..... 17

4.4.8 小结 ..... 17

第 5 章 设计环境 ..... 18

5.1 引言 ..... 18

5.2 脚本化的环境 ..... 18

5.3 与版本控制软件的交互 ..... 19

5.4 问题跟踪系统的使用 ..... 20



---

|                                        |           |
|----------------------------------------|-----------|
| 5.5 回归测试系统 .....                       | 21        |
| 5.6 何时升级 FPGA 设计工具的版本 .....            | 21        |
| 5.7 FPGA 设计环境中常用的工具 .....              | 22        |
| <b>第 6 章 电路板设计</b> .....               | <b>24</b> |
| 6.1 FPGA 器件给电路板设计带来的挑战 .....           | 24        |
| 6.2 工程师的角色和职责 .....                    | 25        |
| 6.2.1 FPGA 工程师 .....                   | 25        |
| 6.2.2 PCB 设计工程师 .....                  | 26        |
| 6.2.3 信号完整性设计工程师 .....                 | 26        |
| 6.3 功耗和散热问题 .....                      | 28        |
| 6.3.1 滤除电源噪声 .....                     | 28        |
| 6.3.2 电源分配 .....                       | 28        |
| 6.4 信号的完整性 .....                       | 29        |
| 6.4.1 信号完整性问题的类型 .....                 | 29        |
| 6.4.2 电磁干扰 .....                       | 30        |
| 6.5 FPGA 引脚分配的设计流程 .....               | 31        |
| 6.5.1 流程 1：由 FPGA 设计师主动 .....          | 31        |
| 6.5.2 流程 2：由电路板设计师主动 .....             | 33        |
| 6.5.3 FPGA 设计师和电路板设计师如何进行引脚改动的沟通 ..... | 34        |
| 6.6 电路板设计的审查要点 .....                   | 34        |
| <b>第 7 章 功耗和热分析</b> .....              | <b>35</b> |
| 7.1 引言 .....                           | 35        |
| 7.2 功耗的基本要素 .....                      | 35        |
| 7.2.1 静态功耗 .....                       | 36        |
| 7.2.2 动态功耗 .....                       | 36        |
| 7.2.3 输入/输出功耗 .....                    | 36        |
| 7.2.4 浪涌电流 .....                       | 36        |
| 7.2.5 配置功耗 .....                       | 36        |
| 7.3 准确估计功耗的关键因素 .....                  | 37        |
| 7.3.1 FPGA 电路的准确功耗模型 .....             | 37        |
| 7.3.2 每个信号的准确数据切换率 .....               | 37        |
| 7.3.3 准确的运行条件 .....                    | 38        |
| 7.3.4 资源利用 .....                       | 39        |
| 7.4 设计周期早期的功耗估计（电源规划） .....            | 39        |
| 7.5 基于仿真的功耗估计（设计的功耗验证） .....           | 41        |
| 7.5.1 局部仿真 .....                       | 43        |
| 7.6 功耗估计的最佳实践方法 .....                  | 43        |
| <b>第 8 章 RTL 代码设计</b> .....            | <b>45</b> |

---

|               |                          |           |
|---------------|--------------------------|-----------|
| 8.1           | 介绍 .....                 | 45        |
| 8.2           | 常用术语 .....               | 45        |
| 8.3           | 工程师对有 ASIC 设计背景的建议 ..... | 47        |
| 8.4           | 推荐的 FPGA 设计规范 .....      | 48        |
| 8.4.1         | 同步与异步 .....              | 48        |
| 8.4.2         | 全局信号 .....               | 48        |
| 8.4.3         | 专用硬件组件 .....             | 49        |
| 8.4.4         | 低层次设计原语的使用 .....         | 50        |
| 8.4.5         | 亚稳态的管理 .....             | 51        |
| 8.5           | 编写高效的 HDL 代码 .....       | 51        |
| 8.5.1         | 什么是最好的硬件设计语言 .....       | 52        |
| 8.5.2         | 良好的设计习惯 .....            | 53        |
| 8.5.3         | 可综合的 HDL .....           | 589       |
| 8.6           | RTL 设计的分析 .....          | 67        |
| 8.6.1         | 综合报告 .....               | 68        |
| 8.6.2         | 综合警告 .....               | 68        |
| 8.6.3         | 电路方块图的浏览 .....           | 69        |
| 8.7           | RTL 设计要点总结 .....         | 70        |
| <b>第 9 章</b>  | <b>IP 及设计重用 .....</b>    | <b>72</b> |
| 9.1           | 引言 .....                 | 72        |
| 9.2           | IP 重用的需求 .....           | 72        |
| 9.2.1         | IP 重用的好处 .....           | 72        |
| 9.2.2         | 开发可重用设计方法学面临的困难 .....    | 73        |
| 9.3           | 设计还是购买 .....             | 74        |
| 9.4           | 构建可重用的 IP .....          | 75        |
| 9.4.1         | 设计说明书 .....              | 75        |
| 9.4.2         | 实施方法 .....               | 76        |
| 9.4.3         | 标准接口的使用 .....            | 77        |
| 9.5           | IP 组件库软件包 .....          | 78        |
| 9.5.1         | IP 说明书 .....             | 79        |
| 9.5.2         | 用户接口 .....               | 79        |
| 9.5.3         | 与系统集成工具的兼容性 .....        | 81        |
| 9.5.4         | IP 的安全性 .....            | 81        |
| 9.6           | IP 重用的检查清单 .....         | 82        |
| <b>第 10 章</b> | <b>硬件到软件的接口 .....</b>    | <b>83</b> |
| 10.1          | 软件接口 .....               | 83        |
| 10.2          | 寄存器地址映射表的定义 .....        | 83        |
| 10.3          | 寄存器地址映射表的使用 .....        | 83        |

|                                    |           |
|------------------------------------|-----------|
| 10.3.1 IP 的选择 .....                | 83        |
| 10.3.2 软件工程师的接口 .....              | 84        |
| 10.3.3 RTL 工程师的接口 .....            | 84        |
| 10.3.4 接口的验证 .....                 | 85        |
| 10.3.5 文档 .....                    | 85        |
| 10.4 小结 .....                      | 85        |
| <b>第 11 章 功能验证</b> .....           | <b>86</b> |
| 11.1 简介 .....                      | 86        |
| 11.2 功能验证面临的挑战 .....               | 86        |
| 11.3 有关验证的术语 .....                 | 87        |
| 11.4 RTL 仿真和门级仿真的对比 .....          | 88        |
| 11.5 验证方法学 .....                   | 88        |
| 11.6 克服复杂性 .....                   | 89        |
| 11.6.1 设计和测试的模块化 .....             | 89        |
| 11.6.2 规划预期操作 .....                | 89        |
| 11.6.3 应对意外状态的计划 .....             | 89        |
| 11.7 功能覆盖 .....                    | 90        |
| 11.7.1 定向测试 .....                  | 90        |
| 11.7.2 随机动态仿真 .....                | 91        |
| 11.7.3 受约束的随机测试 .....              | 91        |
| 11.7.4 SystemVerilog 用于设计和验证 ..... | 91        |
| 11.7.5 通用测试平台方法 .....              | 92        |
| 11.7.6 自验证测试平台 .....               | 93        |
| 11.7.7 形式化等价性验证 .....              | 94        |
| 11.8 代码覆盖率 .....                   | 95        |
| 11.9 质量评价 (QA) 测试 .....            | 95        |
| 11.9.1 功能回归测试 .....                | 95        |
| 11.9.2 可重用 IP 的图形界面 (GUI) 测试 ..... | 95        |
| 11.10 硬件互操作性测试 .....               | 96        |
| 11.11 软/硬件协同验证 .....               | 96        |
| 11.11.1 加快投片的准备 .....              | 96        |
| 11.12 功能验证清单 .....                 | 97        |
| <b>第 12 章 时序收敛</b> .....           | <b>98</b> |
| 12.1 时序收敛的难点 .....                 | 98        |
| 12.2 时序分配和时序分析的重要性 .....           | 99        |
| 12.2.1 时序分析的背景 .....               | 99        |
| 12.2.2 时序分析的基础 .....               | 99        |
| 12.3 实现时序收敛目标的方法学 .....            | 105       |

|                              |     |
|------------------------------|-----|
| 12.3.1 指定 FPGA 器件系列 .....    | 105 |
| 12.3.2 设计规划 .....            | 106 |
| 12.3.3 早期时序估计 .....          | 110 |
| 12.3.4 CAD 工具设置 .....        | 111 |
| 12.4 常见的时序收敛问题 .....         | 118 |
| 12.4.1 缺失时序约束 .....          | 118 |
| 12.4.2 时序约束发生冲突 .....        | 118 |
| 12.4.3 高扇出寄存器 .....          | 118 |
| 12.4.4 只差一点就能满足时序 .....      | 119 |
| 12.4.5 不宜过早设置位置约束 .....      | 119 |
| 12.4.6 冗长的编译时间 .....         | 119 |
| 12.5 设计规划、实现、优化和时序收敛清单 ..... | 120 |
| <b>第 13 章 系统在线调试</b> .....   | 121 |
| 13.1 系统在线调试的难点 .....         | 121 |
| 13.2 规划 .....                | 121 |
| 13.3 调试方法 .....              | 122 |
| 13.3.1 利用引脚调试 .....          | 122 |
| 13.3.2 片内逻辑分析仪 .....         | 123 |
| 13.3.3 调试逻辑的使用 .....         | 126 |
| 13.3.4 外部逻辑分析仪 .....         | 126 |
| 13.3.5 编辑存储器的内容 .....        | 127 |
| 13.3.6 利用软核处理器进行调试 .....     | 127 |
| 13.4 使用案例 .....              | 128 |
| 13.4.1 上电调试 .....            | 128 |
| 13.4.2 收发接口调试 .....          | 128 |
| 13.4.3 系统性能报告 .....          | 129 |
| 13.4.4 软核处理器调试 .....         | 129 |
| 13.4.5 器件的编程问题 .....         | 130 |
| 13.5 系统在线调试核对清单 .....        | 131 |
| <b>第 14 章 设计的签收</b> .....    | 132 |
| 14.1 设计签收过程 .....            | 132 |
| 14.2 设计签收之后 .....            | 132 |
| <b>索引</b> .....              | 133 |

# 第 1 章   FPGA 设计成功的最佳实践

## 1.1   引言

本书介绍了 FPGA 设计的成功要诀。这些要诀源于作者在帮助几百位客户解决各自 FPGA 设计小组所遇到设计难题时的经验总结。在深入了解了他们各自的 FPGA 设计环境和步骤，哪些管用、哪些不管用的情况之后，作者有能力帮助他们找到在进行系统设计的过程中几个特别需要注意的地方。更重要的是，这些经验促使作者编写一套值得推荐的设计方法学，为设计者解决 FPGA 设计中的难点提供最佳的具体指导。

本书把阐述的重点放在跨地域的设计小组上。其目的是制订一套必须共同遵守的方法学来协调各设计小组的工作，使设计小组间模块的交流/交易成为可能，从而显著地提高 FPGA 设计小组的工作效率。

本章为在 FPGA 上实现系统设计的预期目标设立了路标。

为了获得预期的设计效果，必须遵循以下三个步骤（见图 1-1）：

1. 合理的项目规划和全面的审核；
2. 选择恰当的 FPGA 器件以确保该器件能为项目的今天或未来提供所需的技术；

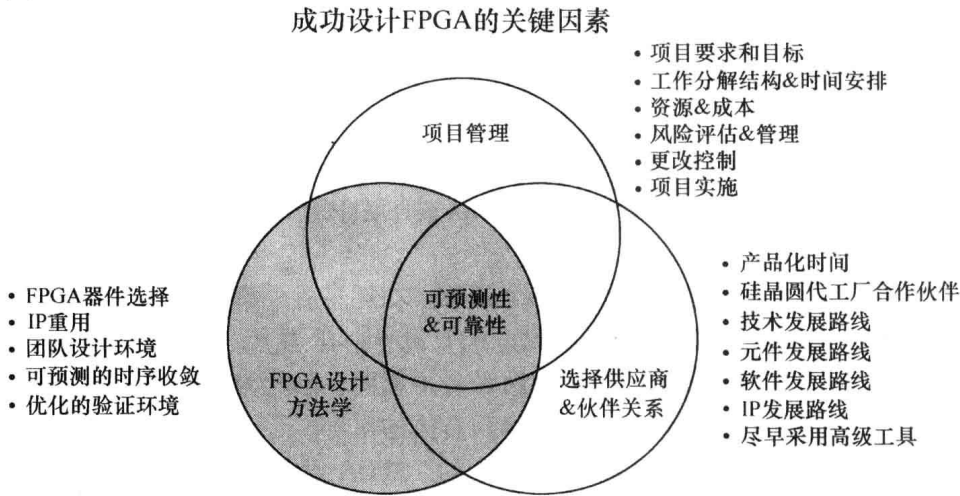


图 1-1   FPGA 开发三步骤

3. 为了缩短设计周期，确保设计如期完成，遵循并使设计模块可在以后的项目中重复使用，在 FPGA 设计开发过程中，请严格按照本章介绍的方法。

上述三个要素必须协同作用才能保证 FPGA 设计的成功。

应该选择与公司有长期合作关系的厂商开展设计协作。通过共享技术路线图和共同管理现有的项目，不仅可以确保当前项目的成功，也可今后的项目提供正确的解决方案。协作过程中磨合积累的经验可确保项目的成功。

本书就上述两个议题做了简要的阐述。

第三个议题是 FPGA 设计方法学。本议题是 FPGA 最佳实用设计方法学的主焦点。它涵盖了整个 FPGA 设计流程和从基本到高级的所有技巧。这一套设计方法学独立于 FPGA 供应商，因此这些议题和建议适用于任何 FPGA 器件，确实是最佳实用设计方法。虽然本书中大部分材料是通用的，但也涉及 Altera 设计工具的某些特色，从而使推荐的最佳设计方法更具实用性。

图 1-2 所示的方框结构示意图描绘了最佳实用设计方法的轮廓。

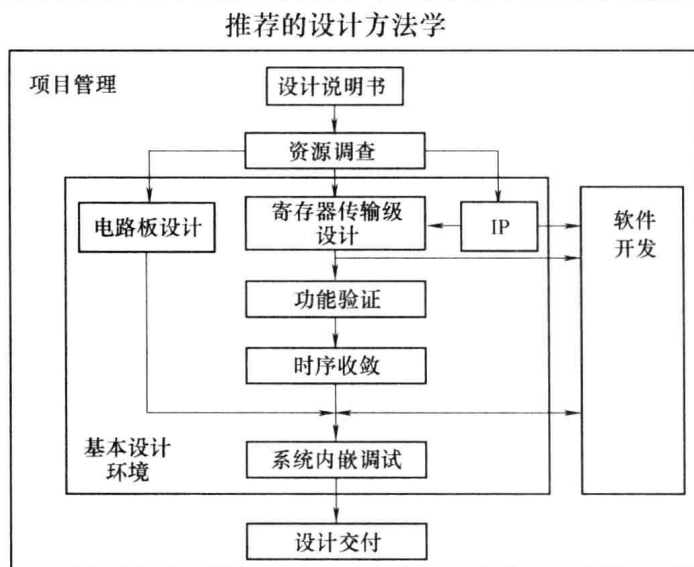


图 1-2 建议采用的 FPGA 设计项目管理方法

图中的每个方框代表本书中的一个章节。功耗另成一章，因为它贯穿设计方法学中的许多领域。关于电路板布局、RTL 设计、IP 重用、功能验证和时序收敛等议题，由于各团队使用的设计方法学各不相同，因此为了达成可靠一致的设计结果，并缩短工期，工程师们需要得到具体的指导。

FPGA 设计所面临的许多挑战并不只是在 FPGA 设计中独有的，它们也是系统设计面临的共同挑战。但与 ASIC 设计相比，FPGA 设计本身确实存在特有的挑战和机遇。随着 FPGA 器件性能的提高，使得面向 FPGA 器件进行更为复杂的

设计成为可能，也促使许多 ASIC 设计师进行 FPGA 设计。这导致了許多设计团队将 ASIC 设计原则照搬到 FPGA 设计上。一般情况下，这对 FPGA 设计流程是有益的；然而它需要与 FPGA 器件带给设计流程的好处相辅相成。FPGA 器件的可编程特性为进行更多的在线系统验证提供了便利。若 FPGA 器件的特性能被正确使用，则可大大加速验证周期，然而当其被滥用时，则会延长设计周期。I/O（输入输出）引脚的可配置性带来了 ASIC 设计中不存在的挑战。FPGA 设计工具与 ASIC 设计工具无论就功能和价格而言，均有很大的差异，但它们都是由 EDA 工业界提供的。

本书致力于采用最佳设计方法以满足设计需求。

建议读者从头到尾认真地阅读本书，当然也可以针对设计流程中的几个块，有重点地阅读本书的个别章节，以应对设计团队面临的最大挑战。

## 致谢

Misha Burich 为我提供了编写本书（最佳实践方法）的原始想法。Brian Holley 和 Rich Catizone 作为我的客户推进了这个想法，并不断地提供反馈。Chris Balough 鼓励我创作本书。Thomas Sears 允许我接触他的开发团队，没有他的帮助，我不可能写出本书。YK Ning, Jeff Fox, Ajay Jagtiani, Alex Grbic, Joshua Walstrom, Oliver Tan 和 Joshua Fender 为本书（最佳实践方法）提供了原始资料。众多客户为本书做出了很大贡献，因为他们为我提供了 FPGA 设计环境和在 FPGA 上完成系统设计所面临挑战的相关资料。从开始收集数据到写书的整个过程中，我妻子 Jill 和女儿 Kayla，给予了我耐心和支持。



## 第2章 项目管理

### 2.1 项目管理的作用

项目管理的目标是期望（设计方）能在经费预算之内，按合同规定的期限和功能完成项目的交付。所以项目管理涉及以下三个方面：

1. 功能；
2. 开发时间；
3. 资源。

项目经理需要合理地平衡上述三个方面，以达到项目目标。

目前，有许多论述项目管理的书籍和培训班，因此本章只对项目管理的要素做一个简要的综述。建议读者参加正式的项目管理培训。

#### 2.1.1 项目管理阶段

每个项目都可划分为三个项目管理阶段：

1. 规划阶段：列出功能清单、制定项目计划以及建立资源库、编制预算；
2. 跟踪阶段：掌握每月的工程进展，进行周计划更新，审核预算、掌握员工状况，以及审核所有工程变更指令单；
3. 收尾阶段：项目回顾、数据挖掘、总结提高，以及下一步的行动计划。

#### 2.1.2 项目持续时间的估算

估算整个项目交付时间（日期）最好能按照以下步骤执行：

1. 在最近成功完成的主要项目中选择一个项目；
2. 创建一个宏模型。为项目规范制定、设计和验证确定主要项目阶段，并得到各阶段确切的持续时间以及交叠时间；
3. 设置整个过程的改进目标。例如完成一个同等难度的项目，希望进度加快 10%；
4. 定义项目的复杂度，如设计规格参数和资源利用率。设计规格参数包括设计说明书页数、FPGA 资源的大小、RTL 代码的行数以及设计性能的技术复杂度；
5. 根据项目的复杂度得到降额因子（derating factor） $k$ ；
6. 依据降额因子按比例调整即将开展的项目所需时间；

7. 正确评估项目并做出相应的调整。

2.1.3 计划

项目计划应经常更新，建议至少一周更新一次。

任何项目计划更新会议都应简短，并应将重点放在项目状态信息的收集上。状态信息包括某任务是否已经开始执行、是否已经完成、还需多久才能完成，以及确定其完成进度的所有信息。

项目计划更新会议也应被用来估算某项任务的工期。项目经理必须尊重根据实际资源运作情况而估算出的工期，但也应对任何太离谱的错误估计提出质疑。

2.1.3.1 周计划分析

项目经理需要每周严格分析项目进度。分析过程包括以下 10 个主要任务：

- 1. 分析和审议关键路径；
- 2. 重新考虑下周计划的任務；
- 3. 与评审组的其他人员讨论任务的优先级并最终达成一致；
- 4. 为加速关键路径的执行制定一个计划；
- 5. 找出排在关键路径之后有风险的其他路径；
- 6. 检查分配给关键路径资源上的负荷；
- 7. 与管理者确认资源的可用性；
- 8. 确定项目计划中需要更多工作量的部分；
- 9. 找准活动项；
- 10. 对任务进行微调。

项目经理一定不要被项目已完成的百分比数所蒙蔽，这一点至关重要。如图 2-1 所示，这是一个非线性函数，所完成的百分比数对于估计剩余任务持续期没有用处（图 2-1）。

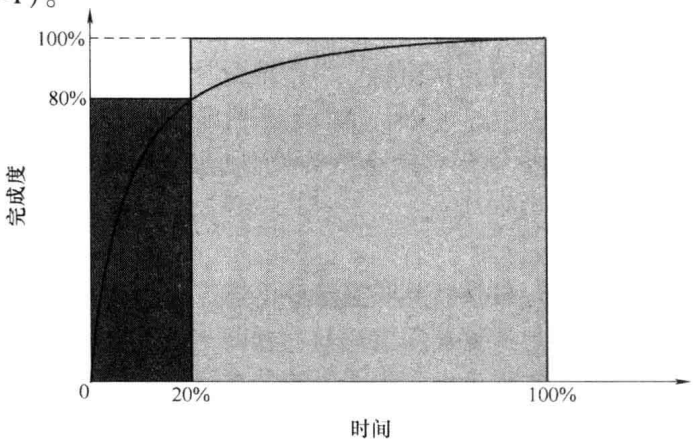


图 2-1 完成百分比情况