

电子与计算机工程领域获奖作品
IEEE微电子系统经典图书

WILEY  IEEE

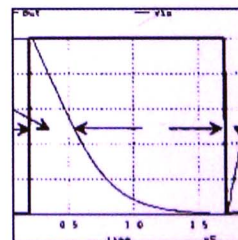
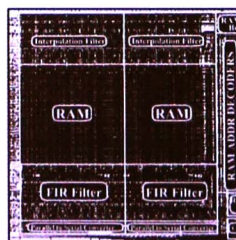
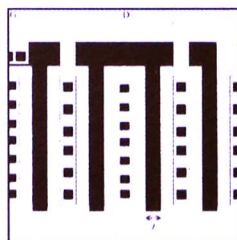
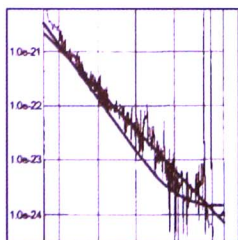
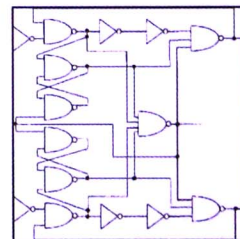
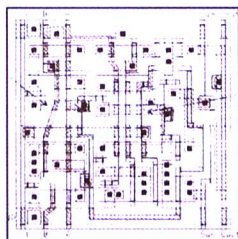
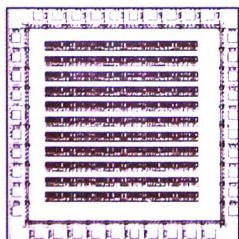
CMOS

集成电路设计手册

(第3版·基础篇)

CMOS Circuit Design, Layout, and Simulation
3rd Edition

[美]R. JACOB BAKER 著 张徐亮 张雅丽 朱万经 译



 人民邮电出版社
POSTS & TELECOM PRESS

014023524

TN432.02-62

01

V1

CMOS

集成电路设计手册

(第3版·基础篇)

CMOS Circuit Design, Layout, and Simulation

3rd Edition

[美]R. JACOB BAKER 著 张徐亮 张雅丽 朱万经 译



北航

C1709296

人民邮电出版社

北京

TN432.02-62

01

V1

图书在版编目 (C I P) 数据

CMOS集成电路设计手册 : 第3版. 基础篇 / (美) 贝
克 (Baker, R. J.) 著 ; 张徐亮, 张雅丽, 朱万经译. --
北京 : 人民邮电出版社, 2014. 2
ISBN 978-7-115-33772-6

I. ①C… II. ①贝… ②张… ③张… ④朱… III. ①
CMOS电路—电路设计—手册 IV. ①TN432.02-62

中国版本图书馆CIP数据核字(2013)第275876号

版权声明

Title: CMOS Circuit Design, Layout, and Simulation, 3rd Edition

by R. Jacob Baker, ISBN: 978-0470881323

Copyright ©2010 by the Institute of Electrical and Electronics Engineers, Inc.

All Rights Reserved. This translation published under license. Authorized translation from the English language edition, Published by John Wiley & Sons. No part of this book may be reproduced in any form without the written permission of the original copyrights holder.

本书简体中文版由 **John Wiley & Sons** 授权人民邮电出版社出版发行。未经出版者书面许可, 不得以任何方式复制或抄袭本书的任何部分。

版权所有, 侵权必究

-
- ◆ 著 [美] R. Jacob Baker
 - 译 张徐亮 张雅丽 朱万经
 - 责任编辑 紫 镜
 - 执行编辑 魏勇俊
 - 责任印制 彭志环 杨林杰
 - ◆ 人民邮电出版社出版发行 北京市丰台区成寿寺路 11 号
邮编 100164 电子邮件 315@ptpress.com.cn
网址 <http://www.ptpress.com.cn>
北京鑫正大印刷有限公司印刷
 - ◆ 开本: 800×1000 1/16
印张: 22.25
字数: 416 千字 2014 年 2 月第 1 版
印数: 1-3 000 册 2014 年 2 月北京第 1 次印刷
著作权合同登记号 图字: 01-2012-8272 号
-

定价: 69.00 元

读者服务热线: (010)81055411 印装质量热线: (010)81055316

反盗版热线: (010)81055315

广告经营许可证: 京崇工商广字第 0021 号

谨以此书献给我的妻子 Julie

作者简介

R. Jacob (Jake) Baker 是一位工程师、教育家以及发明家。他有超过20年的工程经验并在集成电路设计领域拥有超过200项的专利（包括正在申请中的）。Jake也是多本电路设计图书的作者。他的具体简历可以参见<http://cmosedu.com/jbaker/jbaker.htm>。

内容提要

《CMOS集成电路设计手册》讨论了CMOS电路设计的工艺、设计流程、EDA工具手段以及数字、模拟集成电路设计，并给出了一些相关设计实例，内容介绍由浅入深。该著作涵盖了从模型到器件，从电路到系统的全面内容，是一本权威、综合的CMOS电路设计的工具书及参考书。

《CMOS集成电路设计手册》英文原版书是作者近30年教学、科研经验的结晶，是CMOS集成电路设计领域的一本力作。《CMOS集成电路设计手册》已经过两次修订，目前为第3版，内容较第2版有了改进，补充了CMOS电路设计领域的一些新知识，使得本书较前一版内容更加详实。

为了方便读者有选择性地学习，此次将《CMOS集成电路设计手册》分成3册出版，分别为基础篇、数字电路篇和模拟电路篇。本书作为基础篇，介绍了CMOS电路设计的工艺及基本电参数知识。本书可以作为CMOS基础知识的重要参考书，对工程师、科研人员及高校师生都有着较为重要的参考意义。

致 谢

我要感谢审稿人、学生、同事及朋友，他们的帮助让《CMOS集成电路设计手册》的出版成为了可能，他们是：Jenn Ambrose, Jeanne Audino, Rupa Balan, Sakkarapani Balagopal, Mahesh Balasubramanian, David Binkley, Jan Bissey, Bill Black, Lincoln Bollschweiler, Eric Booth, Dave Boyce, Elizabeth Brauer, John Brews, Ben Brown, J. W. Bruce, Prashanth Busa, Kris Campbell, John Chiasson, Kloy Debban, Ahmad Dowlatabadi, Robert Drost, Kevin Duesman, Krishna Duvvada, Mike Engelhardt, Surendranath Eruvuru, Cathy Faduska, Paul Furth, Chris Gagliano, Gilda Garretón, Neil Goldsman, Tyler Gomm, Shantanu Gupta, Kory Hall, Wes Hansford, David Harris, Qawi Harvard, Robert Hay, Jeff Jessing (编著了基础篇第7章), Adam Johnson, Brent Keeth, Howard Kirsch, Bill Knowlton, Bhavana Kollimarla, Harry Li (编著了模拟电路篇第9章和第10章, 并且共同编著了模拟电路篇第12章), Matthew Leslie, Song Liu, Mary Mann, Mary Miller, Amy Moll, Dennis Montierth, Dean Moriarty (数字电路篇5.2节), Sugato Mukherjee, Michael Newman, Ward Parkinson, Winway Pang, Priyanka Mukeshbhai Parikh, Andrew Prince, Mahyar Arjmand Rad, Avinash Rajagiri, Harikrishna Rapole, Steven Rubin, Vishal Saxena, Terry Sculley (在模拟电路篇第10章中推导出了INL和DNL方程式), Brian Shirley, Harish Singidi, Joseph Skudlarek, Mike Smith, Avani Falgun Trivedi, Mark Tuttle, Vance Tyree, Gary VanAckern, Lisa VanHorn, Indira Vemula, Tony VenGraitis, Joseph J. Walsh, Justin Wood, Kuangming Yap and Geng Zheng.

R. Jacob (Jack) Baker

前 言

CMOS (Complementary Metal Oxide Semiconductor, 互补金属—氧化物—半导体) 技术是集成电路制备的主流工艺。在未来25年里, 这一技术仍将占据主导地位。为什么会出现这种情况呢? 因为CMOS技术可靠性高、可制造型强、功耗低、成本低, 还有, 也许是最重要的一点: CMOS电路的可延展性。早在1965年, Intel公司的创始人Gordon Moore就已经观察并描述了硅集成电路工艺的可延展性。他的结论现在被描述为摩尔定律 (Moore's Law), 其表述为: 芯片上器件的数目每过18个月到24个月翻一番。虽然最初并非特指CMOS工艺, 但随着不断减小的CMOS工艺的特征尺寸, 摩尔定律多年来始终有效。早期CMOS晶体管的栅长在微米量级 (长沟道器件), 如今CMOS器件的特征尺寸已经进入纳米量级 (短沟道器件)。

为了同时涵盖长沟道和短沟道CMOS工艺, 《CMOS集成电路设计手册》采用两种方式介绍CMOS集成电路设计, 同时还讨论并比较了这两种工艺的设计技巧。这样进行比较将会使读者对集成电路设计的过程有更深刻的认识。读者在微电子概述等课程中学到的描述CMOS器件特性的平方律公式可用在长沟道CMOS工艺的模拟设计中, 不过在短沟道CMOS工艺或纳米级CMOS工艺的设计中不再有效。纳米CMOS工艺器件的特性十分复杂, 简单的公式无法完整地描述其特性, 此时应通过电学特性曲线估算偏置点和工作特性。不过, 读者在电路分析和设计中已掌握和使用的严格数学推导方法仍然有效。这就是为什么采用两种方式介绍的原因。可以采用长沟道CMOS工艺进行手工计算, 并将结果应用于

描述纳米CMOS工艺设计。

第3版的《CMOS集成电路设计手册》有什么新的地方呢？首先，计算机辅助设计（CAD）工具（如Cadence、Electric、HSPICE、LASI、LTspice及WinSpice）的相关讨论已经移至本书的网站：<http://CMOSedu.com>。此外，加入了数据转换器实现和反馈放大器的相关章节。新增内容实用性强，使其更适合作为教材，或者设计工程师的参考手册。《CMOS集成电路设计手册》有着很多的实例、讨论及习题，而每个章节最后的习题（用于自学）和电路仿真中所使用的网表都可以到CMOSedu.com中下载，也可以在该网站上找到附加习题。有志于深入理解CMOS模拟和数字设计的读者，将从网站提供的可下载资源修改并仿真本书中给出的设计实例中大大受益。

《CMOS集成电路设计手册》的读者应该具有线性电路（例如，RC电路和RLC电路、波特图、拉普拉斯变换、交流分析等）、微电子（例如，二极管、晶体管、小信号分析、放大器、开关特性等）和数字逻辑设计的背景知识。可用于教授下列课程：VLSI（超大规模集成电路）或者CMOS数字集成电路设计、CMOS模拟集成电路设计和高级模拟集成电路设计。

（附注：本书正斜体与下角标等规范均参照英文原版书，不以国内标准规范为参照。）

学生、研究人员和工程师如何有效地使用 《CMOS集成电路设计手册》

作者致力于让各类读者都受益。对于学生，《CMOS集成电路设计手册》包含上百个实例、习题和实践讨论（按照一个学生的说法，教材中的实例再多也不为过）。CMOS版图的深入分析和详细讨论，是排除故障以及进行高速数字设计的重要基础。通过一步步的学习，掌握包括电路设计细节、工艺步骤和仿真考量（寄生效应）等版图设计技术。这样避免了仅在一个章节中介绍版图从而导致设计和仿真讨论的不连续性。数字设计的章节强调实际工艺参数（如 I_{off} 、 I_{on} 、 t_{ox} 和 VDD 等）。模拟章节进行了关于器件尺寸选择和设计考量的连贯性讨论。相似地用于选择MOSFET器件宽长及短沟道工艺中设计采用的长沟道公式等类似“手册”的设计流程在这里并没有给出。《CMOS集成电路设计手册》能为培养学生成为CMOS集成电路设计人员和制造工程师打下了坚实的基础。

对于研究人员，电路设计中的相关议题，如噪声考量和采用 $\Delta\Sigma$ 调制（DSM）感测等，对于纳米CMOS设计相当重要。例如，数字电路篇应用 $\Delta\Sigma$ 调制的CMOS图像传感器、闪存（Flash）和采用薄氧化层的存储器（直接隧穿）。 $\Delta\Sigma$ 调制感测很重要，这是由于以下的事实：CMOS不断提高的时钟速率，晶体管的增益和匹配正在恶化。此外，该著作还讨论了受噪声限制的设计问题，如“为什么无法提高成像芯片的信噪比？”或者“为什么热噪声或闪烁噪声的积分是有害的？”。

对于工程师，该著作提供了可以直接用于产品的设计和版图实例。很多设计理念大家都非常熟悉，但我们仍需要强调匹配、功耗、速度、

工艺偏移、供电电压变化和温度特性等在实际设计中极为重要。大量详细的实例都集中于上述内容。锁相环、电荷泵、低电压基准源、单差分运算放大器和全差分放大器设计、连续时间比较器和钟控比较器、存储器电路等。为确保绝大部分设计可以通过计算机验证，纳米级设计（50nm工艺）的仿真采用bSIM4 SPICE模型。再次说明，该著作中所有仿真实例都可以从CMOSedu.com下载。

目 录

第1章 CMOS设计概述	1
1.1 CMOS集成电路的设计流程.....	1
制造.....	2
1.2 CMOS背景.....	6
1.3 SPICE概述.....	8
第2章 阱	33
2.1 图形转移.....	34
n阱的图形转移.....	37
2.2 n阱版图设计.....	37
n阱的设计规则.....	38
2.3 电阻值计算.....	39
n阱电阻.....	40
2.4 n阱/衬底二极管.....	41
2.4.1 PN结物理学简介.....	41
2.4.2 耗尽层电容.....	45
2.4.3 存储或扩散电容.....	47
2.4.4 SPICE建模.....	49
2.5 n阱的RC延迟.....	51
2.6 双阱工艺.....	54
第3章 金属层	61
3.1 焊盘.....	61
焊盘版图设计.....	61
3.2 金属层的版图设计.....	64

3.2.1	metal1和via1	64
3.2.2	金属层的寄生效应	66
3.2.3	载流极限	69
3.2.4	金属层设计规则	70
3.2.5	触点电阻	71
3.3	串扰和地弹	72
3.3.1	串扰	72
3.3.2	地弹	73
3.4	版图举例	75
3.4.1	焊盘版图II	76
3.4.2	金属层测试结构版图设计	78
第4章	有源层和多晶硅层	83
4.1	使用有源层和多晶硅层进行版图设计	83
工艺流程		89
4.2	导线与多晶硅层和有源层的连接	92
4.3	静电放电 (ESD) 保护	100
第5章	电阻、电容、MOSFET	105
5.1	电阻	105
5.2	电容	113
5.3	MOSFET	116
5.4	版图实例	124
第6章	MOSFET工作原理	131
6.1	MOSFET的电容回顾	131
6.2	阈值电压	135
6.3	MOSFET的 I/V 特性	140
6.3.1	工作在线性区的MOSFET	140
6.3.2	饱和区	142
6.4	MOSFET的SPICE模型	145
6.4.1	SPICE仿真实例	149
6.4.2	亚阈值电流	150
6.5	短沟道MOSFET	152

6.5.1	MOSFET缩比	153
6.5.2	短沟道效应	154
6.5.3	短沟道CMOS工艺的SPICE模型	155
第7章	CMOS制备	165
7.1	CMOS单元工艺步骤	165
7.1.1	晶圆的制造	165
7.1.2	热氧化	167
7.1.3	掺杂工艺	168
7.1.4	光刻	171
7.1.5	薄膜去除	174
7.1.6	薄膜沉积	177
7.2	CMOS工艺集成	181
7.2.1	前道工艺集成	183
7.2.2	后道工艺集成	202
7.3	后端工艺	213
7.4	总结	215
第8章	电噪声概述	217
8.1	信号	217
8.1.1	功率和能量	217
8.1.2	功率谱密度	219
8.2	电路噪声	222
8.2.1	电路噪声的计算和建模	223
8.2.2	热噪声	228
8.2.3	信噪比	234
8.2.4	散粒噪声	247
8.2.5	闪烁噪声	250
8.2.6	其他噪声源	257
8.3	讨论	259
8.3.1	相关性	259
8.3.2	噪声与反馈	264
8.3.3	有关符号的一些最后说明	267

第9章 模拟设计模型	275
9.1 长沟道MOSFET.....	275
9.1.1 平方律方程.....	277
9.1.2 小信号模型.....	284
9.1.3 温度效应.....	300
9.2 短沟道MOSFET.....	304
9.2.1 通用设计(起始点).....	304
9.2.2 专用设计(讨论).....	308
9.3 MOSFET噪声模型.....	310
第10章 数字设计模型	319
10.1 数字MOSFET模型.....	320
10.1.1 电容效应.....	323
10.1.2 工艺特征时间常数.....	324
10.1.3 延迟时间与跃迁时间.....	325
10.1.4 通用数字设计.....	328
10.2 MOSFET单管传输门电路.....	329
10.2.1 单管传输门的延迟时间.....	331
10.2.2 级联的单管传输门的延迟时间.....	333
10.3 关于测量的最后说明.....	334
附 录	339

第1章 CMOS设计概述

本章将概述CMOS（互补型金属氧化半导体）集成电路（IC）的设计流程（芯片设计）。CMOS常用于超大规模集成电路（VLSI）或甚大规模集成电路（ULSI）之中。术语“超大规模集成电路”（“VLSI”）通常指的是包含成千上万的金属氧化半导体场效应晶体管（MOSFET）的芯片，而术语“甚大规模集成电路”（“ULSI”）通常指的是百万以上的MOSFET。本书将尽量避免使用这些术语，而主要关注“数字和模拟CMOS电路设计”。

本章也将介绍使用SPICE（偏重于集成电路的仿真程序）工具进行电路仿真。具体内容包括基本电路分析的回顾以及SPICE语法的快速参考。

1.1 CMOS集成电路的设计流程

CMOS集成电路的设计流程包括：确定电路的输入输出、手工计算、电路仿真、版图设计、带寄生参数的仿真、电路输入输出的再评估、制造和测试等。图1.1给出了整体流程。电路设计的具体要求一般不会一成不变，也就是说，随着设计的不断推进，设计要求将会不断调整。这些调整可能是成本和性能要求之间的折中，也可能是为了适应市场所做的修改，或者直接根据用户的需求而进行调整。不管怎样，一旦芯片投入量产，将不能再进行较大的调整。

本书重点讨论定制集成电路的设计。当电路的需求量较小且设计周期要求较短时，可以采用其他芯片设计方法（非定制），包括现场可编程门阵列（FPGA）和标准单元库等。而大多数需求量巨大的芯片都需要定制设计，包括微处理器和存储器。

集成电路的版图设计通常由版图设计者完成。而对设计工程师而言，能够进行版图设计（并能指导版图设计者完成版图设计）且透彻理解版图中所涵盖的寄生效应是极其重要的。寄生效应主要包括芯片中的寄生电容、寄生电感、寄生PN结、寄生三极管，以及它们引起的各种问题（击穿、电荷存储、闩锁效应等）。对寄生效应的基本理解是设计高精、高速电路的关键。

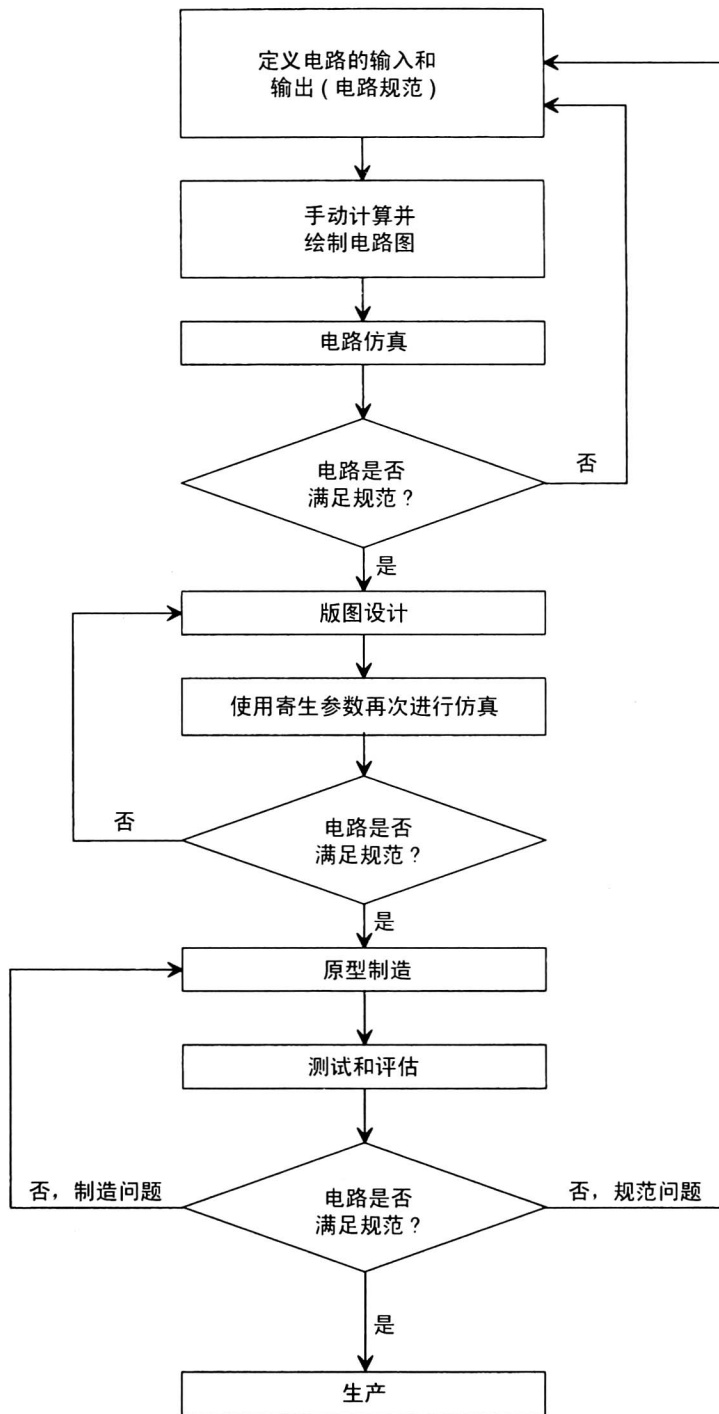


图1.1 CMOS IC设计流程

制造

CMOS集成电路是制造在圆形的硅薄片（晶圆）上的。每个晶圆上包含若干（甚至是