

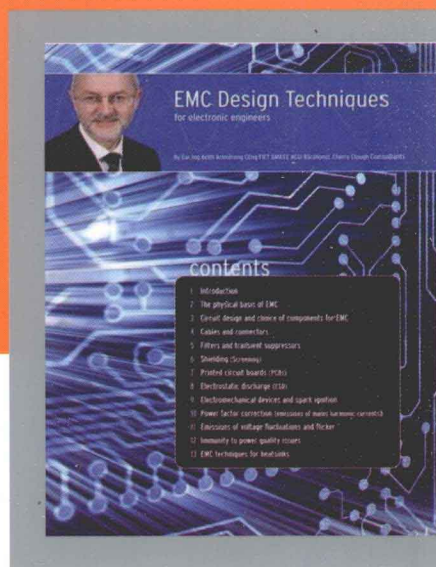
信息技术和电气工程学科国际知名教材中译本系列

Design Techniques for EMC

电子产品实用 EMC设计技术

Keith Armstrong 著

李晓辉 译



清华大学出版社



信息技术和电气工程学科国际知名教材中译本系列

Design Techniques for EMC

电子产品实用 EMC设计技术

Keith Armstrong 著

李晓辉 译

清华大学出版社

北京市版权局著作权合同登记号 图字：01-2013-6747

Design Techniques for EMC by Keith Armstrong

© Cherry Clough Consultants

本书封面贴有清华大学出版社防伪标签,无标签者不得销售。

版权所有,侵权必究。侵权举报电话:010-62782989 13701121933

图书在版编目(CIP)数据

电子产品实用 EMC 设计技术/(英)阿姆斯特朗(Armstrong,K.)著;李晓辉译.--北京:清华大学出版社,2013

书名原文: Design Techniques for EMC

信息技术和电气工程学科国际知名教材中译本系列

ISBN 978-7-302-29458-0

I. ①电… II. ①阿… ②李… III. ①电子产品—电磁兼容性—设计—高等学校—教材
IV. ①TN602

中国版本图书馆 CIP 数据核字(2012)第 186688 号

责任编辑:王丽娜 薛 阳

封面设计:傅瑞学

责任校对:焦丽丽

责任印制:刘海龙

出版发行:清华大学出版社

网 址: <http://www.tup.com.cn>, <http://www.wqbook.com>

地 址:北京清华大学学研大厦 A 座 邮 编:100084

社 总 机:010-62770175 邮 购:010-62786544

投稿与读者服务:010-62776969, c-service@tup.tsinghua.edu.cn

质 量 反 馈:010-62772015, zhiliang@tup.tsinghua.edu.cn

课 件 下 载: <http://www.tup.com.cn>,010-62795954

印 装 者:北京市清华园胶印厂

经 销:全国新华书店

开 本:185mm×260mm 印 张:18.5 字 数:448千字

版 次:2013年10月第1版 印 次:2013年10月第1次印刷

印 数:1~2000

定 价:39.00元

产品编号:046921-01

译者序

在举世瞩目的中国“天宫一号”目标飞行器与“神舟八号”载人飞船成功交会对接之际，本书的编译工作也接近尾声，这两个都可以称之为“胜利”的时刻让我感到了无比的激动和喜悦。祖国航天事业近年来蓬勃发展，成就辉煌，并逐步向航天强国奋力进发，国人无不为之自豪。在这辉煌成就的背后，离不开国内电子产品研制与装备水平的快速发展，虽然相比欧美发达国家还有差距，但这种差距正在靠我们的不懈努力而不断缩小。

电磁兼容，不但是作为一门研究和解决电子设备，系统自身及其与周围电磁环境无干扰问题的综合性学科，更重要的是作为一项应用性极强的工程技术，在民用和军用电子产品的设计、测试、制造、应用等环节发挥着至关重要甚至是决定性的作用。对于民用产品，电磁兼容性不满足相关标准规范的要求就不能上市销售，而对于军用产品，其电磁兼容性直接决定着武器系统能否可靠、安全运行。

电磁兼容分析、测试只是产品电磁兼容性预估和验证的手段，科学、全面、有效的电磁兼容设计，才是保证电子产品电磁兼容性的最关键手段，而能够具体指导产品开发的、工程化的、反映当前国际主流技术水平的电磁兼容设计技术，正为当前电子产品工程设计与研发人员所孜孜以求。

有鉴于此，为进一步促进电子产品电磁兼容设计技术在中国的发展，同时也得益于国内电磁兼容行业著名期刊《安全与电磁兼容》编辑部的支持和鼓励，我决定翻译 Keith Armstrong 先生的这部著作。从 2007 年开始，该书的译文陆续在《安全与电磁兼容》的“EMC 教室”栏目以连载的形式发表，这些新颖而实用的电磁兼容设计技术得到了读者积极的评价，该书的内容将于今年在《安全与电磁兼容》上发表完毕。

该书没有对电磁兼容设计的相关原理进行繁复的描述，而是站在电子产品设计师的角度，结合西方发达国家近几年在电磁兼容设计技术方面的最新研究成果和经验，从工程实际应用出发，针对不同种类电子产品的特点，给出了大量工程应用实例，深入浅出，通俗易懂。该书不仅可以作为工程技术人员的参考书，也可以作为高等院校相关专业的教材。

该书的翻译工作由本人独立完成，《安全与电磁兼容》编辑部的安皓先生和王淑华女士进行了认真细致的校对。由于译者水平有限，书中难免有不妥之处，欢迎广大读者提出宝贵意见。

感谢 Keith Armstrong 先生对出版本书给予的大力支持，感谢《安全与电磁兼容》期刊主编谢虹女士、中国空间技术研究院陈淑凤研究员、张华研究员对本书翻译工作的悉心指导和无私帮助。

李晓辉

2013 年 3 月

目 录

第 0 章 引言	1
第 1 章 电路 EMC 设计与元器件的选取	3
1.1 数字电路:有源器件选择与电路设计	3
1.1.1 选择有源器件	3
1.1.2 数字电路设计	5
1.2 解调与互调	8
1.2.1 存在的问题	8
1.2.2 模拟电路中抑制解调与互调效应的设计	9
1.3 模数变换:有源器件选择与电路设计	11
1.3.1 有源器件的选择	11
1.3.2 模拟与数字变换电路设计	12
1.4 开关电源变换器的 EMC 设计	14
1.5 通信电路	20
1.5.1 避免使用金属导体	20
1.5.2 金属导体通信方式的 EMC 设计技术	20
1.5.3 光耦合与光隔离	24
1.6 快速简便的近场测试有助于有源器件的选择	26
1.7 对有源器件进行快速测试以保证批生产产品的 EMC 性能	27
1.8 无源器件的选择	27
1.8.1 寄生 R、L 和 C 的影响	27
1.8.2 电容的选择	29
1.8.3 磁性器件的选择和设计	29
1.8.4 安全性考虑	30
1.9 二手器件	30
1.10 机械设计与装配问题	30
1.11 参考文献	31
第 2 章 电缆与连接器	33
2.1 引言	33
2.2 所有的导线都是“无意天线”	33
2.2.1 所有的导线都需进行 EMC 设计	35

2.2.2	无任何导线的产品具有较高的成本效益	36
2.2.3	控制差模和共模电流通路	36
2.2.4	同轴和双绞发送/返回导线	38
2.2.5	差分(平衡)互连	39
2.3	电缆隔离	40
2.4	非屏蔽连接	43
2.4.1	非屏蔽线缆	43
2.4.2	非屏蔽连接器	44
2.5	接地线	45
2.6	屏蔽电缆	45
2.6.1	如何对电缆进行屏蔽	45
2.6.2	屏蔽层互连的机理	46
2.6.3	各种电缆的表面变换阻抗(Z_T)和屏蔽效能(SE)	48
2.6.4	屏蔽电缆的连接器和屏蔽罩	49
2.6.5	传统连接器的的问题	53
2.6.6	无屏蔽连接器和屏蔽罩时的电缆屏蔽层端接	54
2.6.7	接地环路对 EMC 设计没有影响	56
2.6.8	需要采用电化隔离时	58
2.6.9	射频连接器的互调	59
2.6.10	检查连接器安装后和使用中的状态	59
2.7	传输线的互联	60
2.7.1	什么是传输线	60
2.7.2	为何需要、何时需要使用匹配传输线	61
2.7.3	匹配传输线	62
2.7.4	差分(平衡)传输线特性阻抗的匹配	66
2.7.5	在最高关注频率上匹配电阻器必须是电阻性的	67
2.7.6	阻抗匹配传输线连接器	67
2.8	参考文献	68
第 3 章	滤波和瞬态干扰抑制	70
3.1	引言	70
3.2	滤波器的设计和选取	71
3.2.1	滤波器的工作原理	71
3.2.2	基本滤波电路的缺陷	73
3.2.3	射频参考的重要性	73
3.2.4	差模(DM)和共模(CM)	74
3.2.5	阻抗不连续性最大化	75
3.2.6	使用软磁铁氧体磁芯	76
3.2.7	关于感性器件的三点考虑	79

3.2.8	滤波器的选型与设计	82
3.2.9	真实电源阻抗的相关问题	85
3.2.10	真实开关电源输入阻抗的相关问题	87
3.2.11	抑制引起增益的滤波器谐振现象	87
3.2.12	滤波器与安全	87
3.3	滤波器的安装	88
3.3.1	输入与输出导线	88
3.3.2	趋肤效应和表面电流	89
3.3.3	滤波与屏蔽效果的相互作用	91
3.3.4	穿心滤波器的安装技术	92
3.3.5	搭接面的防腐蚀设计	97
3.3.6	滤波器串联应用	97
3.4	过压瞬态和浪涌的类型	98
3.5	浪涌防护	100
3.5.1	绝缘体的浪涌过压防护	100
3.5.2	导线的浪涌防护	100
3.5.3	电气触点的浪涌防护	101
3.5.4	浪涌防护的最佳方法——电化隔离	101
3.5.5	使用滤波器进行浪涌抑制	102
3.5.6	浪涌保护器件(SPD)的应用	104
3.5.7	浪涌抑制器件(SPD)的类型	106
3.5.8	浪涌抑制器件特性的比较	108
3.5.9	将与浪涌抑制器件串联的电感降至最低	110
3.5.10	浪涌抑制器件指标的选取	110
3.5.11	浪涌抑制器件的组合应用	112
3.5.12	浪涌防护的级别	112
3.5.13	浪涌抑制器件的保护	112
3.5.14	设备的维护与可靠性	114
3.5.15	浪涌抑制产品	115
3.5.16	系统浮地问题	116
3.5.17	数据纠错	117
3.6	参考文献	117
第4章	屏蔽设计	119
4.1	引言	119
4.2	金属板屏蔽	121
4.3	产品的立体屏蔽	121
4.3.1	立体屏蔽的基本概念	122
4.3.2	趋肤效应和电磁能量吸收	124

4.3.3	超低频屏蔽	125
4.3.4	孔缝泄漏对屏蔽效能的影响	125
4.3.5	远场中孔缝的谐振/天线效应	127
4.3.6	远场条件下的多孔缝泄漏效应	129
4.3.7	腔体谐振与孔缝泄漏	130
4.3.8	孔缝的近场泄漏	131
4.3.9	降低孔缝泄漏的设计方法	132
4.3.10	截止波导技术	137
4.3.11	显示器(及类似装置)的屏蔽	142
4.3.12	屏蔽薄膜开关面板	145
4.3.13	屏蔽通风孔	146
4.3.14	屏蔽转轴连接器	147
4.3.15	散热器与机箱屏蔽体的连接	147
4.3.16	防止线缆穿透影响屏蔽效能	148
4.4	PCB 级的屏蔽	149
4.4.1	PCB 级屏蔽的必要性	150
4.4.2	PCB 级屏蔽技术概述	150
4.4.3	PCB 屏蔽罩的类型	152
4.4.4	屏蔽罩与 PCB 金属平面之间的搭接	153
4.4.5	PCB 屏蔽罩的材料	154
4.4.6	PCB 屏蔽罩的孔缝	154
4.4.7	适用于 PCB 级屏蔽的截止波导技术	155
4.4.8	PCB 屏蔽罩内的腔体谐振效应	156
4.4.9	穿出/穿入 PCB 屏蔽罩的屏蔽导线与印制线	158
4.4.10	PCB 级屏蔽与滤波的综合应用	159
4.4.11	PCB 级屏蔽与散热器的组合应用	161
4.5	利用软件预估屏蔽效能	162
4.6	EMC 屏蔽衬垫	163
4.6.1	体导电橡胶衬垫	163
4.6.2	具有导电涂层或包覆层的橡胶衬垫	164
4.6.3	金属丝网衬垫	165
4.6.4	指形簧片(金属簧片)	166
4.6.5	其他类型的 EMC 衬垫	168
4.6.6	衬垫的机械设计技术	168
4.6.7	衬垫的固定	171
4.7	屏蔽材料	171
4.7.1	金属及其表面加工	171
4.7.2	聚合物钝化的相关问题	173
4.7.3	金属化纸与金属化织物	173

4.7.4	油漆与涂料	174
4.7.5	具有金属涂层或镀层的塑料	175
4.7.6	体导电塑料的屏蔽	176
4.7.7	其他塑料机箱的屏蔽方法	177
4.7.8	环境保护的考虑	177
4.7.9	防腐蚀	177
4.8	参考文献	180
第 5 章	印制线路板(PCB)设计与布局布线	183
5.1	引言	183
5.2	隔离设计	184
5.3	接口分析、滤波和骚扰抑制	187
5.4	0V 平面和电源平面	190
5.4.1	通用平面设计准则	190
5.4.2	仅在有必要时使用散热焊盘	193
5.4.3	将 PCB 平面搭接到元器件、导线和机箱	193
5.4.4	保证 0V 平面的完整性	195
5.4.5	靠近 PCB 平面边沿或穿过平面裂缝的印制线	196
5.4.6	用不起多层 PCB	197
5.5	电源去耦	198
5.5.1	常用的去耦设计准则	198
5.5.2	铁氧体去耦	200
5.5.3	0V/电源平面对应的益处	200
5.6	匹配传输线技术	201
5.6.1	何时使用匹配传输线	201
5.6.2	调整负载电容	204
5.6.3	PCB 叠层介质材料的选择	204
5.6.4	传输线终端匹配电阻	205
5.6.5	差分匹配传输线	205
5.6.6	传输线布线	206
5.6.7	短截线与分支线	207
5.7	PCB 叠层	209
5.8	参考文献	210
第 6 章	ESD、机电设备、功率因数校正、电压波动、电压骤降与跌落	212
6.1	ESD(静电放电)	212
6.1.1	ESD 的危害	212
6.1.2	通过防止静电积累预防 ESD	216
6.1.3	防止绝缘物品放电	216

6.1.4	控制屏蔽机箱的放电	220
6.1.5	保护信号、数据、控制与电源线	223
6.1.6	设备互联的“浮地”问题	227
6.1.7	防止数据与信号出错	229
6.1.8	使用其他电磁设计技术	230
6.1.9	软件技术	230
6.2	机电装置与火花点火	230
6.2.1	安全性要求	230
6.2.2	电弧与电火花	231
6.2.3	电磁发射与抗扰度标准的问题	232
6.2.4	抑制电弧与电火花	233
6.2.5	抑制整流子电机与发电机	235
6.2.6	抑制滑环	237
6.2.7	抑制电火花点火	238
6.2.8	电铃与蜂鸣器	238
6.3	功率因数校正(电源线谐波电流发射)	239
6.3.1	容性负载整流器的问题	239
6.3.2	使用低容值非稳压直流平滑电容器	242
6.3.3	电源谐波滤波	242
6.3.4	使用串联电感进行无源谐波抑制	243
6.3.5	开关电源中的电荷泵功率因数校正	245
6.3.6	“有源”功率因数校正技术	246
6.3.7	三相设备的电磁发射抑制	247
6.3.8	有源前端(AFE)三相升压变换器	248
6.3.9	反谐波注入(“有源滤波”)	248
6.3.10	其他方法	249
6.4	电压波动与闪烁的发射	249
6.4.1	电压波动与闪烁的起因	249
6.4.2	标准与限值	250
6.4.3	电压波动与闪烁抑制技术的背景	251
6.4.4	减小开机瞬间的浪涌电流	251
6.4.5	降低交流负载变化引起的电压波动的电磁发射	254
6.4.6	降低电子负载变化的电压波动的电磁发射	255
6.5	电源品质的抗干扰能力	256
6.5.1	电源品质简介	256
6.5.2	供电电路的安全性问题	257
6.5.3	过压(电压骤升)	258
6.5.4	交流电源频率波动	260
6.5.5	交流电源三相不平衡	261

6.5.6	交流电源中的直流分量	261
6.5.7	共模低频电压	262
6.5.8	欠压(电压下降、持续低压、跌落、间断与中断)	264
6.5.9	电压波动	269
6.5.10	波形失真(谐波与/或间谐波)	270
6.5.11	提高电源自身的品质	273
6.5.12	断路技术	278
6.6	总结	279
6.7	参考文献	279
	致谢	282

第 0 章 引 言

1. 产品的成本效益与上市时间

电子产品的许多设计人员通常更为关注产品的功能和性能,他们通常在产品设计已经基本完成,且已经准备好进行 EMC(Electro Magnetic Compatibility,电磁兼容)测试时才开始关注产品的 EMC 问题。然而,所有的 EMC 设计专家都认为,这种做法并不具有较高的成本效益,且必定会延长产品的上市时间。

随着电子技术的不断发展,集成电路和晶体管对电磁现象变得越来越敏感,它们所处的电路本身也逐渐成为一个严重的电磁干扰源。另外,电磁频谱的应用也越来越广泛,同时也受到更多的“污染(噪声干扰)”,最终就会导致由于产品未在研制初期进行有效的 EMC 设计而使产品的研发成本不断增长。

在产品研发全过程中考虑 EMC 问题,看起来会增加材料成本,但如果能够保证产品的 EMC 性能符合相关标准,反而会降低材料成本。即使最终的材料成本较高,生产成本和可带来一定利润的销售价格通常也会比较低。

本书的目的就是使电子产品设计人员掌握一些基本且实用的 EMC 设计技术。随着电子技术的不断发展,这些相关 EMC 设计技术也越发显得至关重要,其应用也应更加深入和注重细节。

2. 产品开发过程中的 EMC 控制

在开始具体论述 EMC 设计技术之前,有必要了解一下在产品研发项目中理想的 EMC 生命周期所涵盖的内容。

(1) 制订新产品需满足的电磁规范,其内容如下。

① 产品需承受的电磁环境,包括连续、高概率与小概率的电磁骚扰^[4]。

② 骚扰出现时,产品性能所允许的降低程度。

③ 产品与外围敏感设备可能的靠近程度及其产生的可接受的后果,由此得到产品的电磁发射规范。

④ 确认是否有安全问题需要额外增加产品电磁规范的内容。与电磁干扰(Electro Magnetic Interference,EMI)相关的安全认证可以由安全指令与标准进行要求,而不是 EMC 指令与标准^[2]。

⑤ 所有需要满足的 EMC 标准和所需符合的法规及其在实际应用时的注意事项(考虑产品要面向的市场、用户的一些特殊要求等)。

(2) 系统设计。

① 至少使用一些基本的系统级 EMC 设计技术,比如在文献[5]、[6]中描述的那些。考虑到 EMC 认证或成本效益,可能需要使用一些更高级的技术。

② 将顶层 EMC 规范体现到各系统模块的设计中。

(3) 系统模块设计。

① 至少使用一些本书中所给出的基本的 EMC 设计技术。考虑到 EMC 认证或成本效益,可能需要使用一些更高级的技术。

② 在形成硬件产品之前对 EMC 设计进行试验、计算或仿真,对早期的样机进行简单的 EMC 测试,对后期的样机和/或第一代产品进行更为标准的 EMC 测试。

(4) 使用软件进行一些基本的 EMC 设计^[9,10]。

(5) 使产品满足上市销售所要求的法规。

(6) 通过 EMC 测试或采用其他技术以控制以下几条内容。

① 元器件的差异和变化、组装方式和其他生产过程中的变化对产品一致性的影响。

② 产品组装方式的变化,包括布线和元器件的替换。

③ 产品设计的调整(电气、电子、机械和软件等),包括软件漏洞的修复。

④ 所有的差异与升级。

(7) 把产品销往既定的市场,若要增加新的销售区域,从制定电磁规范开始重新执行该流程。

(8) 调查所有的用户抱怨的与产品的电磁干扰问题,根据调查的结果对产品的设计进行调整和改进,对纠正措施进行闭环控制。

这个过程看起来很烦琐,但是实际上目前一些成功的工程师和营销人员确实在身体力行,毕竟,对产品 EMC 生命周期的严格控制能够降低企业遭受商业、金融与法律风险的可能性。

第 1 章 电路 EMC 设计与元器件的选取

在产品研发过程的早期进行有源、无源器件的正确选择,进行电路的 EMC 设计技术,能够以最低成本的高效的方式使产品通过 EMC 认证,降低生产成本、产品尺寸和采取滤波与屏蔽措施所增加的重量。

这些 EMC 技术也能够提高数字信号完整性和模拟信号的信噪比,并可至少减少一次硬件与软件的反复设计过程,从而能够帮助新研发的产品满足其功能性指标,缩短上市时间。这些 EMC 技术也应被视作企业的竞争优势,帮助企业获取最大的商业利益。

EMC 标准的制定是为了测试产品有源部件的电磁发射与敏感度,所以,将来可以直接对产品有源部件的 EMC 规范进行比较。

1.1 数字电路:有源器件选择与电路设计

1.1.1 选择有源器件

大部分数字电路在工作时都会产生谐波分量非常丰富的脉冲串,图 1-1 显示了两个方波信号的频率和上升/下降时间对其谐波分量产生的影响:频率越高,信号边沿越陡峭,谐波分量就越丰富。所以,在满足性能指标的条件下,尽量选择一些时钟频率较低、上升/下降时间较长的数字电路。比如,如果 74HC 能满足要求,就不要使用 74AC,如果 CMOS4000 也能满足要求,也可以不用 74AC。

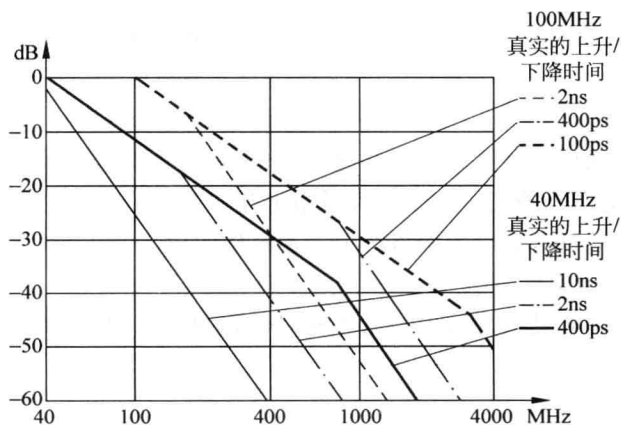


图 1-1 方波的上升/下降时间对其谐波包络的影响

上升/下降时间的指标通常指的都是最大值,芯片的生产商从而就可以在不更改产品说明书的情况下使用较小的硅片以降低生产的成本。所以,印制线路板(PCB)上集成电路(IC)的实际上升/下降时间要比指标小得多,通常为指标的 1/4 或 1/10,具体取决于硅片的

尺寸。随着芯片制造技术的不断发展,电路中所使用的硅片会越来越小,电路的上升/下降时间也随之减小,而产生的电磁发射会更加严重。

所以,最好选择具有良好电磁兼容性能指标的器件,包括以下几项考虑的内容。

1. 电源和地的管脚排列紧密、数量增多或居中分布

传统 TTL 的管脚排列标准是将电源与地的管脚布置在对称的两个角上,由此带来很大的 EMC 与地弹问题。

2. 输出电压摆幅小,压摆率可控

这样可以减小 dV/dt 和 dI/dt ,从而降低电磁发射。降低输出电压摆幅有时会导致抗扰度的降低,所以最好在两者之间进行折中。

3. 电磁发射小

许多芯片生产商都提供电磁发射较低的胶合逻辑系列产品。比如 ACQ 和 ACTQ 系列就比 AC 和 ACT 系列的电磁发射低。一些厂商还提供 EMC 性能较高的 VLSI,比如 Philips 就至少有两种型号的 80C51 微处理芯片,它们的电磁发射至少比其他的 80C51 系列芯片低 40dB。Fujitsu Mikroelektronik 公司也有类似的 FM2C-16LX 系列芯片。一些 FPGA 和 ASIC 的设计公司也能提供电磁发射较低的产品,这类产品的压摆率、输出驱动和/或输出信号的阻抗都是可控的,有助于缩短产品开发的周期。

4. 抗扰度高

许多通信类产品(如 RS232、RS485、USB 等)的 I/O 管脚对静电放电(ESD)都具有较高的抗扰度。如果现有的抗扰度不能满足产品必须通过的相关标准要求,还必须使用额外的干扰抑制元件。

5. 输入电容小

这样可以降低逻辑状态切换时产生的尖峰电流的幅度,从而降低磁场发射和减小返回电流。对传输线而言,较小的输入电容可以实现更好的匹配。

6. 在芯片上(或封装内)集成去耦电容

对 EMC 而言,这是安放去耦电容的最佳位置,同时还可使 PCB 供电线的去耦更为容易。

7. 电源瞬态小

当芯片中的推拉输出电路状态发生变化时,电源瞬态电流会在高端与低端驱动器同时工作时流过,能够使电源线瞬间短路。电源瞬态电流(或称为导通电流)有时会比信号电流还大,从而,导通噪声通过电源分配网络产生大量电磁发射。

8. 驱动电流不大于实际需求

高输出电流的驱动器具有高输出的晶体管,从而意味着产生较大的电源瞬态电流和导通电磁噪声发射。

9. 地弹干扰小

这种芯片通常具有良好的 EMC 性能。当输出端工作状态同时切换时,所引起的地弹干扰叠加起来形成更高的噪声电压。一些 ASIC 和 FPGA 的设计公司采用了能够有效防止输出端工作状态同时切换的技术,比如在输出装置的输出使能中放置一些缓冲器^[10]。

10. 0V 管脚的数量

具有最佳 EMC 性能的芯片所具有的 0V 管脚的数量,与其他管脚的数量是一样的,这

些 0V 管脚分布在各个管脚之间。

11. 非饱和逻辑

对于最高工作频率相同的芯片,与 TTL 这样的饱和逻辑芯片相比,非饱和逻辑芯片(比如 ECL)具有较短的上升/下降时间和较小的电源瞬态电流,从而也就具有较小的电磁发射。

12. 具有内部时钟发生器的高速芯片

此类芯片比使用外部时钟发生器的芯片具有更小的电磁发射。有些芯片还使用时钟乘法器和锁定在低速系统时钟上的锁相环,其产生的电磁发射比使用高速系统时钟的芯片小得多。

13. 差分(平衡)信号

当需要沿导体传输高速信号时,芯片的输出端必须与传输线匹配。对于驱动 25Ω 并联终端负载的总线驱动器,它可以驱动一根 25Ω 传输线(如 RAMBUS),也可以驱动两根 50Ω 传输线、4 根 100Ω 传输线或 6 根 150Ω 传输线(比如使用星形连接)。

14. 选择附有 EMC 应用信息的芯片

一些芯片供应商会随产品附上详细的 EMC 设计信息(比如 Intel 的 Pentium MMO 芯片),所以一定要向供应商确认是否提供此类信息,复制一份,并在产品设计时作为参考。然而,芯片产品的 EMC 设计技术必须是现行有效的,比如本书中所描述的这些。事实上,许多芯片的 EMC 应用说明仍在重复着过时的方法,比如要把 PCB 模拟电路与数字电路的 0V 地隔离开,此类方法并不能有效控制几 MHz 以上的射频(RF)发射,它们在 20 世纪 60 年代(开始应用的时间)之前或许还有用,但现在的电路要承受高达 2.45GHz 的强电磁干扰(频率和能量不断增高),这些方法已不能解决此类问题。

15. 异步电路

异步技术,或称为“无时钟”、“握手”和“自然时钟”,其产生的电磁发射比同步逻辑电路低,消耗的能量也较小。目前至少已经有一种商业化的异步芯片设计工具。Philips 多年来一直在开发异步处理器,现在已经衍生出一家专注于此的被称为 Handshake Solutions 的公司。

1.1.2 数字电路设计

1. 上升/下降时间的控制

为了减小电磁发射,需要上升/下降时间尽量长和平缓,尤其是对于较长的印制线和互连线。但许多厂商并不提供产品的上升/下降时间信息,或只是给出一个最大值(无助于判断产品的 EMC 性能)。

越来越多的数字电路开关切换动作比实际功能要求的速度快很多,所以才不得不面对日益严重的谐波干扰。为了得到最佳的成本效益,应该对重点器件考虑干扰抑制措施,最好的办法就是对 PCB 采取措施以控制逻辑边沿速率或带宽,如图 1-2 所示。

串联电阻或铁氧体磁珠通常是控制边沿速率和谐波干扰的最佳选择,尽管 R-C-R T 型滤波器也能起到类似的作用,甚至在控制传输线的谐波干扰方面表现得更好,这是因为电容与地的直接连接会增加输出瞬态电流,并从而增大电磁发射。若时钟偏差在允许范围之内,最好使用更为平缓的边沿,若有必要,可以在接收端使用施密特门来展宽边沿。

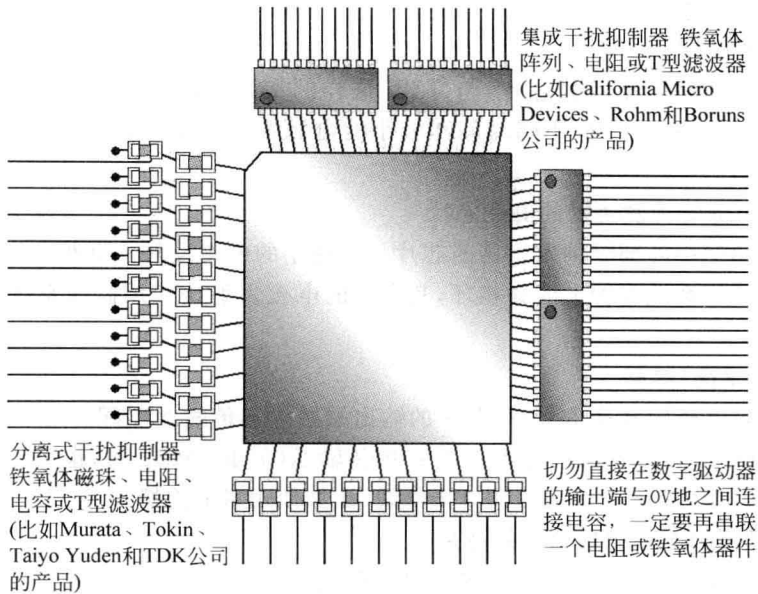


图 1-2 对 PCB 采取措施以抑制谐波干扰

对于 PCB 样板,可以先不使用串联抑制器件,而是使用 0Ω 器件或用刻刀刻出的印制线将其短路。并联抑制器件也不必一开始就采用。如果发现某个芯片引起的无意电磁发射过高,才需考虑使用这些干扰抑制器件。

2. 把集电极开路上拉电阻布置在其驱动器附近,并选用较高的阻值

这样可以减小其互连印制线上的最大电流和电流回路的面积,从而有助于减小电磁发射。不过这种方法有时会降低电路的抗扰度,所以最好在两者之间进行折中。

3. 电源去耦

每一个电源或参考电压的管脚都需要去耦^[1],本书的第 5 章内容中将给出具体方法。把所有未使用的门电路的输入端连接到 0V 或 V+。可以使用上拉或下拉电阻进行连接,从而在对电路进行测试或故障诊断时使门电路正常工作,并能在程序出错或受到电磁干扰而崩溃时可编程 I/O 管脚不会出现大电流。

4. 传播噪声的 PCB 印制线

传输快速变化的时钟或类似信号的印制线是最严重的电磁干扰源,所以,器件的安装位置和印制线的布线都是需要认真考虑的问题^[1,3],本书的第 5 章内容中将给出具体方法。

5. 时钟缓冲

若时钟信号必须沿着较长的印制线传输以驱动多个负载,需要在负载端安装时钟缓冲器,以限制印制线上电流的幅度,从而减小电磁发射。

6. 抑制短脉冲

一些器件或电路会产生短脉冲,这些短脉冲除了会引起信号完整性和可靠性问题外,还会加剧电磁发射。所以要避免器件或电路产生短脉冲,可以使用高速示波器检查信号的真实波形,确保没有短脉冲出现^[10]。