



普通高等教育“十二五”应用型人才培养规划教材

EDA技术与 SOPC基础

EDA JISHU YU SOPC JICHU

主 编 / 胡迎刚

主 审 / 鲁顺昌

SOPC

EDA
SOPC



西南交通大学出版社
[Http://press.swjtu.edu.cn](http://press.swjtu.edu.cn)



普通高等教育“十二五”应用型

EDA技术与 SOPC基础

EDA JISHU YU SOPC JICHU

主 编 / 胡迎刚

主 审 / 鲁顺昌

SOPC

EDA

SOPC

西南交通大学出版社

• 成 都 •

图书在版编目 (C I P) 数据

EDA 技术与 SOPC 基础 / 胡迎刚主编. 一成都: 西南交通大学出版社, 2013.7

普通高等教育“十二五”应用型人才培养规划教材
ISBN 978-7-5643-2320-2

I. ①E… II. ①胡… III. ①电子电路—电路设计—计算机辅助设计—高等学校—教材②微处理器—系统设计—高等学校—教材 IV. ①TN702②TP332

中国版本图书馆 CIP 数据核字 (2013) 第 114499 号

普通高等教育“十二五”应用型人才培养规划教材

EDA 技术与 SOPC 基础

主编 胡迎刚

责任编辑	李芳芳
助理编辑	宋彦博
封面设计	墨创文化
出版发行	西南交通大学出版社 (四川省成都市金牛区交大路 146 号)
发行部电话	028-87600564 028-87600533
邮政编码	610031
网 址	http://press.swjtu.edu.cn
印 刷	成都中铁二局永经堂印务有限责任公司
成品尺寸	185 mm×260 mm
印 张	17.25
字 数	431 千字
版 次	2013 年 7 月第 1 版
印 次	2013 年 7 月第 1 次
书 号	ISBN 978-7-5643-2320-2
定 价	35.00 元

图书如有印装质量问题 本社负责退换
版权所有 盗版必究 举报电话: 028-87600562



前言

《EDA 技术与 SOPC 基础》一书是作者长期从事 EDA 教学、科研工作的经验总结,是符合应用型 EDA 人才培养目标的大学本科教材。本书着眼于简单、快速、高效地让读者进入 EDA 技术世界,轻松掌握 FPGA 的开发设计技术、单芯片系统编程(SOPC)技术,为广大零基础的读者提供入门级的学习资料,也为有一定基础的 FPGA 使用者提供进阶级的学习指导。

从内容的编排来看,本书的主要特点是基于“项目驱动”的新型应用型人才培养教学模式。传统电子编程技术课程的教学模式,是从基本概念、语法、语句到简单的设计应用,学生学习效率非常低,必须经历一个很漫长的学习周期才能具备初步的应用能力。“项目驱动”模式则是将教学内容中的基本概念、语句、语法等分别隐含到相应的独立设计项目中,在概念讲解之前都会从一个实例出发,一开始就从具体的实例设计介绍入手,让学生在生动具体的实例中学习理论知识、掌握理论知识,使学习难度降低,从而能更加快速有效地培养学生真正的动手应用能力,达到良好的学习效果。

全书共分为九章,主要是以 Altera 公司的 FPGA 为核心深入浅出地介绍了 EDA 基础应用和片上可编程系统设计方法。第 1 章主要介绍 EDA 相关概念及设计流程。第 2 章介绍 Quartus II 软件的安装和使用方法。第 3 章介绍 VHDL 的基础应用。第 4 章介绍 LPM 宏功能模块及 IP 核的设计使用方法。第 5 章介绍有限状态机的设计原理和基本结构。第 6 章介绍片上编程系统设计基本流程和方法。第 7 章介绍 Nios II 硬件系统设计中常用的外设结构。第 8 章介绍片上编程系统的软件设计方法。第 9 章介绍嵌入式 DSP 模块的一般设计方法及流程。其中第 1~5 章是 EDA 技术基础内容,第 6~8 章是片上编程系统(SOPC)设计基础内容。

在本书的编写过程中,得到了四川师范大学成都学院王六章董事长的大力支持,得到了鲁顺昌教授、汪光宅教授、张诚处长的细心指导,还得到了屈召贵老师、马艳老师、龚名茂等老师和同学的大力帮助,在此表示衷心的感谢!

本书适合作为电子、通信、自动化等电子信息类专业和计算机技术应用类专业本科、专科的 EDA 相关课程教材,也可以作为 FPGA 应用入门的自学参考书。书中的概念和理论参考了的部分文献,在此对原作者们表示感谢。由于本人水平有限,书中难免出现疏漏,希望读者批评指正。

电子邮箱:123123285@qq.com

胡迎刚

2013 年 4 月于成都



目 录

第 1 章 EDA 技术概述	1
1.1 EDA 技术概念	1
1.2 EDA 技术发展历程	2
1.3 EDA 技术主要内容	3
1.4 EDA 技术设计流程	7
习 题	11
第 2 章 Quartus II 应用向导	12
2.1 原理图输入法应用向导	12
2.2 文本输入法应用向导	30
习 题	30
第 3 章 VHDL 入门	32
3.1 组合逻辑电路设计	32
3.2 时序逻辑电路设计	43
3.3 VHDL 层次化设计	53
3.4 VHDL 结构和语句总结	56
3.5 VHDL 语法要素总结	79
习 题	86
第 4 章 宏功能模块与 IP 应用	90
4.1 LPM_ROM 定制	90
4.2 LPM_RAM 定制	102
4.3 FIFO 定制	104
4.4 嵌入式 PLL 定制	106
4.5 其他常见 LPM 模块的使用方法	109
4.6 mc8051 单片机 IP 核移植	113
习 题	126
第 5 章 有限状态机设计	128
5.1 为什么学习状态机?	128

5.2 一般有限状态机的结构	129
5.3 Moore 型有限状态机的设计	134
5.4 Mealy 型有限状态机的设计	144
习 题	145
第 6 章 SOPC 入门	148
6.1 SOPC 概述	148
6.2 SOPC 入门实例	153
6.3 SOPC 开发流程小结	176
6.4 SOPC 设计工具介绍	180
习 题	197
第 7 章 SOPC 硬件设计	198
7.1 Nios II 处理器简介	198
7.2 Nios II 常用外围设备	212
习 题	238
第 8 章 SOPC 软件设计	241
8.1 HAL 系统库	241
8.2 基于 HAL 的程序设计方法	243
习 题	249
第 9 章 嵌入式 DSP 设计初探	252
9.1 DSP Builder 简介	252
9.2 DSP Builder 设计流程	253
9.3 可控正弦信号发生器设计实例	255
参考文献	270

随着微电子技术的不断进步, 以及大规模集成电路加工技术的不断提高, 即半导体工艺技术的不断提高, 现代电子设计技术取得了长足发展。20 世纪 90 年代, EDA (Electronic Design Automation, 电子设计自动化) 技术的出现, 极大地提高了现代电子系统设计的效率和可靠性, 使功能多样化、体积小化、功耗最低化的当代电子系统设计要求得以满足, EDA 技术也成为现代电子设计技术的核心。

1.1 EDA 技术概念

EDA 技术作为现代电子设计技术的核心, 它是以微电子技术为物理层面, 以计算机软件技术为手段, 实现集成电子系统或专用集成电路 ASIC (Application Specific Integrated Circuit) 设计的一门新兴技术, 其最终目标是实现 ASIC 的设计。

EDA 技术从概念上有狭义和广义之分。狭义的 EDA 技术, 是指以可编程逻辑器件 (Programmable Logic Device, PLD) 为设计载体, 以硬件描述语言 (Hardware Description Language, HDL) 为系统逻辑描述的主要表达方式完成设计文件, 在计算机及 EDA 软件工具平台上, 自动完成系统逻辑编译、化简、分割、综合、优化和仿真, 直至下载到可编程逻辑器件, 最终实现既定的电子电路设计技术。

广义的 EDA 技术, 除了狭义的 EDA 技术内容外, 还包括计算机辅助分析技术 (如 MATLAB、EWB 等), 计算机辅助设计 CAD (Computer Assist Design) 技术 (如 Protel、OrCAD 等)。计算机辅助分析和计算机辅助设计均不具备逻辑综合和逻辑适配的功能, 因此它们并不能称为严格意义上的 EDA 技术。EDA 技术应该包含 3 个层次的内容: 首先是以 EWB、Protel 的学习作为 EDA 技术的最初级内容; 其次是利用 HDL 完成对大规模可编程逻辑器件的开发作为 EDA 技术的中级内容; 最后以 ASIC 的设计作为 EDA 技术的最高级内容。

EDA 技术主要面向两大类人员: 一类是专用集成电路 ASIC 的芯片设计研发人员; 另一类是广大的电子线路设计人员, 即不具备集成电路深层次知识的设计人员。本书所阐述的 EDA 技术以后者为应用对象, 这样, EDA 技术可以简单理解为: 以大规模可编程逻辑器件为设计载体, 设计者用硬件描述语言来编写设计文件, 并输入给相应的 EDA 开发软件, 经过编译和仿真, 最终下载到设计载体中, 完成系统电路设计任务的一门新技术。

利用 EDA 技术进行电子系统设计，它具有以下几个特点：

- ★ 用软件的方式设计硬件；
- ★ 用软件方式设计的系统到硬件系统的转换是由相关的开发软件自动完成的；
- ★ 设计过程中可用相关软件进行各种仿真测试；
- ★ 系统可现场编程、在线升级；
- ★ 整个系统可集成在一个芯片上，体积小、功耗低、可靠性高。

综上所述，EDA 技术将是现代电子设计的发展趋势。

1.2 EDA 技术发展历程

EDA 技术作为现代电子设计技术的核心，不仅在硬件实现方面融合了大规模集成电路制造技术、IC 版图设计技术、ASIC 测试和封装技术、FPGA（Field Programmable Gate Array，现场可编程门阵列）/CPLD（Complex Programmable Logic Device，复杂可编程逻辑器件）编程下载技术、自动测试技术等，在计算机辅助工程方面融合了计算机辅助设计（CAD）、计算机辅助制造（CAM）、计算机辅助测试（CAT）、计算机辅助工程（CAE）技术以及多种计算机语言的设计概念，还包含了现代电子学中的电子线路设计理论、数字信号处理技术、数字系统建模和优化技术以及基于微波技术的长线技术理论等。因此，EDA 技术不再是某一单一学科的分支，或某种新的技能技术，而是一门综合性学科。它融合多学科于一体，又渗透于各学科之中，模糊了传统软件和硬件间的界限，使计算机软件技术与硬件实现、设计效率和产品性能合而为一，真正代表了电子设计技术和应用技术的发展方向。有专家预言，EDA 技术将会是对 21 世纪产生重大影响的十大科学技术之一。

正因为 EDA 技术丰富的内容以及与电子技术各个学科领域的相关性，其发展与计算机、集成电路、电子系统设计的发展是同步的，主要经历了计算机辅助设计（CAD）、计算机辅助工程（CAE）和电子系统设计自动化（EDA）3 个阶段。

（1）计算机辅助设计（CAD）阶段

20 世纪 70 年代，随着中、小规模集成电路的出现和应用，传统的手工制图设计印制电路板和集成电路的方法已无法满足设计精度和效率的要求，人们开始利用计算机取代手工劳动，辅助进行集成电路版图编辑、PCB 布局布线等工作，这就产生了第一代 EDA 工具。受当时计算机技术的制约，其能支持的设计工作有限且性能也比较差。

（2）计算机辅助工程（CAE）阶段

20 世纪 80 年代，第一个个人工作站（Apollo）计算机平台的出现，推动了 EDA 工具的迅速发展。为了满足电子产品在规模和制作上的需求，出现了以计算机仿真和自动布线为核心技术的第二代 EDA 技术。具有自动综合能力的 CAE 工具代替了设计师的部分设计工作，实现了以软件工具为核心，通过这些软件完成产品开发的设计、分析、生产、测试等各项工作。而在 20 世纪 80 年代末，出现了 FPGA，CAE 和 CAD 技术的应用更为广泛，它们在 PCB

设计方面的原理图输入、自动布局布线及 PCB 分析,以及逻辑设计、逻辑仿真、布尔方程综合和化简等方面担任了重要的角色,特别是各种硬件描述语言的出现及其在应用和标准化方面的重大进步,为电子设计自动化必须解决的电路建模、标准文档及仿真测试奠定了基础。

(3) 电子系统设计自动化(EDA)阶段

20 世纪 90 年代,设计师们逐步从使用硬件转向设计硬件,从电路级电子产品开发转向系统级电子产品开发。随着硬件描述语言的标准化得到进一步的确立,计算机辅助工程、辅助分析、辅助设计在电子技术领域获得了更加广泛的应用。与此同时,集成电路设计工艺的高速发展,已经步入了超深亚微米阶段,千万门以上的大规模可编程逻辑器件的陆续面世,以及基于计算机技术的面向用户的低成本大规模 ASIC 设计技术的应用,促进了真正 EDA 技术的形成。

进入 21 世纪,随着各 EDA 公司致力于推出兼容各种硬件实现方案和支持标准硬件描述语言的 EDA 工具软件的研究,EDA 技术正向着功能强大、简单易学、使用方便的方向发展。新一代 EDA 开发工具的发布,新一代大规模可编程逻辑器件的问世以及价格的不断降低,使得 EDA 技术正在逐步走进人们生活中的各个领域。

1.3 EDA 技术主要内容

EDA 技术涉及面广、内容丰富,从教学和实用的角度看,主要应该包含以下 3 个方面的内容:

- ★ 大规模可编程逻辑器件;
- ★ 硬件描述语言(HDL);
- ★ 软件工具及实验开发系统。

其中大规模可编程逻辑器件是 EDA 技术完成电子系统设计的载体,硬件描述语言是 EDA 技术完成电子系统设计逻辑描述的主要表达手段,软件工具及实验开发系统是 EDA 技术完成电子系统设计的智能化的自动化设计和下载验证工具。下面将对这些内容进行简单介绍,以帮助读者深入理解 EDA 的真正含义。

1.3.1 大规模可编程逻辑器件

可编程逻辑器件 PLD 是一种半定制集成电路,在其内部集成了大量的门和触发器等基本逻辑单元电路,通过用户编程来改变内部电路的逻辑关系或连线,从而得到所需要的电路设计功能。这种新型逻辑器件不仅速度快、集成度高,能够完成用户定义的逻辑功能,还可以加密和重新定义编程,其允许编程次数可以达到上万次。可编程逻辑器件的出现,大大改变了传统数字系统设计方法,简化了硬件系统,降低了成本,提高系统的可靠性、灵活性。因此,自 20 世纪 70 年代问世以后,PLD 受到广大工程师的青睐,被广泛应用于工业控制、通信设备、仪器仪表和医疗电子仪器等众多领域,为 EDA 技术开创了广阔的发展空间。

常见的 PLD 主要包括 FPGA 和 CPLD 两大类。FPGA 和 CPLD 最明显的特点是集成度高、速度高和可靠性高。高速度表现在其时钟延时可小至纳秒级, 结合并行工作方式, 广泛应用于超高速领域和实时测控方面; 高可靠性和高集成度表现在几乎可以将整个系统集成于一个芯片中, 实现所谓“片上系统”(System On a Chip, SOC)。

FPGA 在结构上主要分为 3 个部分: 可编程逻辑单元、可编程输入/输出单元和可编程连线。CPLD 在结构上也主要包含 3 个部分: 可编程逻辑宏单元、可编程输入/输出单元和可编程内部连线。对于一个开发项目, 究竟是选择 FPGA 还是选择 CPLD, 主要看开发项目本身的需要。对于一般规模, 且产量不是很大的项目, 通常选择 CPLD 较好; 对于大规模的 ASIC 设计或片上系统设计, 则多选择 FPGA。另外, FPGA 掉电后将丢失原有的逻辑信息, 在实际应用中, 往往需要为 FPGA 芯片配置一个专用的 ROM; CPLD 掉电后则不会丢失数据。

目前, 世界上生产 FPGA/CPLD 的主流公司, 主要有 Altera、Xilinx、Lattice 和 Actel 等公司。Altera 公司是世界上最大的可编程逻辑器件供应商之一, 主要产品有 MAX7000/9000、FLEX10K、APEX20K、Arria、Cyclone、Stratix 等系列。其开发平台主要包括 MAX+plus II 和 Quartus II 工具软件。其中文官方网址是 www.altera.com.cn。

Xilinx 公司是 FPGA 的发明者, 其产品种类较全, 主要有 XC9500/4000、Spartan、Virtex、Coolrunner 等。Xilinx 公司是与 Altera 公司齐名的可编程逻辑器件供应商, 在欧洲, Xilinx 公司市场占有率较高; 在日本和亚太地区, Altera 公司市场占有率较高; 在美国, 则两者是平分秋色。全球 60% 以上的 FPGA/CPLD 是由 Altera 公司和 Xilinx 公司提供的, Altera 公司和 Xilinx 公司几乎共同决定着 PLD 技术的发展方向。Xilinx 公司的官方网址是 www.xilinx.com。

Lattice 公司是 ISP(在系统可编程)技术的发明者, 其主要的产品有 ispL2000/5000/8000、MACH4/5、ispMACH4000 等。与 Altera 公司和 Xilinx 公司相比, Lattice 公司的开发工具略逊一筹, 大规模 PLD、FPGA 的竞争力不够强, 但中小规模的 PLD 还是比较有特色。其官方网址是 www.latticesemi.com。

Actel 公司是反熔丝(一次编程)PLD 的领导者, 在军工和宇航产品市场, 占据绝对的地位, 因为其 PLD 具有抗辐射、耐高低温、低功耗和速度快等优良品质。而 Altera 公司和 Xilinx 公司一般不涉足军工产品和宇航产品市场。其官方网址是 www.actel.com。

1.3.2 硬件描述语言(HDL)

所谓硬件描述语言 HDL, 实际上就是一个描述工具, 其描述的对象就是待设计电路系统的逻辑功能、实现该功能的算法、选用的电路结构以及其他的各种约束条件等。通常 HDL 既能描述系统的行为, 又能描述系统的结构。

HDL 的使用与其他高级语言相似, 编写的程序代码也需要首先经过编译器进行语法、语义的检查, 并转换为某种中间数据格式。但与其他高级语言不同, 用 HDL 编写程序的最终目的是要生成实际的硬件, 经相关软件工具处理后, 最终得到的是一个硬件电路。

HDL 是可编程逻辑器件设计的一种描述方法, 是以语言方式精确和简练地表述电路逻辑功能的手段, 也是 EDA 技术的重要组成部分。常用的硬件描述语言有 VHDL、Verilog HDL、

AHDL、System C 和 System Verilog 等, 其中 AHDL (Altera Hardware Description Language) 是 Altera 公司根据自己公司生产的 MAX 系列器件和 FLEX 系列器件的特点专门设计的一套完整的硬件描述语言。而 VHDL 和 Verilog HDL 是当前最流行并已成为 IEEE 标准的硬件描述语言。本书将在后面的章节中重点讲述 VHDL 语言的设计方法及设计技巧。

1. VHDL

VHDL 的英文全称是 Very High Speed Integrated Circuit Hardware Description Language, 超高速集成电路硬件描述语言。VHDL 最早是由美国国防部 (DOD) 发起创建, 1985 年正式推出, 通过 IEEE 进一步发展, 于 1987 年被采纳为 IEEE 1076 标准发布。从此, VHDL 成为硬件描述语言的业界标准之一, 也是目前标准化程度最高的硬件描述语言。1993 年 IEEE 对 VHDL 进行了修订, 增加了部分新的命令与属性, 增强了对系统的描述能力, 并公布了新版本的 VHDL, 即 IEEE 1076—1993 版本。VHDL 经过近 30 年的发展、应用和完善, 以其强大的系统描述能力、规范的程序设计结构、灵活的语言表达风格和多层次的仿真测试手段, 在电子设计领域得到了普遍的认同和广泛的接受, 已经成为现代 EDA 领域的首选硬件描述语言。

VHDL 作为一个规范语言和建模语言, 涵盖面广, 抽象描述能力强, 能从多个层次对数字系统进行建模和描述, 大大简化了硬件设计任务, 提高了设计效率和可靠性。VHDL 的基本结构至少包含一个实体和一个结构体, 而完整的 VHDL 结构还应包含配置和程序包与库。在应用 VHDL 进行复杂电路设计时, 往往采用“自顶向下”结构化的设计方法。

2. Verilog HDL

Verilog HDL 也是目前应用极为广泛的一种硬件描述语言, 是一种以文本形式来描述数字系统硬件的结构和行为的语言, 用它可以表示逻辑电路图、逻辑表达式, 还可以表示数字逻辑系统所完成的逻辑功能。

Verilog HDL 由 GDA (Gateway Design Automation) 公司的 Phil Moorby 在 1983 年末首创, 最初只设计了一个仿真与验证工具, 之后又陆续开发了相关的故障模拟与时序分析工具。1985 年 Moorby 推出它的第三个商用仿真器 Verilog-XL, 获得了巨大的成功, 从而使得 Verilog HDL 迅速得到推广应用。1989 年 CADENCE 公司收购了 GDA 公司, 使得 Verilog HDL 成为了该公司的独家专利。1990 年 CADENCE 公司公开发表了 Verilog HDL, 并成立 LVI 组织以促进 Verilog HDL 成为 IEEE 标准, 即 IEEE Standard 1364—1995。

Verilog HDL 是在用途最广泛的 C 语言的基础上发展起来的, 其最大特点就是易学易用, 如果有 C 语言的编程经验, 可以在一个较短的时间内学习和掌握 Verilog HDL。

在设计中是选择 VHDL 还是选择 Verilog HDL, 这是一个初学者最常见的问题。其实两种语言的差别并不大, 二者的描述能力也是类似的。比较而言, VHDL 是一种高级描述语言, 适用于电路高级建模, 综合的效率和效果较好。Verilog HDL 是一种低级的描述语言, 适用于描述门级电路, 容易控制电路资源, 但其对系统的描述能力不如 VHDL。只要掌握其中一种语言, 就可以通过短期的学习, 较快地学会另一种语言。选择何种语言主要还是看周围人群的使用习惯, 这样可以方便日后的学习交流。当然, 如果您是集成电路 (ASIC) 设计人员, 则必须首先掌握 Verilog HDL, 因为在 IC 设计领域, 90% 以上的公司都是采用 Verilog HDL 进行 IC 设计。对于 PLD/FPGA 设计者而言, 两种语言可以自由选择。

1.3.3 EDA 工具软件

当今主流 FPGA/CPLD 供应商的 EDA 软件工具主要有 Altera 公司的 MAX+plus II、Quartus II, Lattice 公司的 EXPERT LEVER 和 Synario, Xilinx 公司的 Foundation 和 Alliance, Actel 公司的 Actel Designer 等, 它们的特性如表 1.1 所示。

表 1.1 EDA 开发软件特性

厂商	EDA 软件名称	软件适用器件系列	软件支持的描述方式
Altera	MAX+plus II	MAX、FLEX 等	逻辑图、波形图、AHDL 文本、Verilog 文本、VHDL 文本等
	Quartus II	MAX、FLEX、Cyclone、Stratix 等	
Xilinx	Foundation	XC 系列	逻辑图、VHDL 文本等
	Alliance	Xilinx 各种系列	
Lattice	EXPERT LEVER	ispLSI、pLSI、MACH 等	逻辑图、ABEL 文本、VHDL 文本
	Synario	MACH GAL、ispLSI、pLSI 等	逻辑图、VHDL 文本等
Actel	Actel Designer	SX 系列、MX 系列	逻辑图、VHDL 文本等

对于 CPLD/FPGA 开发软件, 目前国内很多人喜欢用 Altera 公司的 Quartus II, 本书给出的实例多是基于 Quartus II 的, 其应用方法和设计流程对于其他流行的 EDA 工具而言具有一定的典型性和一般性, 所以下面主要介绍 Quartus II 软件。

Quartus II 是 Altera 公司新近推出的 EDA 工具软件, 它是 MAX+plus II 的升级版。从最早推出到现在, 软件功能不断更新, 最新版本是 Quartus II 12.0。该设计工具完全支持 VHDL、Verilog HDL 的设计流程, 其内部嵌有 VHDL、Verilog 逻辑综合器。Quartus II 也可以直接调用第三方工具软件, 如 Modelsim。此外, Quartus II 为 Altera- DSP 开发包进行系统模型设计提供了集成综合环境, 它与 Matlab 和 DSP Builder 结合可以进行基于 FPGA 的 DSP 系统开发, 是 DSP 硬件系统实现的关键 EDA 工具。

Quartus II 包括模块化的编译器。编译器包括的功能模块有分析/综合器 (Analysis&Synthesis)、适配器 (Fitter)、装配器 (Assembler)、时序分析器 (Timing Analyzer)、设计辅助模块 (Design Assistant)、EDA 网表文件生成器 (EDA Netlist Writer)、编辑数据接口 (Compiler Database Interface) 等。可通过执行 Start Compilation 来运行所有的编译器模块。

此外, Quartus II 软件还包含许多有用的 LPM (Library of Parameterized Modules, 参数可设置模块库) 模块, 这种模块是复杂和高级系统构建的重要组成部分, 也可以被其他任何普通设计文件所调用。Altera 提供的 LPM 函数均基于 Altera 器件的结构做了优化设计, 在实际运用中, 必须使用宏功能模块才可以使用一些 Altera 特定器件的硬件功能, 如各类片上存储器、PLL、DSP 模块、LVDS 驱动器和 DDIO 电路模块等。

图 1.1 上排所示是 Quartus II 编译设计主控界面，它显示了 Quartus II 自动设计的各主要处理环节和设计流程，其中包括设计输入编辑、设计分析与综合、适配、编程文件汇编、时序参数提取以及编程下载几个步骤。图中下排所示是与 Quartus II 设计流程相对应的标准的 EDA 设计流程。该软件的具体操作和使用向导，将在后面的章节中详细介绍。

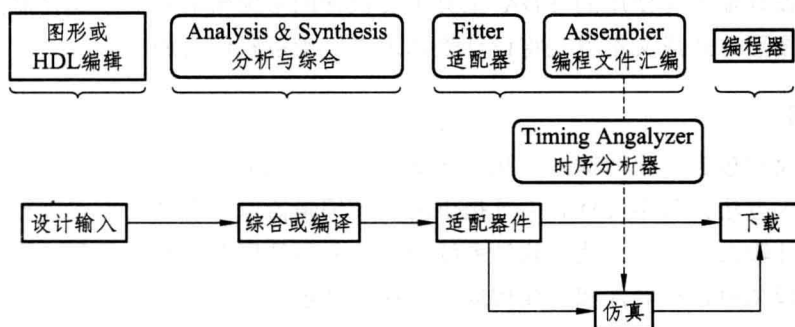


图 1.1 Quartus II 设计流程

1.4 EDA 技术设计流程

运用 EDA 技术对 FPGA/CPLD 进行开发设计的一般流程如图 1.2 所示，主要包括设计输入（原理图/HDL 文本编辑）、设计处理（编译和检查、综合、适配）、仿真、编程下载、硬件测试等几个阶段。整个设计过程基本上都在 EDA 软件平台上完成，每个阶段都有相应的基于计算机环境的 EDA 工具的支持。常用 EDA 工具大致可以分为 5 个模块：设计输入编辑器、HDL 综合器、适配器、仿真器、下载器。

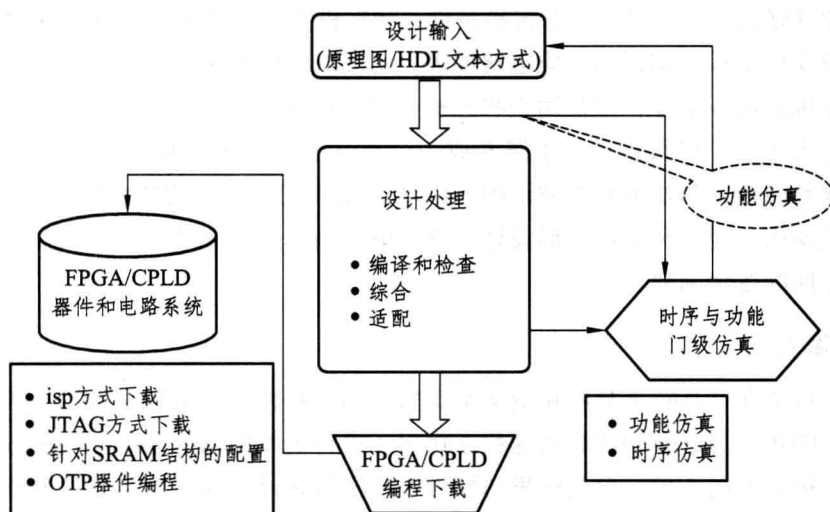


图 1.2 EDA 设计流程

1.4.1 设计输入

从图 1.2 中可以看出,任何一项工程设计均是从设计输入开始,其功能是用一定的逻辑表达手段将设计表达出来,输入计算机及 EDA 开发工具,为后续设计的处理提供一个设计基础。通常,设计输入时使用的 EDA 工具主要包含图形编辑器和文本编辑器两种类型,即设计者可以用图形方式或文本方式将设计表达出来,为逻辑综合做准备。

1. 图形输入

图形输入通常包含原理图输入、状态图输入和波形图输入 3 种方式。

原理图输入方法:利用 EDA 工具提供的图形编辑器以原理图的方式进行输入。这是一种最直接的设计输入方式,它使用软件系统提供的元器件库及各种符号和连线画出设计电路的原理图。原理图由逻辑器件和连线构成,这些器件包括类似与门、或门、非门、触发器、74 系列器件和类似 IP 的功能块等。原理图输入的优点是比较容易掌握,直观且方便,绘图方法类似于 Protel 原理图的绘制(但这种原理图和 Protel 画的原理图有本质的区别),设计者利用基本的数字电路知识便可以进行电子线路在 FPGA 中的实现,而不需要增加诸如 HDL 等新的相关知识。然而,原理图输入法的优点同时也成为它的缺点:① 随着设计规模增大,设计的易读性迅速下降,面对原理图中密密麻麻的电路连线,极难弄清电路的实际功能;② 原理图一旦完成,电路结构的改变将十分困难,因此几乎没有可以再利用的设计模块;③ 由于图形文件的不兼容性,电路模块的移植困难、存档困难、交流困难,因为缺乏一个统一的标准化的原理图编辑器;④ 由于在原理图中已经确定了设计系统的基本电路结构和元件,留给综合器和适配器的优化选择空间十分有限,难以实现面积、速度以及不同风格的综合优化。因此,原理图输入方法大多用于设计者对系统及各个部分电路很熟悉的情况。

状态图输入方法:主要是利用 EDA 工具的状态图编辑器,用绘制状态流程图的方式进行输入。当设置好时钟信号名、状态转换条件、状态机类型等要素后,EDA 编译器和综合器就能将此状态变化流程图编译综合成电路网表,还可以自动生成 VHDL 程序。这种设计方法可以简化状态机的设计难度,常常用于状态机电路的设计。

波形图输入方法:将待设计的电路看成一个黑盒子,在波形编辑器中,只需告诉 EDA 工具黑盒子电路的输入和输出时序波形图,EDA 工具便可以据此完成相应功能电路的设计。波形图输入主要用于建立和编辑波形设计文件,输入仿真向量和功能测试向量,适用于时序逻辑和有重复性的逻辑函数。

2. 文本输入

文本输入是指在 EDA 工具的相应文本编辑器中,将使用了某种硬件描述语言的电路设计文本,如 VHDL 或 Verilog HDL 的源程序代码,进行编辑输入的方式。这种方式与传统的软件语言编辑输入大同小异,只是这里的硬件描述语言是设计硬件电路,而非软件语言的程序设计。文本输入方法可以克服原理图输入方法所存在的所有弊端,它是 EDA 技术中最基本、最有效和最通用的输入方法。

实际上,在 EDA 技术的实际应用中,文本输入和原理图输入是可以混合使用的,即在原理图中的底层元件符号,可以用文本方式设计完成,而顶层设计一般均采用原理图设计输入方式。

1.4.2 设计处理

设计处理是 EDA 设计中的核心环节,该过程能非常智能化、自动化地实现从设计输入到最终硬件实现的全过程。在设计处理阶段,编译软件将对设计输入文件进行逻辑化简、综合、优化,并根据设计者选择的具体器件自动进行适配,最终产生一个编程文件。设计处理主要包含设计编译和检查语法错误、逻辑综合、适配、布局和布线、生成编程数据文件等过程。

1. 编译和检查

设计输入完成后,首先进行编译,在编译过程中进行语法错误检查,如检查原理图的信号线有无漏接、信号线端口名是否有重复、文本程序代码的关键字有无错误、使用语句结构是否规范、是否符合相应语言的语法规则等。如果有错,会及时标出错误的位置,以便设计者修改、纠正。

2. 综合

经过编译和检查无误的设计输入文件,便可以进入综合(Synthesis)阶段。所谓综合,就是将电路的高级语言(如行为描述、原理图或状态图描述)转换为低级的,可与 FPGA/CPLD 的门阵列基本结构相映射的网表文件或程序。逻辑映射的过程就是将电路的高级描述,针对给定硬件结构组件,进行编译、优化、转换和综合,最终获得门级电路甚至更低层次的电路描述文件。

实际上,综合功能完全是在 EDA 工具——综合器——中完成的。显然,综合器就是能够自动将一种设计表述形式向另一种设计表述形式转换的计算机程序,或协助进行手工转换的程序。它可以将高层次的表述转换为低层次的表述,可以将用行为表述的设计文件转换为具体的电路结构,可以将高一级抽象的电路(如算法级)转换为低一级的门级电路,并可以用相应的技术进行实现。在这里,综合的整个过程实际上共分为 4 步来完成:

- ① 将自然语言转换到 VHDL 语言算法,即自然语言综合;
- ② 从算法表示转换到寄存器传输级(Register Transport Level, RTL),即从行为域到结构域的综合——行为综合;
- ③ 从 RTL 级表示转换到逻辑门(包含触发器)的表示,即逻辑综合;
- ④ 从逻辑门表示转换到版图表示,或转换到 FPGA 的配置网表文件,即结构综合。

为了能更好地理解综合的过程和功能,可以将其与传统的软件程序编译器进行对比。从表面上看,我们熟悉的软件程序代码到可执行文件的产生,是通过编译器完成的,其过程可以理解为软件程序语言到机器语言的“翻译”过程;综合器和编译器都是一种“翻译

器”，它们都能将高层次的设计表达转换为低层次的表达，但它们却又有着本质的区别，如图 1.3 所示。

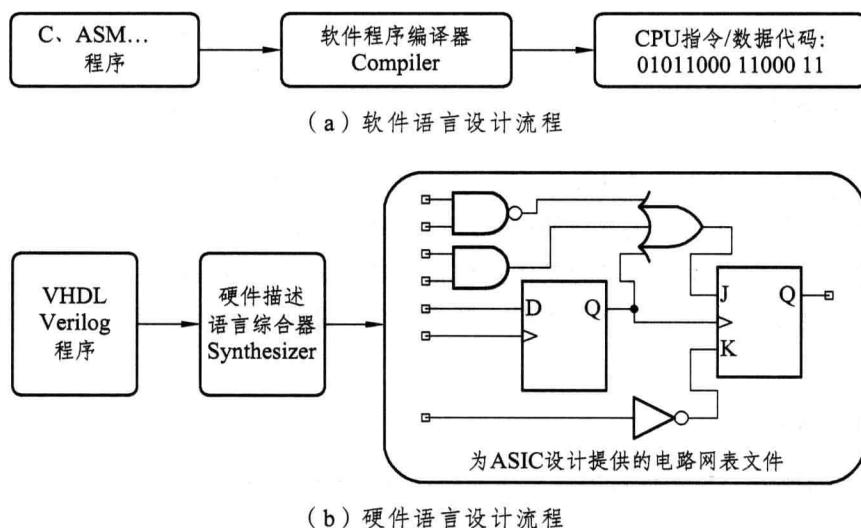


图 1.3 编译器和综合器的功能比较

编译器和综合器的主要区别在于编译器是将软件程序翻译成基于某种特定 CPU 的机器代码，这种二进制代码流仅限于 CPU 能识别而不能移植，并且机器代码不代表硬件结构，属于纯软件开发设计。而综合器则是将硬件描述语言程序代码翻译为一具体的网表文件，这种网表文件代表了特定的硬件结构，因此，EDA 技术中的程序代码属于硬件设计。

3. 适配

适配是在适配器中完成的。所谓适配，就是将由综合器产生的网表文件针对某一具体的目标器件进行逻辑映射操作，即将网表文件配置于指定的目标器件中，使之产生最终的下载文件，如 JEDEC、JAM 格式文件。适配器完成逻辑映射工作具体包含底层器件配置、逻辑分割、逻辑优化、逻辑布局布线等。适配所选用的目标器件（FPGA/CPLD）必须属于原综合器指定的目标器件系列，适配完成后可以利用适配所产生的仿真文件做精确的时序仿真。

1.4.3 设计仿真

在编程下载之前往往需要利用 EDA 的仿真工具对适配生成的结果进行模拟测试，这就是所谓的仿真。仿真是 EDA 设计过程中的重要步骤，其过程和实现原理是让计算机根据一定的算法和一定的仿真库对 EDA 设计进行模拟，以验证设计，排除错误。设计过程中的仿真主要有功能仿真和时序仿真。

所谓功能仿真，就是直接对 VHDL/Verilog、原理图描述或其他描述形式的逻辑功能进行模拟测试，以了解其实现的功能是否满足原设计的要求。仿真过程中不涉及任何具体器件的硬件特性（如延时特性），不经历综合与适配阶段，在设计项目编辑编译后即可进入门级仿真

器进行模拟测试。功能仿真的好处是设计耗时短,对硬件库、综合器等没有任何要求。

所谓时序仿真,就是将适配器所产生的网表文件送入仿真器中进行的仿真。这时的仿真是最接近于真实器件运行特性的仿真,因为仿真中已经包含了器件硬件特性参数,因此可以得到精确的时序仿真结果。但时序仿真的仿真文件必须来自针对具体器件的综合器与适配器,综合后所得的 EDIF 等网表文件通常作为 FPGA 适配器的输入文件,产生的仿真网表文件中包含了精确的硬件延迟信息。

对于大规模的设计项目而言,综合和适配在计算机上的耗时是十分可观的,如果每一次修改设计后都进行时序仿真,显然会极大地降低开发效率。因此,通常需要首先进行功能仿真,待确定设计文件所表达的功能满足原设计意图时,再进行综合、适配和时序仿真,以提高设计的效率。

1.4.4 编程下载

如果经过编译、综合、适配和仿真等过程都没有问题,即能满足设计的要求,这时便可以把适配后生成的下载或配置文件,通过编程器或编程电缆向 FPGA 或 CPLD 下载,以便进行硬件调试和验证,这就是 EDA 的编程下载。

一般而言,对 CPLD 的下载称为编程(Program),对 FPGA 中的 SRAM 进行直接的下载称为配置(Configure)。这主要取决于所选用器件的结构。

1.4.5 硬件测试

设计的最后阶段便是硬件测试。所谓硬件测试,就是将载入了设计的 FPGA/CPLD 直接用于应用系统中,以便最终验证设计项目在目标系统上的实际工作情况,排除错误,改进设计。

习 题

1. 什么是 EDA 技术?它有哪些优点?
2. 简述 EDA 技术的发展历程。
3. EDA 技术中使用何种语言?举例说明。
4. 简述 EDA 技术设计流程。
5. EDA 技术的设计输入有哪些方式?
6. EDA 技术实现的设计目标是什么?
7. 什么是 EDA 技术中的综合?其结果会产生什么文件?它与软件编译器的区别是什么?
8. 什么是 EDA 技术中的适配?其结果会产生什么文件?
9. 什么是时序仿真?什么是功能仿真?
10. 常见的 EDA 开发工具有哪些?举例说明。